

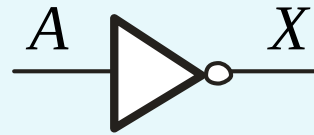
SAYISAL ELEKTRONİK

Ege Üniversitesi Ege MYO
Mekatronik Programı

BÖLÜM 3

Mantık Geçitleri

Değil (Inverter) Geçidi



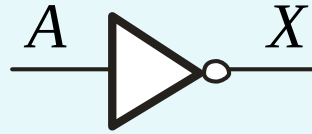
İnverter geçidi Boolean **NOT** işlemini yapar. Giriş **YÜKSEK** olduğunda çıkışını **DÜŞÜK**, giriş **DÜŞÜK** olduğunda çıkışı **YÜKSEK** yapar.

Input	Output
A	X
LOW (0)	HIGH (1)
HIGH (1)	LOW(0)

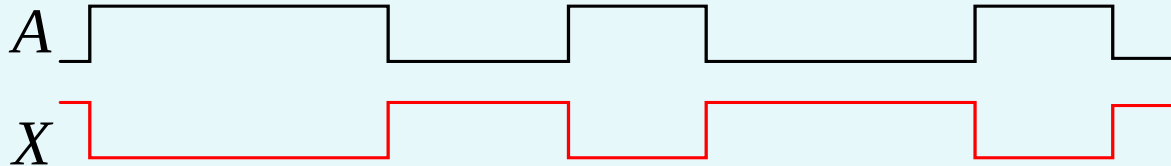
NOT işlemi (tümleme) çıkışın tepesine kesme veya yatay çizgi çizilerek belirtilir. **NOT** işleminin Boolean gösterimi

$$X = \overline{A} \text{ veya } X = A'$$

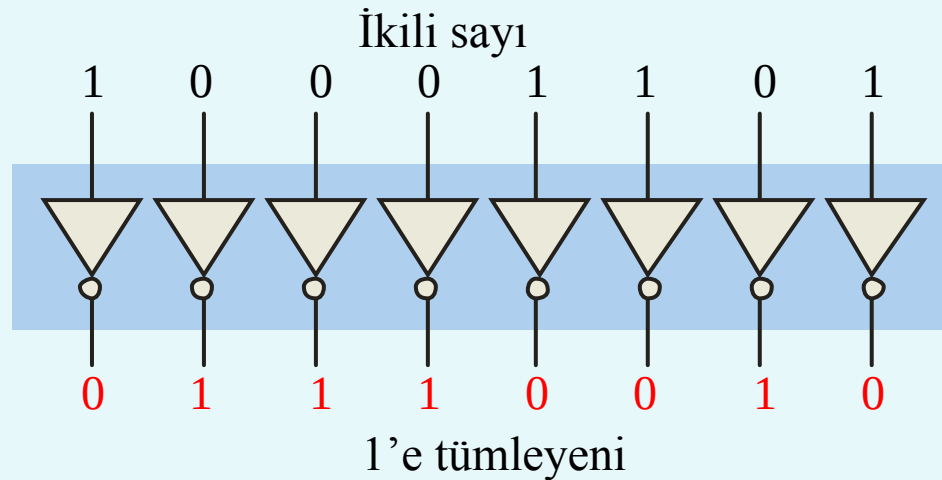
Değil (Inverter) Geçidi



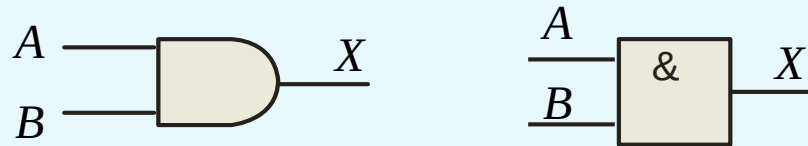
Örnek dalga şekli:



Bir grup inverter girişine uygulanan ikilik sayının 1'e tümleyenini alır.



VE (AND) Geçidi



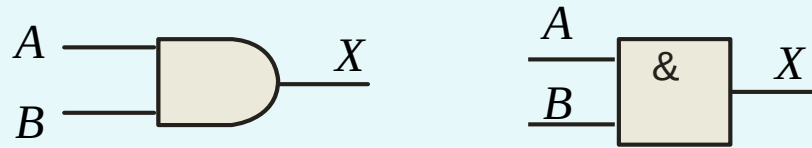
AND geçidi tüm girişleri YÜKSEK olursa çıkışını YÜKSEK, girişlerden birisi DÜŞÜK olması durumunda ise çıkışını DÜŞÜK yapar.

Girişler		Çıkış
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

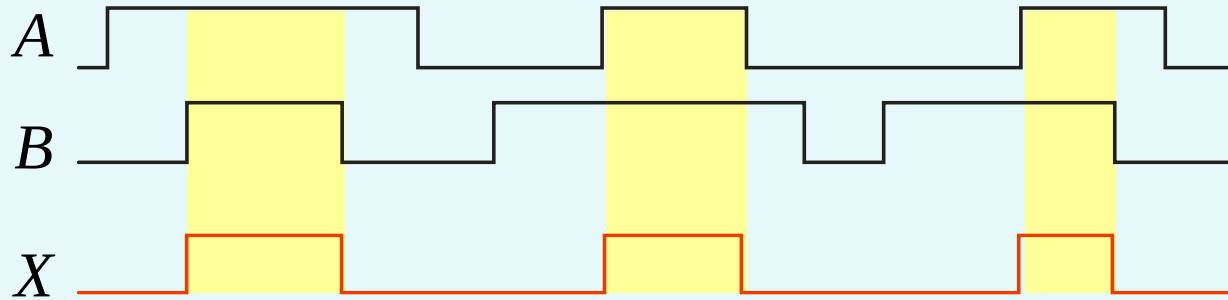
AND işlemi iki giriş terimi arasına nokta konarak gösterilir. Çoğunlukla nokta kullanılmadan giriş terimleri yan yana yazılabilir.

$$X = A \cdot B \text{ veya } X = AB$$

VE Geçidi



Örnek dalga şekli:



AND işlemi sayısal elektronikte seçimli maskeleye işlemi için kullanılır. Eğer belirli bitleri koruyarak istenilen bitleri sıfır yapmak istiyorsak korumak istediğimiz bitleri 1 ile, sıfırlamak istediğimiz bitleri 0 ile maskeleriz.

Örnek: Eğer 10100011 sayısı 00001111 maskeleye sayısı ile VE'lendinirse sonuç ne olur?

00000011

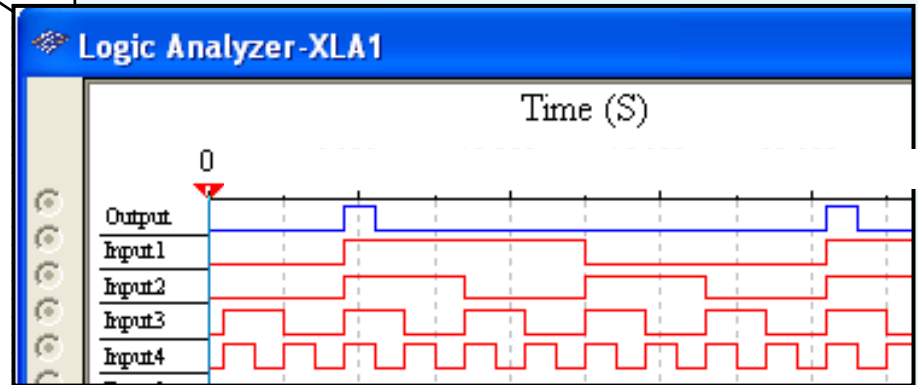
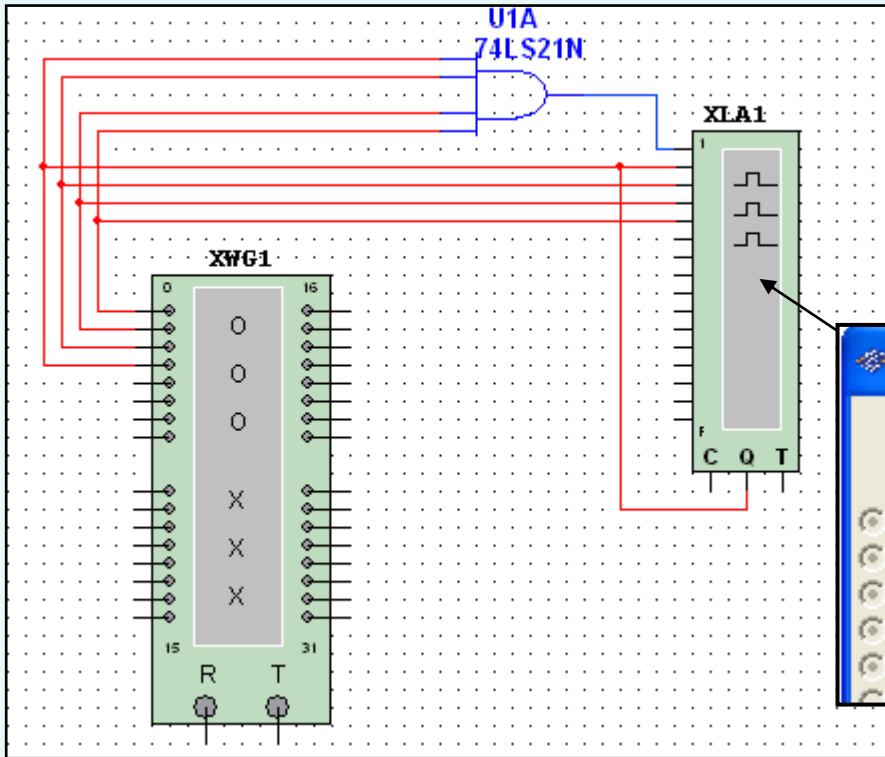
VE Geçidi

Örnek:

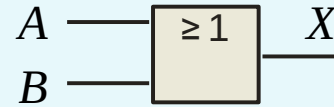
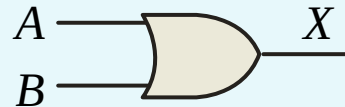
Şekildeki devrede kelime üreticinin ürettiği giriş dalga şekli logic analizörde gösterilmiştir. Bu girişlere göre lojik analizörün birinci kanalına bağlı VE geçidinin çıkışını belirleyin

Çözüm:

Çıkış sadece tüm girişler YÜKSEK olduğunda YÜKSEK olacaktır.



VEYA (OR) Geçidi



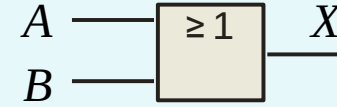
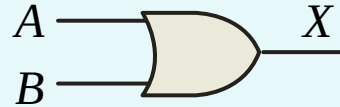
OR geçidi tüm girişleri DÜŞÜK olursa çıkışını DÜŞÜK, girişlerden birisi YÜKSEK olması durumunda ise çıkışını YÜKSEK yapar.

Girişler		Çıkış
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

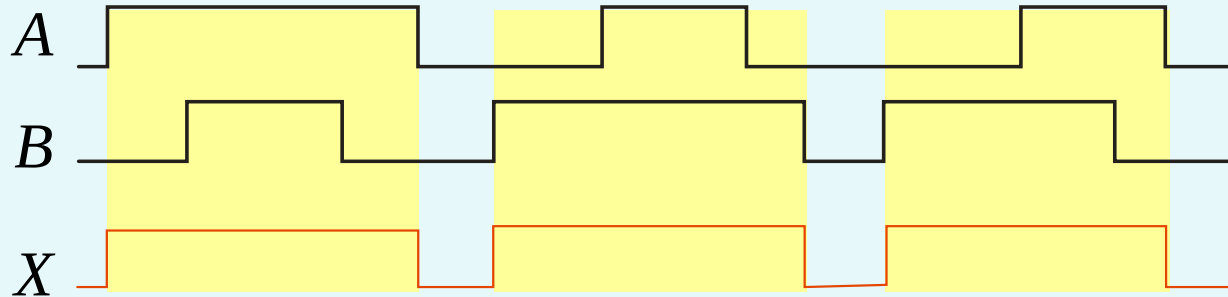
OR işlemi giriş terimleri arasına (+) işareti kullanılarak gösterilir.

$$X = A + B$$

VEYA Geçidi



Örnek dalga şekli:



OR işlemi sayısal elektronikte istenilen bitleri 1 yapmak için kullanılır.

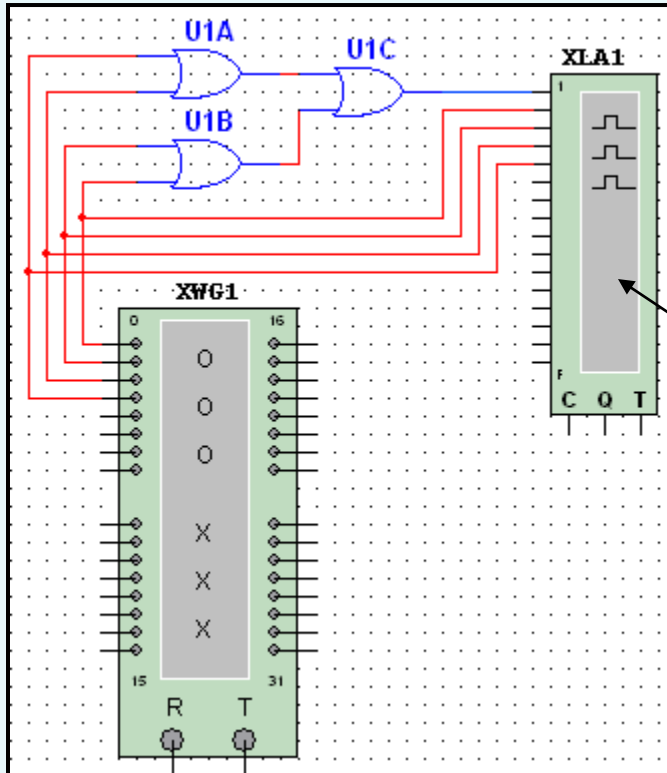
Örnek: ASCII karakterlerin ikili kodlarının beşinci bitleri küçük harfler için 1 büyük harf için 0'dır. (Bit numaralandırma sağdan sola doğru 0'dan başlayarak yapılır.) ASCII harfler 00100000 sayısı ile VEYA'lanırsa sonuç ne olur?

Çözüm: Tüm ASCII karakterler küçük harf olur.

VEYA Geçidi

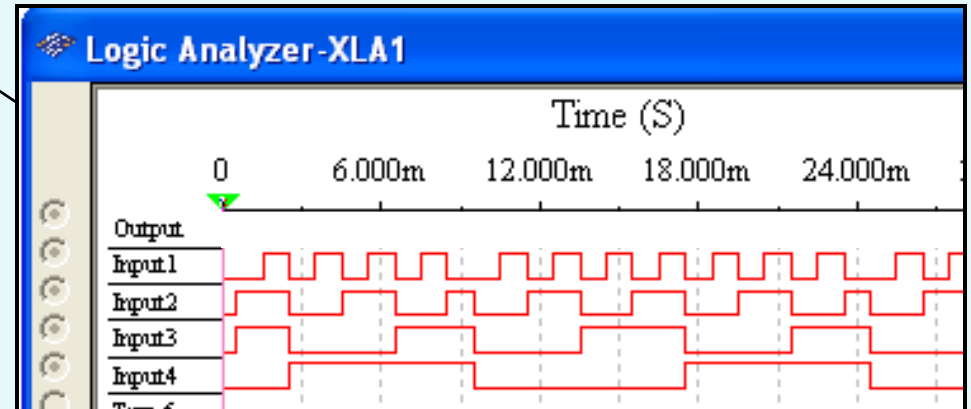
Örnek:

Şekildeki devrede kelime üreticinin ürettiği giriş dalga şekli logic analizörde gösterilmiştir. Bu girişlere göre lojik analizörün birinci kanalına bağlı VEYA geçidinin çıkışını belirleyin

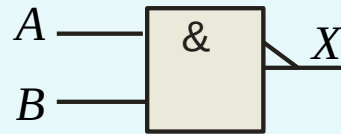
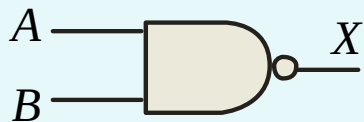


Çözüm:

Girişlerden birisi YÜKSEK olduğunda çıkış YÜKSEK aksi durumlarda DÜŞÜK olur.



VED (NAND) Geçidi



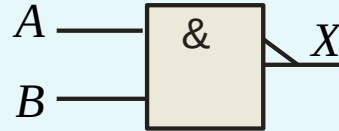
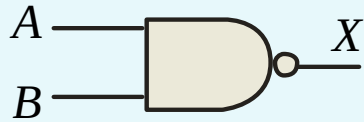
NAND geçidi tüm girişleri YÜKSEK, olursa çıkışını DÜŞÜK, aksi durumlarda ise çıkışını YÜKSEK yapar.

Girişler		Çıkış
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

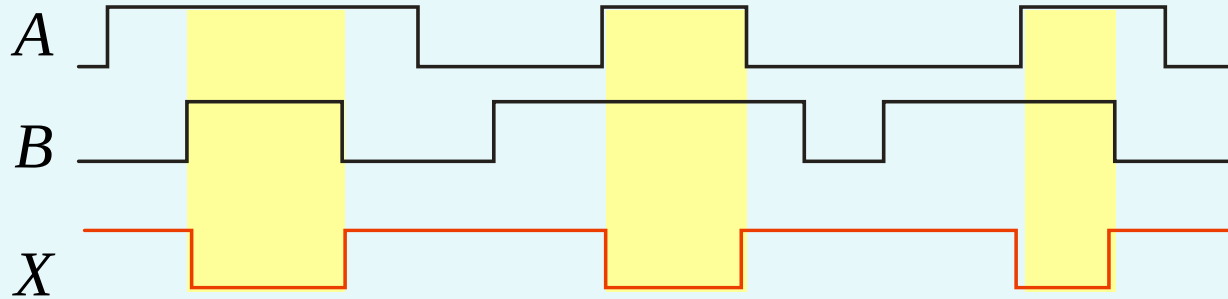
NAND işlemi giriş terimleri arasına nokta ve tüm girişlerin üzerine çizgi çizilerek gösterilir.

$$X = \overline{A \cdot B} \quad (\text{Alternatif olarak nokta kullanılmazsa } X = \overline{AB})$$

VED (NAND) Geçidi

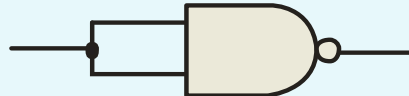


Örnek dalga şekli:



NAND geçidi universal geçittir yaygın şekilde kullanılır, diğer tüm geçitlerin yaptığı işlemi sadece NAND geçidi kullanarak yapabiliriz.

Question 2- girişli NAND geçidinden inverter geçidi elde edn bağlantıyı yapın.



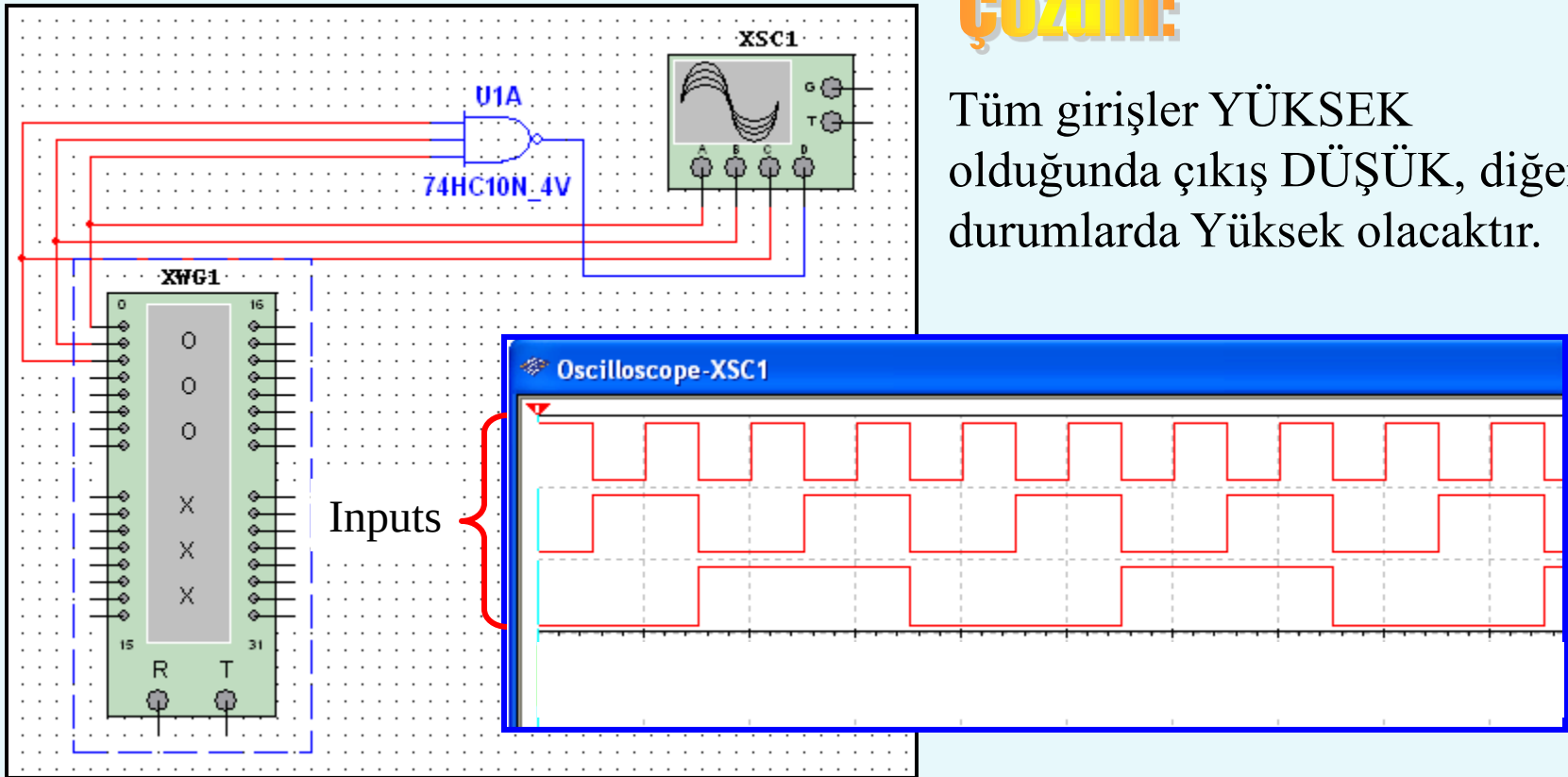
VED (NAND) Geçidi

Örnek:

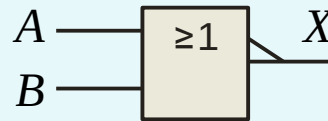
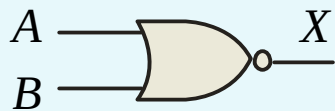
Şekildeki devrede kelime üreticinin ürettiği giriş dalga şekli osilaskopta gösterilmiştir. Bu girişlere göre osilaskobun D kanalına bağlı VED geçidinin çıkışını belirleyin

Çözüm:

Tüm girişler YÜKSEK olduğunda çıkış DÜŞÜK, diğer durumlarda Yüksek olacaktır.



VEYAD (NOR) Geçidi



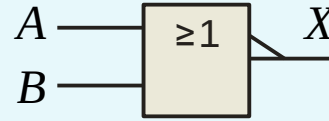
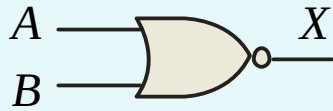
NOR geçidi tüm girişleri DÜŞÜK, olursa çıkışını YÜKSEK, aksi durumlarda ise çıkışını DÜŞÜK yapar

Girişler		Çıkış
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

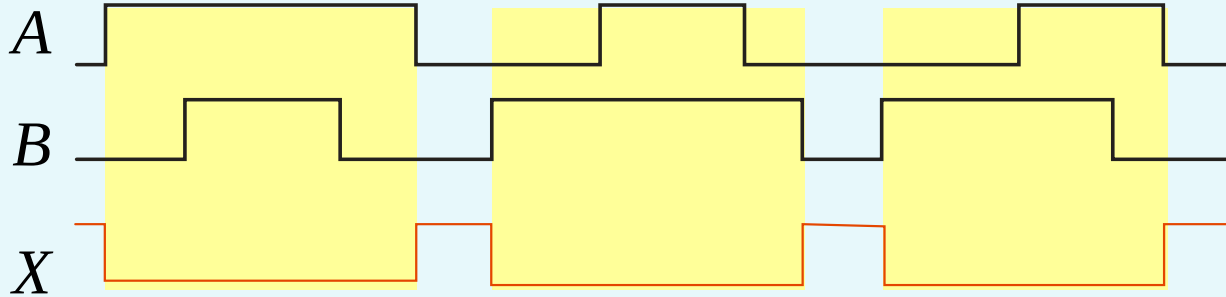
NOR işlemi giriş terimleri arasına + ve tüm girişlerin üzerine çizgi çizilerek gösterilir operation is written

$$X = \overline{A + B}.$$

VEYAD (NOR) Geçidi



Örnek dalga şekli:



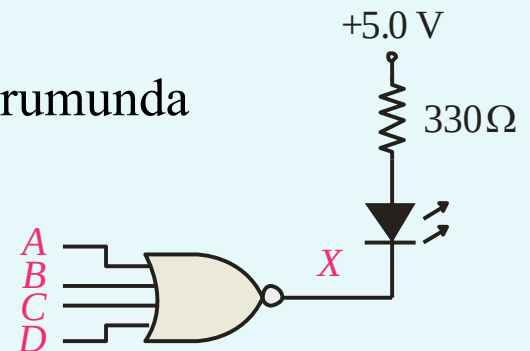
NOR işlemi girişlerden herhangi biri yüksek olduğunda çıkışı DÜŞÜK yapar, aksi durumda çıkışı YÜKSEK yapar.

Örnek:

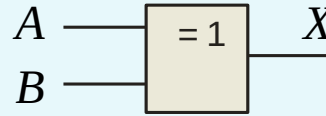
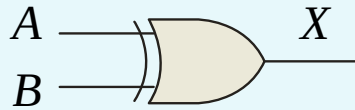
Devre çıkışındaki LED hangi giriş durumunda yanar?

Çözüm:

Dört girişten herhangi biri YÜKSEK olduğunda LED yanar.



ÖZEL VEYA (XOR) Geçidi



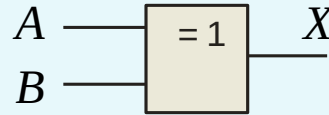
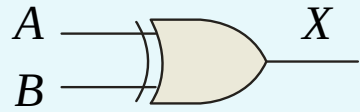
XOR geçidi girişler farklı ise çıkışını YÜKSEK, aynı ise DÜŞÜK yapar. Bu nedenle ZIT geçit adı da verilir.

Girişler		Çıkış
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

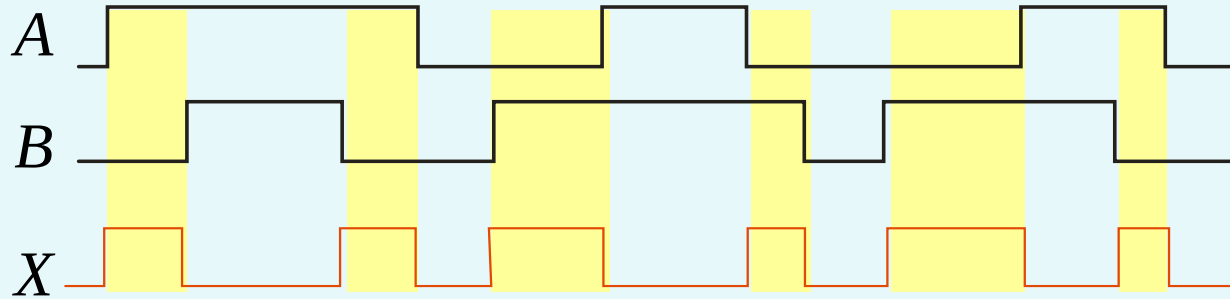
XOR işlemi $\oplus$ işareti ile gösterilir veya çıkış fonksiyonu VE ve VEYA işlemleri kullanılarak ifade edilebilir.

$$X = A \oplus B \text{ veya } X = A\bar{B} + \bar{A}B.$$

ÖZEL VEYA (XOR) Geçidi



Örnek dalga şekli:



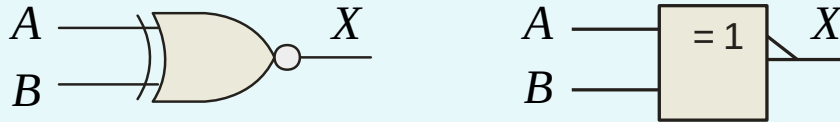
XOR geçidi girişler zıt olduğunda çıkışını YÜKSEK yapar.

Soru:

Yukarıdaki dalga şeklinde A ve B dalgaları terslenirse çıkış dalga şekli nasıl etkilenir?

Çıkışta değişim olmaz.

ÖZEL VEYAD (XNOR) Geçidi



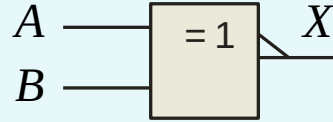
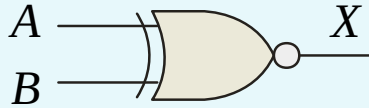
The **XNOR gate** produces a HIGH output only when both inputs are at the same logic level. The truth table is

Girişler		Çıkış
A	B	X
0	0	1
0	1	0
1	0	0
1	1	1

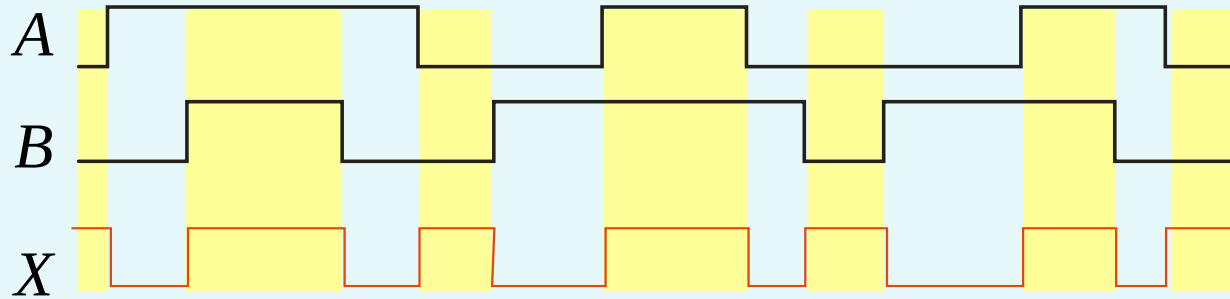
The **XNOR** işlemi $\odot$ işareti ile gösterilir veya çıkış fonksiyonu VE ve VEYA işlemleri kullanılarak ifade edilebilir.

$$X = A \odot B \text{ ve alternatif olarak } X = \bar{A}\bar{B} + AB$$

ÖZEL VEYAD (XNOR) Geçidi



Örnek dalga şekli:



XNOR geçidi girişler aynı olduğunda çıkışını YÜKSEK yapar.

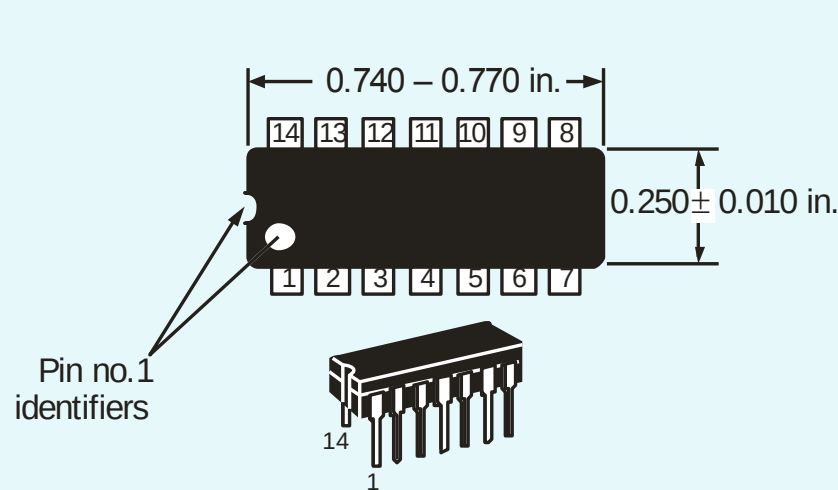
Soru:

Eğer A dalgası tümlenir (terslenirse) fakat B aynı kalırsa çıkış dalga şekli nasıl etkilenir?

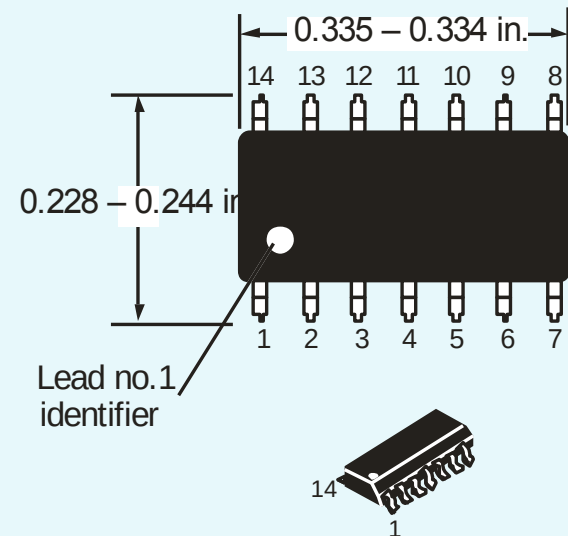
Çıkış dalga şeklide tümlenir (terslenir).

TTL VE CMOS Lojik Aileleri

TTL ve CMOS olmak üzere iki yaygın kullanılan mantık ailesi vardır. Bu iki ailenin birleşimi olan teknoloji ise BiCMOS olarak adlandırılır.



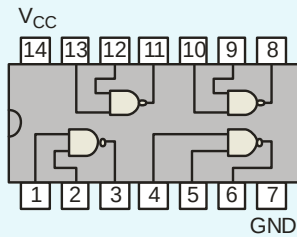
DIP kılıf



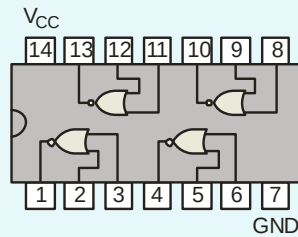
SOIC kılıf

TTL VE CMOS Lojik Aileleri

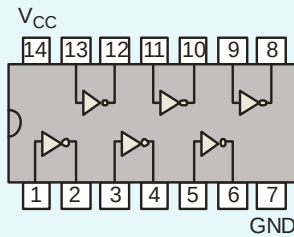
Sıkça kullanılan mantık geçitleri.



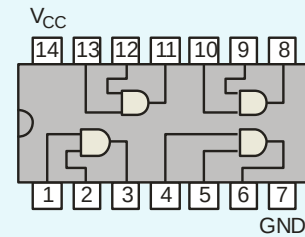
'00



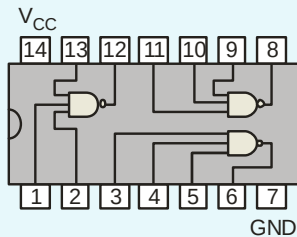
'02



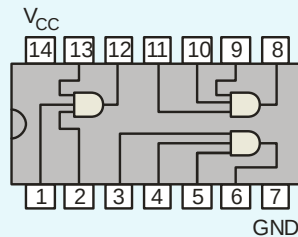
'04



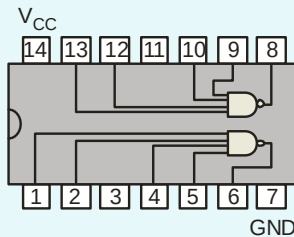
'08



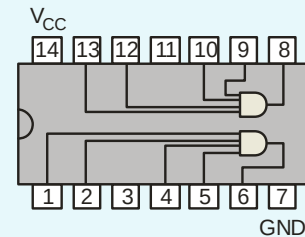
'10



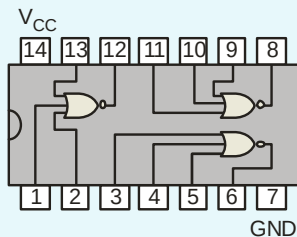
'11



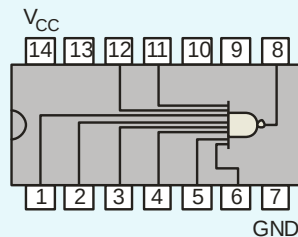
'20



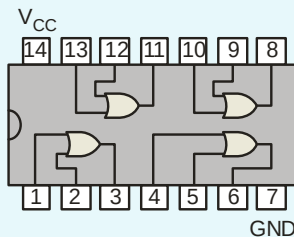
'21



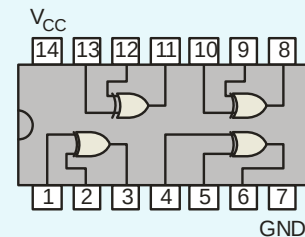
'27



'30



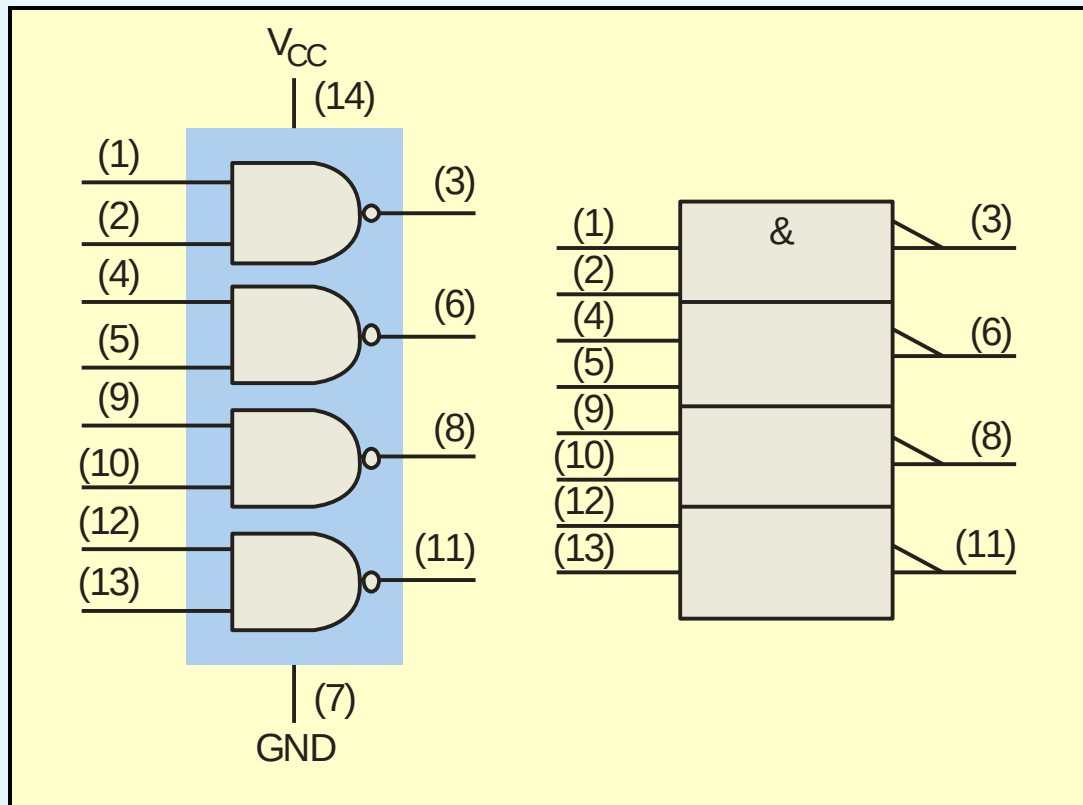
'32



'86

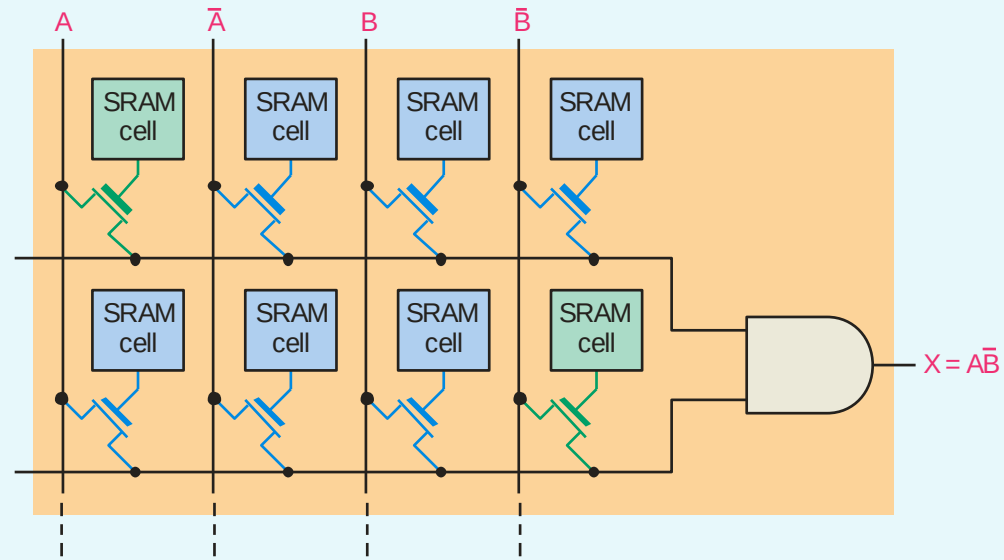
TTL VE CMOS Lojik Aileleri

Mantık simgeleri ve bacak numaraları.



Programlanabilir Mantık Elemanları

Programlanabilir mantık elemanları (Programmable Logic Device) (PLD) istediğimiz mantık fonksiyonunu gerçeklemek üzere programlanarak bağlantı yapmamıza izin verir. Bir çok PLD teknolojisi geliştirilmiştir, birden fazla programlanabilir.



Programlanabilir Mantık Elemanları

PLD'le bilgisayar kullanılarak yazılan programlar ile programlanabilir. Bu programlar şekil tabanlı veya kod tabanlı olabilir. Bu programlara Hardware Description Language (HDL) adı verilir. En yaygın kullanılan verilog firmasının programı VHDL'dir.

Örnek:

Kod tabanlı program örneği bir sonraki sayfada verilmiştir. Bu örnekte önce girişler ve çıkışlar tanımlanmıştır. İkinci kısımda ise gerçekleştirecek fonksiyon tanımlanmıştır.

Programlanabilir Mantık Elemanları

entity NandGate **is**

port(A, B: **in bit**;

LED: **out bit**);

end entity NandGate;

architecture GateBehavior **of** NandGate **is**

signal A, B: **bit**;

begin

X <= A **nand** B;

LED <= X;

end architecture GateBehavior;

Veri Yaprakları

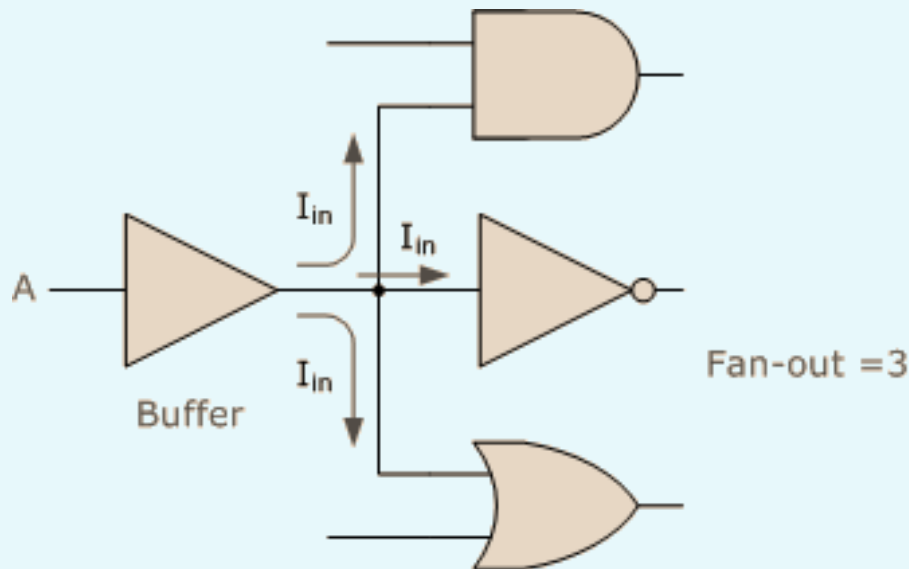
Veri yaprakları (Data sheets) tümdevrelerin üretici tarafından verilen çalışma şartları ve özellikleri hakkında bilgi içerir. 74HC00A Tümdevresinin verileri gösterilmiştir.

MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to + 7.0 V	V
V_{in}	DC Input Voltage (Referenced to GND)	−0.5 to V_{CC} +0.5 V	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} +0.5 V	V
I_{in}	DC Input Current, per pin	± 20	mA
I_{out}	DC Output Current, per pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND pins	± 50	mA
P_D	Power Dissipation in Still Air, Plastic or Ceramic DIP † SOIC Package † TSSOP Package †	750 500 450	mW
T_{stg}	Storage Temperature	−65 to + 150	°C
T_L	Lead Temperature, 1 mm from Case for 10 Seconds Plastic DIP, SOIC, or TSSOP Package Ceramic DIP	260 300	°C

TTL 74 Serisi Tümdevre Özellikleri

- Çıkış Gücü (Fan Out)
- Fan out (HIGH) = $I_{OH}(\max) / I_{IH}(\max)$
- 7400: $400\mu A / 40\mu A = 10$
- Fan out (LOW) = $I_{OL}(\max) / I_{IL}(\max)$
- 7400: $16\text{mA} / 1.6\text{mA} = 10$



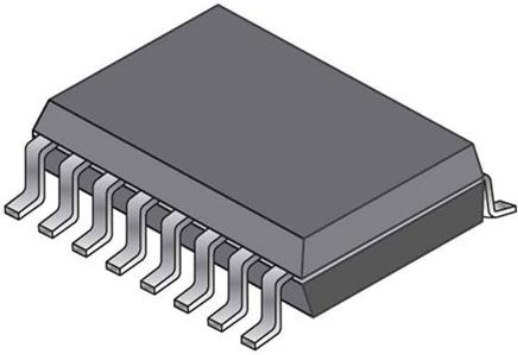
Propagasyon Gecikmesi

- Geçitlere giren işaretin çıkışı oluşturma sırasında geçen süreye propagasyon gecikmesi denir.

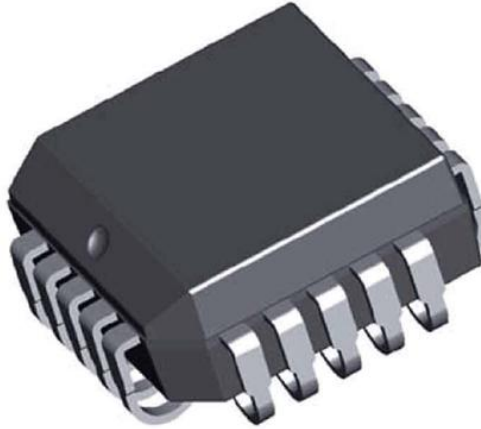
Mantık Aileleri

Part Number	Logic Family
74LS00	Low-power Schottky TTL
74ALS00	Advanced low-power Schottky TTL
74F00	FAST TTL
74HC00	High-speed CMOS
74HCT00	High-speed CMOS (TTL-compatible inputs)
74LVX00	Low-voltage CMOS
74ABT00	Advanced BiCMOS (TTL/CMOS hybrid)

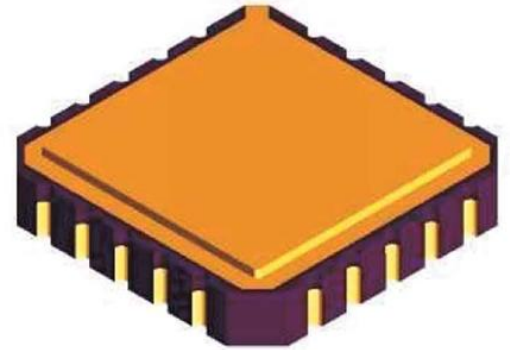
SMD KILIFLAR



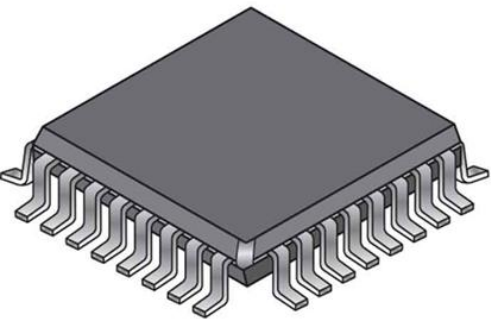
(a) SSOP (153×193 mils)



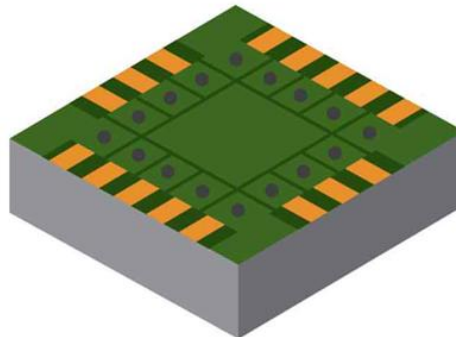
(b) PLCC (350×350 mils)



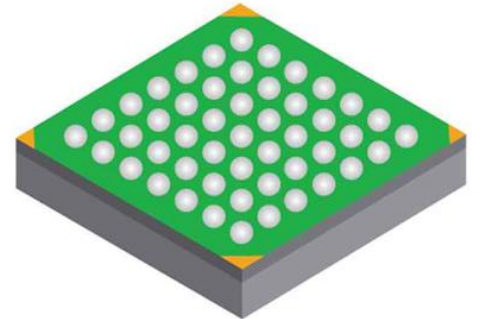
(c) LCC (350×350 mils)



(d) LQFP (7×7 mm)



(e) Laminate CSP (3.5×3.5 mm)



(f) FBGA (4×4 mm)

Terimler

- Inverter* Girişinin değilini alarak çıkışa aktaran mantık geçidi.
- Truth table* Mantık devresinin girişlerini ve karşılık gelen çıkışlarını gösteren çizelge.
- Timing diagram* Mantık devresinin işaretlerinin zamanlamasını gösteren dalga şekli.
- Boolean algebra* Mantık devrelerinin matematiğine verilen isim.
- AND gate* Tüm girişleri YÜKSEK olduğunda çıkışını YÜKSEK, diğer durumlarda DÜŞÜK yapan mantık geçidi.

OR gate Tüm girişleri DÜŞÜK olduğunda çıkışını DÜŞÜK, diğer durumlarda YÜKSEK yapan mantık geçidi.

NAND gate Tüm girişleri YÜKSEK olduğunda çıkışını DÜŞÜK, diğer durumlarda YÜKSEK yapan mantık geçidi.

NOR gate Tüm girişleri DÜŞÜK olduğunda çıkışını YÜKSEK, diğer durumlarda DÜŞÜK yapan mantık geçidi.

Exclusive-OR gate Girişleri farklı olduğunda çıkışını YÜKSEK, aynı olduğunda DÜŞÜK yapan mantık geçidi.

Exclusive-NOR gate Girişleri farklı olduğunda çıkışını DÜŞÜK, aynı olduğunda YÜKSEK yapan mantık geçidi.