

EGE ÜNİVERSİTESİ
EGE MESLEK YÜKSEKOKULU
MEKATRONİK PROGRAMI

SAYISAL ELEKTRONİK

DENEY FÖYÜ

Mustafa Engin & Dilşad Engin
İzmir 2015

SAYISAL ELEKTRONİK

(Deney Föyü)

HAZIRLAYANLAR

Yar. Doç. Dr. MUSTAFA ENGİN Yar. Doç. Dr. DİLŞAD ENGİN

İZMİR 2015

İÇİNDEKİLER

DENEY1: SETİN TANITIMI.....	5
Amaç	5
ÖN BİLGİ.....	5
Anahtarlar.....	5
LED gösterge	6
Ayarlanabilir Frekanslı Saat Üretici	6
Vuru Üretici	7
İŞLEM SIRASI.....	7
DEĞERLENDİRME SORULARI.....	9
DENEY 2: MANTIK GEÇİTLERİ.....	11
Amaç	11
ÖN BİLGİ.....	11
İŞLEM SIRASI.....	13
DEĞERLENDİRME SORULARI.....	20
DENEY 3: BOOLEAN ARİTMETİĞİ	23
Amaç	23
İŞLEM SIRASI.....	23
BİRLEŞİK MANTIK DEVRE TASARIMI	27
İŞLEM SIRASI.....	27
İKO (BCD) geçersiz kod denetleyicisi.....	29
2/3 Çoğunluk Test Edici	30
Otomatik Kola Makinesi Tasarımı.....	32
DENEY 4: TOPLAYICILAR VE KARŞILAŞTIRICILAR.....	35
İŞLEM SIRASI.....	35
DEĞERLENDİRME SORULARI.....	38
DENEY 5: KODÇÖZÜCÜLER VE KODLAYICILAR.....	39
İŞLEM SIRASI.....	39
DEĞERLENDİRME SORULARI.....	43
DENEY 6: MULTİPLEXER DEMULTİPLEXER	45
İŞLEM SIRASI.....	45
DENEY 7: D TİPİ TUTUCULAR.....	49
Amaç:	49

İŞLEM SIRASI	49
DEĞERLENDİRME SORULARI	53
DENEY 8: 555 ZAMANLAYICI	55
Amaç:	55
İŞLEM SIRASI	55
DEĞERLENDİRME SORULARI:	57
TÜMDEVRE VERİ YAPRAKLARI.....	59
GİRİŞ.....	59
7400 DÖRTLÜ İKİ GİRİŞLİ VED GEÇİDİ	60
4011 DÖRTLÜ İKİ GİRİŞLİ CMOS VED GEÇİDİ	61
74LS02 DÖRTLÜ İKİ GİRİŞLİ VEYAD GEÇİDİ	62
4001 DÖRTLÜ İKİ GİRİŞLİ CMOS VEYAD GEÇİDİ.....	63
74LS04 ALTILI DEĞİL GEÇİDİ.....	64
74LS08 DÖRTLÜ İKİ GİRİŞLİ VE GEÇİDİ	65
74LS20 İKİLİ DÖRT GİRİŞLİ VED GEÇİDİ	65
74LS32 DÖRTLÜ İKİ GİRİŞLİ VEYA GEÇİDİ.....	66
74LS86 DÖRTLÜ EXOR GEÇİDİ	67
74HC266 DÖRTLÜ İKİ GİRİŞLİ EXNOR GEÇİDİ.....	68
74LS283 (74LS83) 4 BİT TAM TOPLAYICI.....	69
74HC85 4 BİT BÜYÜKLÜK KARŞILAŞTIRICI.....	72
74LS138 3-8 KODÇÖZÜCÜ/VERİ DAĞITICI	74
74HC154 4-16 KODÇÖZÜCÜ/VERİ DAĞITICI	76
74HC42 İKO'DAN ONLUYA KODÇÖZÜCÜ	78
74HCT147 10 GİRİŞLİ 4 BİT ÇIKIŞLI YÜKSEK GİRİŞ ÖNCELİKLİ KODLAYICI.	80
74LS151 8 GİRİŞLİ VERİ SEÇİCİ	82
74280 (74180) 9 BİT EŞLİK BİTİ DENETÇİSİ/ÜRETECİ	83
74LS74A DUAL D TİPİ FLİP-FLOP	84
74HCT75 DÖRTLÜ TUTUCU.....	85
LM555 Timer	88

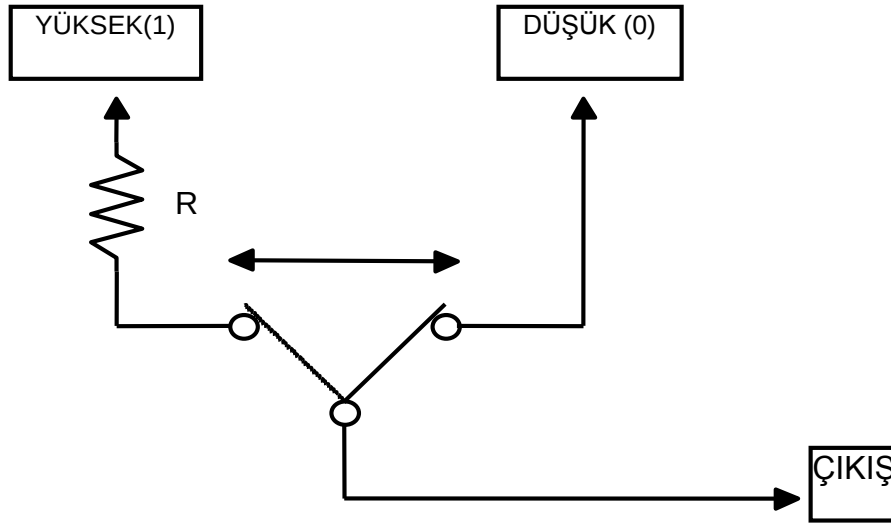
DENEY1: SETİN TANITIMI

Amaç

Deney setinde her deneyde kullanılacak gösterge, anahtarlar ve tetikleme devrelerinin yapılarını ve çalışmalarını öğrenmek.

ÖN BİLGİ

Sayısal sistemlerde sadece YÜKSEK ve DÜŞÜK olarak adlandırılan iki gerilim seviyesi vardır. YÜKSEK olarak adlandırılan seviye 2.4 V ile 5 V arası gerilim değerleridir. DÜŞÜK olarak adlandırılan seviye ise 0V ile 0.4V arası gerilim değerleridir.

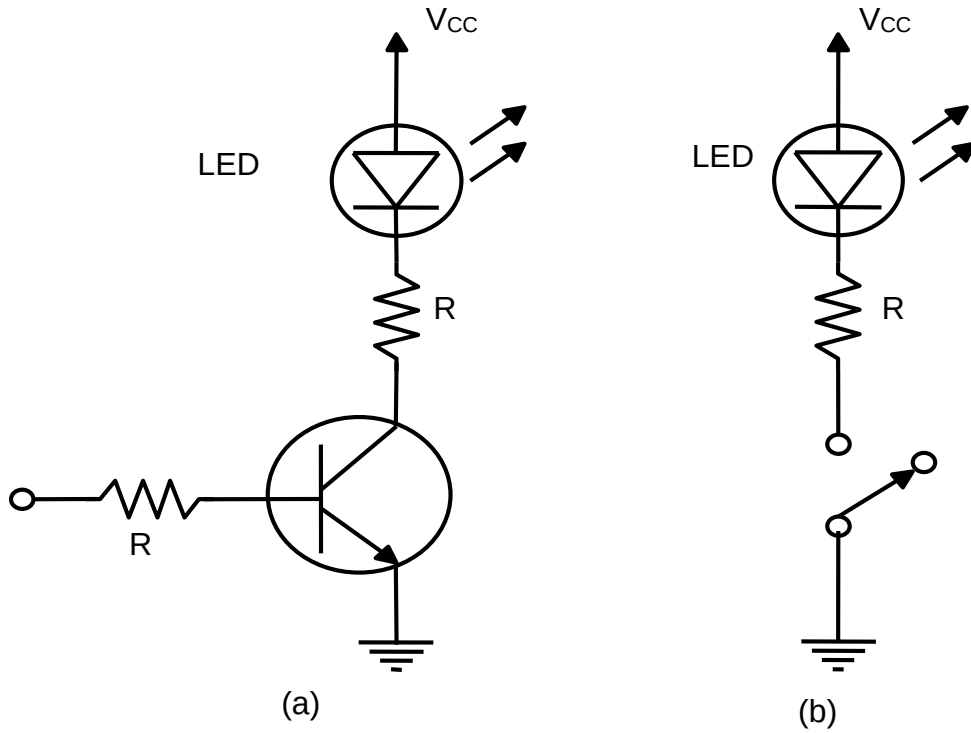


Şekil-1.1 Anahtarın bağlantı şeması.

Sayısal elektronik laboratuvarında LAB-VOLT 18145 Dijital Logic Trainer deney seti kullanılmaktadır. Bu deney seti temel mantık geçitlerinin işlevlerini ve Flip-Flop uygulamalarını göstermeyi amaçlamaktadır. Bu deneyler yapılırken girişlere uygulanacak YÜKSEK ve DÜŞÜK seviyeleri sağlamak amacıyla 8 adet anahtar, sonuçları gözlemlemek için 8 adet LED gösterge ve tetikleme girişlerini sağlamak amacıyla bir adet vuru üretici ile bir adet frekansı değiştirilebilir saat üreticine sahiptir. Şimdi bu kısımları daha yakından inceleyelim.

ANAHTARLAR

İki konumlu anahtarın bir konumu bir direnç üzerinden $+V_{cc}$ 'ye diğer konumu ise şaseye bağlıdır. $+V_{cc}$ 'ye bağlı olan kısım YÜKSEK (mantık 1) ve şaseye bağlı kısım da DÜŞÜK (mantık 0) olarak adlandırılır. Şekil-1.1'de anahtarın bağlantı şeması gösterilmiştir. 8 anahtarın da bağlantı şemaları aynıdır. Anahtarlara deney sırasında kolaylık olması için A, B, C, D, E, F, G, H isimleri verilmiştir.



Şekil-1.2 (a) transistörlü, (b) transistör yerine anahtar bağlanmış halleri ile LED göstergenin bağlantı şeması

LED GÖSTERGE

8 adet LED'den (Light Emmitting Diode) oluşan gösterge kısmı mantık geçidinin çıkışını gözlemlemek için kullanılır, eğer LED yandı ise geçidin çıkışı yüksek'tir, yanmadı ise düşük'tür. Şekil-1.2'de LED'in bağlantı şeması gösterilmiştir. LED bir direnç ve burada anahtar görevi gören transistör üzerinden kaynak uçlarına bağlanmıştır. Transistör burada iki amaçla kullanılmıştır: geçidin çıkışına gelen seviyeye göre LED devresinin akımını açıp kapatmak ve LED'in geçidin çıkışını yüklemesi engellemek. Geçidin çıkış akımı bir LED'i yakacak kadar yüksek değildir. Transistör bu akımı yükselterek LED'i yakacak seviyeye getirir. 8 LED'in bağlantıları şekilde gösterildiği gibidir. LED'lerde deney sırasında karışıklığı engellemek amacıyla yukarıdan aşağıya 1, 2, 3, 4, 5, 6, 7, 8 numaraları ile adlandırılmıştır. Transistörler CA3086 tümdevresi içerisinde.

AYARLANABİLİR FREKANSLI SAAT ÜRETECİ

Bu kısım 555 zamanlayıcı tümdevresi kullanılarak elde edilmiştir. Saat üreticini daha sonra oluşturacağınız devrelerde senkronizasyon ve Flip-Floplarda tetikleme amacıyla kullanacaksınız.

Bu devrenin şeması karmaşık olduğu için ileriki deneylerde ayrıca verilecektir. Saat üreticisi devresinde bulunan anahtar ile üreticinin çalışma aralığını seçebilirsiniz. FAST (hızlı) konumuna alındığında potansiyometreden ayarlayarak 10KHz ile 100KHz arasında saat işareti devre çıkışından alabilirsiniz. SLOW (yavaş) konumuna alındığında ise 1Hz ile 10Hz

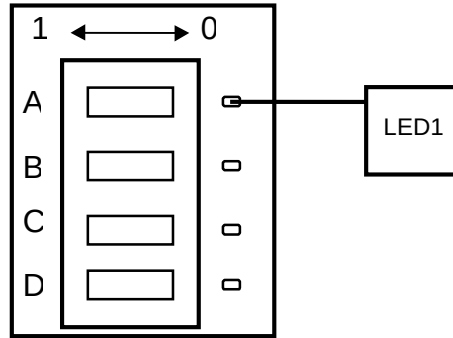
arasında saat işareti devre çıkışından elde edilir.

VURU ÜRETECİ

Tetikleme vurusu üretmek için kullanılır. Basmalı butondan alınan vuru 7404 ile güçlendirilerek çıkışa verilir. Vurunun genişliği yaklaşık olarak $10\mu s$ 'dir. Negatif veya pozitif vuru çıkışları vardır. Bu kısmın bağlantı şeması da ileriki deneylerde gösterilecektir. Diğer kısımlar mantık geçitleri ve flip-floplardan oluşmaktadır. Bu kısımların yapıları ve çalışmaları deneylerde incelenecektir. Deney setini tanımak ve deneylere başlamadan önce deney setinin sağlamlığını kontrol etmek amacıyla aşağıdaki işlemleri belirtilen adımları izleyerek yapın.

İŞLEM SIRASI

Deney setini kutusundan çıkararak besleme bağlantısını size gösterilen şekilde yapın. Anahtar ve LED'lerin sağlamlığını kontrol etmek için aşağıdaki bağlantıyı yapın. Anahtar ve gösterge grupları bundan sonra aşağıdaki gibi gösterilecektir.

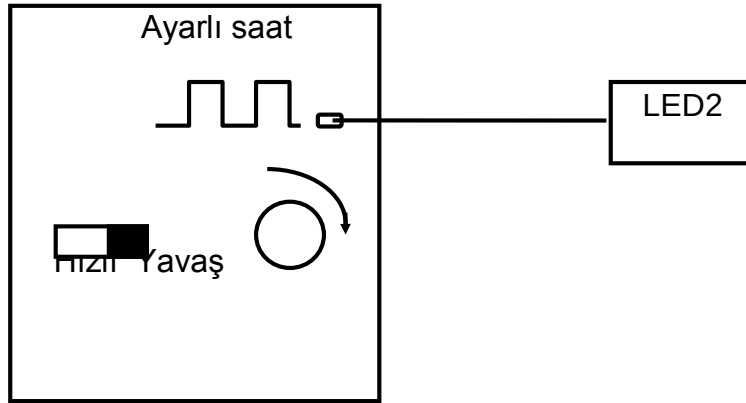


Şekil-1.3 Anahtarın kontrol edilmesi.

1. A anahtarını **YÜKSEK** konumuna alın, LED'in yanması gerekir. Yanmıyorsa başka LED'e bağlayın. Arızanın kaynağını belirleyin. Eğer LED yandıysa anahtarı **DÜŞÜK** konumuna alın. Bu durumda LED'in sönmesi gerekir. Sönmediyse büyük bir olasılıkla anahtarda hata vardır. Tüm led'leri ve anahtarları benzer şekilde kontrol edin. Bozuk olanları aşağıya numarası ve ismi ile birlikte kaydedin.

.....

Saat üreticini kontrol etmek için aşağıdaki bağlantıyı yapın.



Şekil-1.4 ayarlı sat üreticinin denenmesi.

Anahtarı hızlı (fast) konumuna alın. LED'in sürekli yandığını görmemiz gerekir. Yanmıyorsa aşağıda boş bırakılan yere not edin. Yanıyorsa ayar potansiyometresi ile oynayın LED'in durumunda değişme var mı, gözlemleyin. Daha sonra anahtarı yavaş (slow) konumuna alın ve ayar potansiyometresini başlangıç değeri ile son değeri arasında yavaşça değiştirin. Bu sırada LED'in durumunu gözlemleyin. LED'in yanıp sönmelerini fark edebilirsiniz. Gözlemlerinizi kaydedin.

.....

Osilaskobu çalışır hale getiriniz. 1. kanal Volt/div komütatörünü 2 Volt kademesine, time/div komütatörünü başlangıç için 10 μ s kademesine getirin osilaskop probunu 1. kanala bağlayın ve prob zayıflatmasını X1 konumuna alın. (Prob zayıflatması probun uç kısmındaki geniş bölümdedir). Daha sonra aşağıdaki düzenlemeleri yapın.

MODE: Auto

VERTICAL MODE: CH1

SOURCE: CH1

Bu düzenlemeler yapıldıktan sonra hala görüntü elde edilmezse öğretim görevlisinden yardım isteyin. Probu saat üretici çıkışına bağlayın ve durgun görüntü elde edinceye kadar time/div komütatörünü ayarlayın. Durgun görüntü elde ettiğinizde anahtarı hızlı ve yavaş konumlarına alarak aşağıdaki çizelgeye her ikisi için çizin.

HIZLI

YAVAŞ

Anahtar çıkışlarındaki gerilim değerlerini voltmetre ile YÜKSEK ve DÜŞÜK seviyeleri için ölçün ve kaydedin.

	YÜKSEK (VOLT)	DÜŞÜK (VOLT)
YÜKSÜZ		
YÜKLÜ		

DEĞERLENDİRME SORULARI

1. Sayısal elektronikte YÜKSEK ve DÜŞÜK olarak tanımlanan değerlerin analog elektronikteki karşılıkları nelerdir?

.....

.....

.....

2. Ayarlı saat üreticini hangi amaçlarla kullanabilirsiniz? Bu devre hangi tümdevre ile gerçekleştirilmiştir?

.....

.....

3. Vuru üreticini ne amaçla kullanabilirsiniz? Bu devre hangi tümdevre ile gerçekleştirilmiştir?

.....

.....

.....

4. Anahtar YÜKSEK konumuna alındığında bağlı bulunduğu direncin kullanılma amacı nedir?

.....
.....
.....

5. Basamak 6'da çizdiğiniz dalga şeklinin (D) iş süresini % olarak hesaplayın.

.....
.....
.....

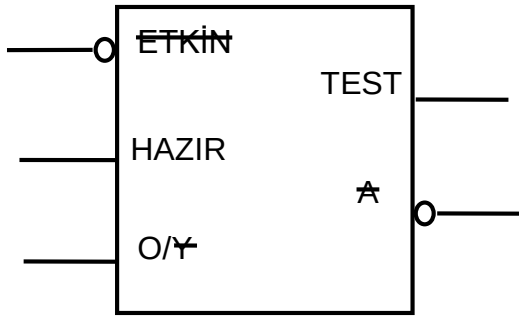
DENEY 2: MANTIK GEÇİTLERİ

Amaç

Mantık geçitlerinin doğruluk tablolarını ve çıkış fonksiyonlarını elde etmek.

ÖN BİLGİ

Mantıkta sadece iki durum vardır. Bunlar doğru ve yanlıştır. Bu aynen bir soruya evet veya hayır yanıtı vermek gibidir. Mantıkta anahtar kapalı ise bu durum DOĞRU, açık ise YANLIŞ, veya olay gerçekleşti ise DOĞRU, gerçekleşmedi ise YANLIŞ olarak değerlendirilir. Boolean mantığında DOĞRU YÜKSEK veya "1" olarak, yanlış DÜŞÜK veya "0" olarak adlandırılır. "1" ve "0" gerilim olarak karşılıkları kesinlikle 1 ve 0 volt değildir. Daha önce belirtildiği gibi +2.4 volt ve yukarısı (5 volta kadar) mantık 1' e, +0.4 Volt ve aşağısı mantık 0 olarak kabul edilir. Bu sınırlar TTL devrelerde geçerlidir. Yeni geliştirilen düşük değerli sayısal elektronik devre elemanlarında bu değerler farklıdır.



ETKİN: DÜŞÜK olduğunda doğrudur.

HAZIR: YÜKSEK olduğunda doğrudur.

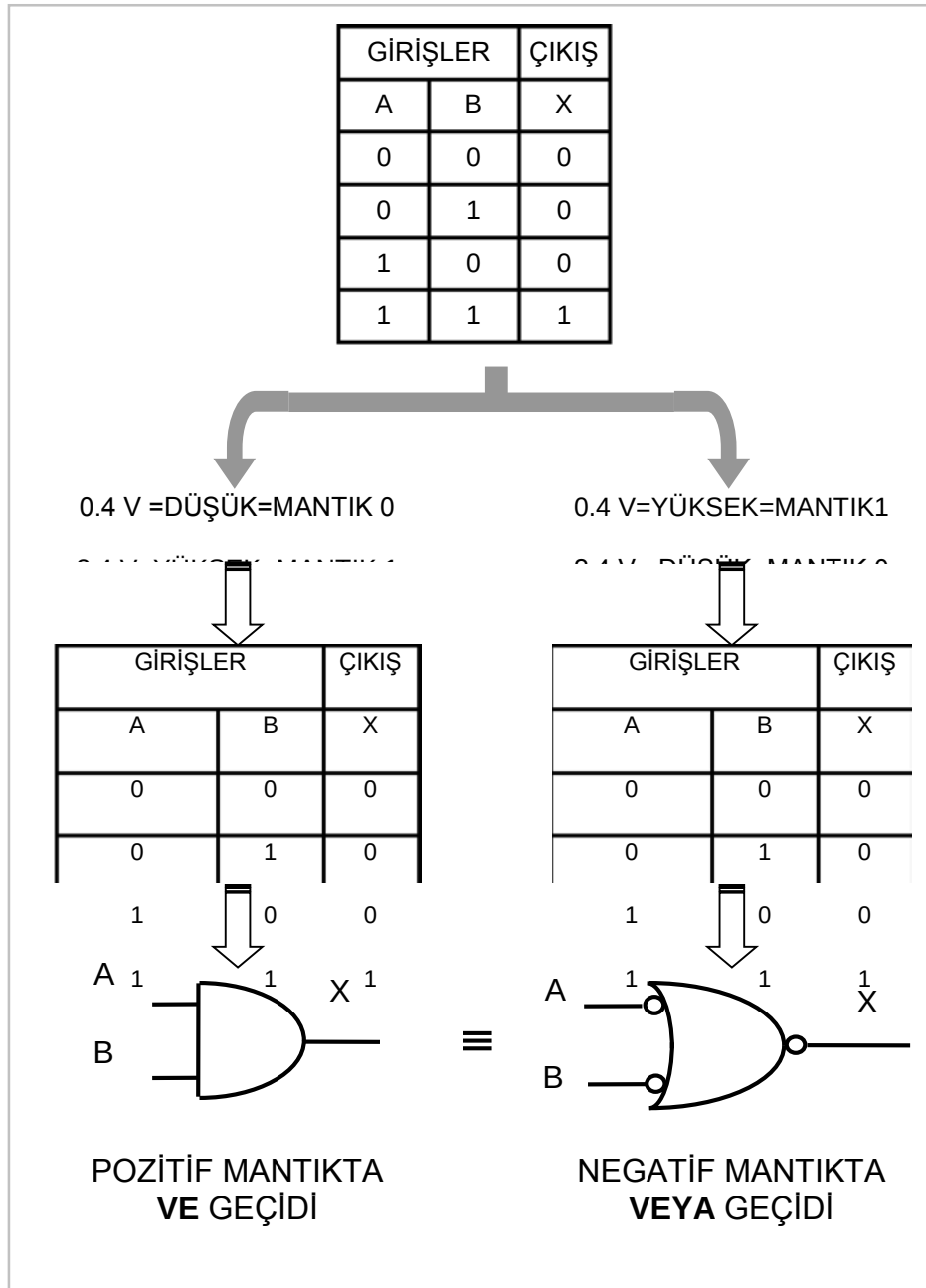
O/Y: Okuma YÜKSEKte doğru, yazma DÜŞÜKte doğrudur.

TEST: YÜKSEKTE doğrudur.

A: DÜŞÜKTE doğrudur.

Şekil-2.1 tümdevre mantık simgesi.

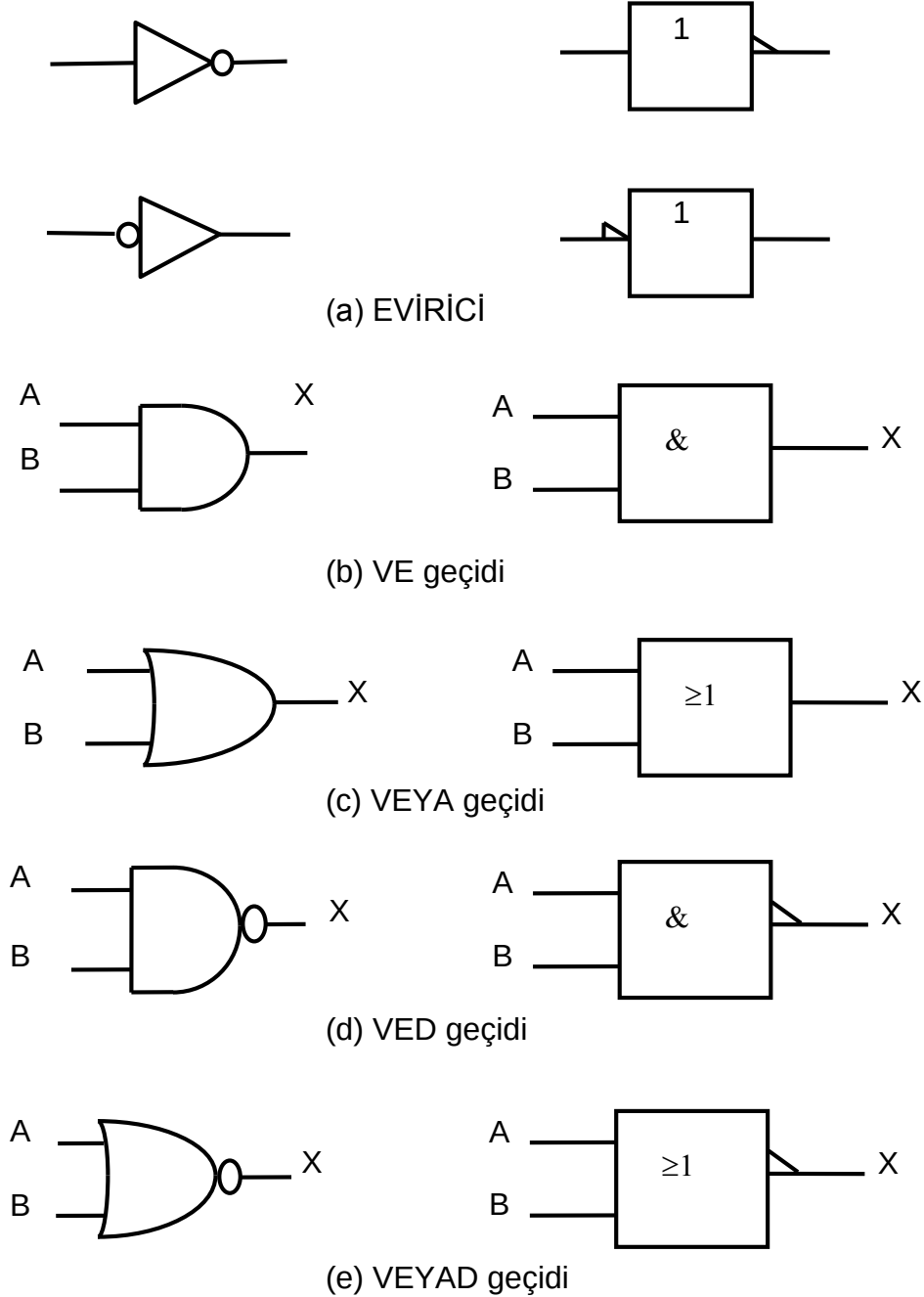
Bazı sistemlerde yukarıda belirtilenlerin tersi mantıkla çalışır. Bu tür sistemlere negatif mantık sistemleri adı verilir. Normal mantık bazı kaynaklarda negatifin tersi olan pozitif mantık olarak adlandırılır. Negatif mantıkta 0.4 Volt=1 ve 2.4 Volt=0 olarak adlandırılır. Dolayısıyla çok gerilim yanlış olarak tanımlanırken, az gerilim.



Şekil-2.1 Pozitif ve negatif mantık.

DOĞRU olarak tanımlanır. Negatif mantık kullanmak bazı sistemlerin tasarımı kolaylaştırabilir. Bazı durumlarda ise kişinin kafasının karışmasına neden olabilir. Örneğin pozitif mantıkta çalışan bir iki girişli VE geçidinin çıkışının doğru olabilmesi için iki girişinin DOĞRU olması gerekir. Oysa negatif mantıkta bu işlemi VEYA geçidi sağlar. Gösterimde bu işlemi gerçekleyen geçit VEYA geçidi olarak çizilir, negatif mantıklı olduğunu belirtmek amacıyla girişlere ve çıkışa tersleme işareti konur. Yukarıdaki şekilde pozitif ve negatif mantıkla çalışan VE geçidinin doğruluk tablosu gösterilmiştir. Negatif mantık olduğunu belirtmek amacıyla çıkış değerinin üzerine çizgi çizilir. Negatif mantıkta kullanılan üst çizgi işaretlemeye örnek uygulama aşağıda verilmiştir.

çizim şekli aşağıda gösterilmiştir. Derste ve deneyde her iki çizim şekli de kullanılacaktır. Bu temel geçitlerin pozitif mantığa göre doğruluk tablolarını ders notlarında bulabilirsiniz.



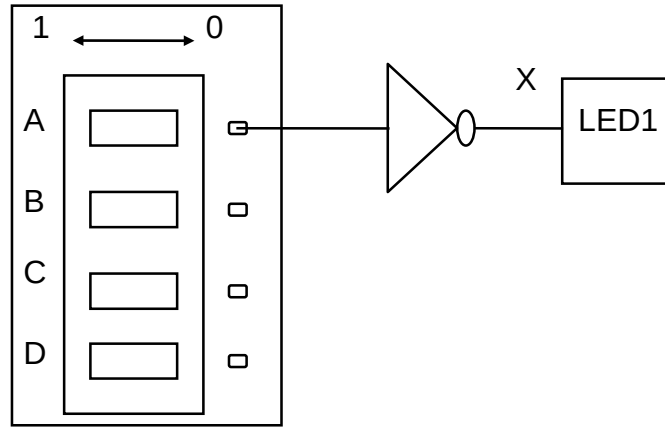
Şekil-2.3 temel mantık geçit simgeleri.

İŞLEM SIRASI

1. Deney setinde 6 adet evirici içeren 7404 tümdevresi kullanılmıştır. Bu eviricilerden birini kullanarak şekildeki bağlantıları yapın. Tablodaki girişleri

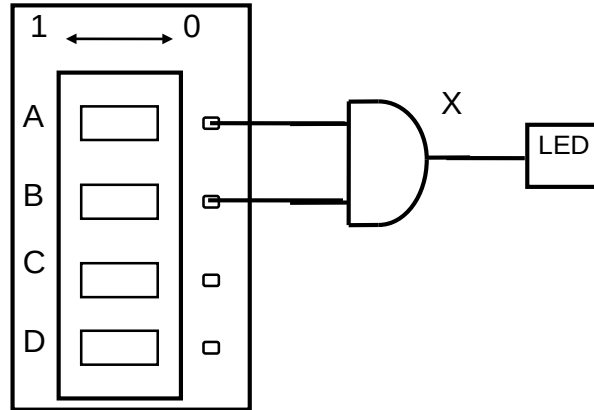
uygulayarak çıkışın mantık seviyesini LED'den gözlemleyin ve voltmetre ile geçidin çıkış-şase arası gerilimlerini her durum için ölçüp tabloya kaydedin. Eviricin yaptığı işlemi kısaca açıklayın.

GİRİŞ	ÇIKIŞ	ÖLÇÜLEN
A	X	GERİLİM (Volt)
0		
1		

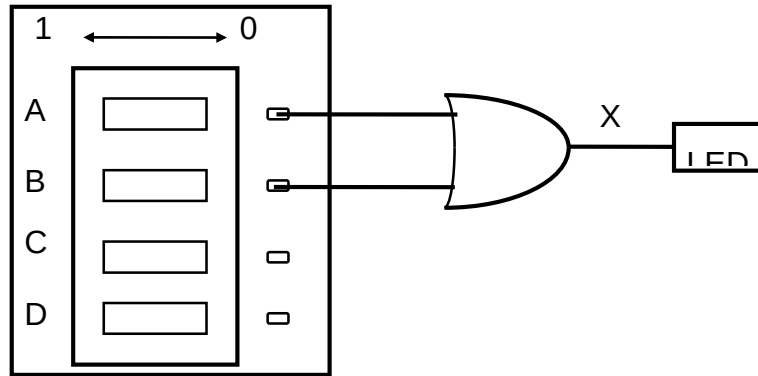


2. Deney setinde 4 adet VE geçidi içeren 7408 tümdevresi kullanılmıştır. Bu VE geçitlerinden birini kullanarak şekildeki bağlantıları yapın. Tablodaki girişleri uygulayarak çıkışın mantık seviyesini LED'den gözlemleyin ve voltmetre ile geçidin çıkış-şase arası gerilimini her durum için ölçüp tabloya kaydedin. Mantık VE işlemini kısaca açıklayın.

GİRİŞLER		ÇIKIŞ	ÖLÇÜLEN
A	B	X	GERİLİM (Volt)
0	0		
0	1		
1	0		
1	1		



1. Deney setinde 4 adet VEYA geçidi ieren 7432 tümdevresi kullanılmıştır. Bu VEYA geçitlerinden birini kullanarak şekildeki bağlantıları yapın. Tablodaki girişleri uygulayarak çıkışın mantık seviyesini LED'den gözlemleyin ve voltmetre ile geçidin çıkış-şase arası gerilimini her durum için ölçüp tabloya kaydedin. Mantık VEYA işlemini kısaca açıklayın.



GİRİŞLER		ÇIKIŞ	ÖLÇÜLEN
A	B	X	GERİLİM
0	0		
0	1		
1	0		
1	1		

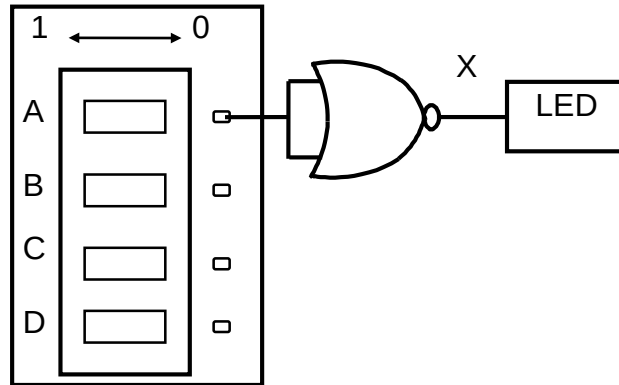
3. Deney setinde 4 adet VED geçidi içeren 7400 tümdevresi kullanılmıştır. Bu VED geçitlerinden birini kullanarak şekildeki bağlantıları yapın. Tablodaki girişleri uygulayarak çıkışın mantık seviyesini LED'den gözlemleyin ve voltmetre ile geçidin çıkış-şase arası gerilimini her durum için ölçüp tabloya kaydedin. Mantık VED işlemini kısaca açıklayın.

GİRİŞLER		ÇIKIŞ	ÖLÇÜLEN
A	B	X	GERİLİM
0	0		
0	1		
1	0		
1	1		

.....

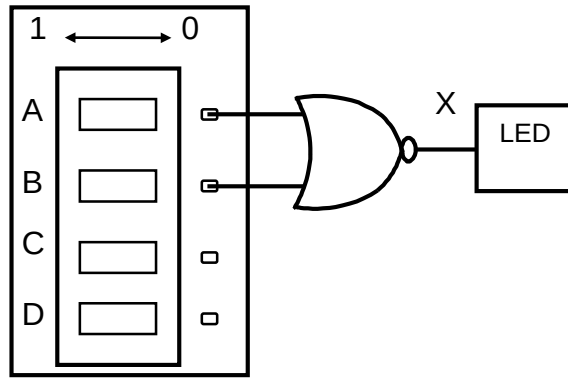
4. Deney setinde 4 adet VEYAD geçidi içeren 7402 tümdevresi kullanılmıştır. Bu VEYAD geçitlerinden birini kullanarak şekildeki bağlantıları yapın. Tablodaki girişleri uygulayarak çıkışın mantık seviyesini LED'den gözlemleyin ve voltmetre ile geçidin çıkış-şase arası gerilimi her durum için ölçüp tabloya kaydedin. Mantık VEYAD işlemini kısaca açıklayın.

GİRİŞ	ÇIKIŞ	ÖLÇÜLEN
A	X	GERİLİM
0		
1		



.....

GİRİŞLER		ÇIKIŞ	ÖLÇÜLEN
A	B	X	GERİLİM
0	0		
0	1		
1	0		
1	1		

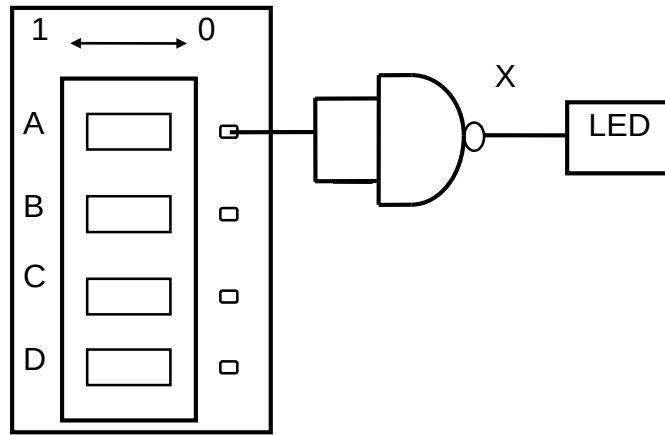


5. Aşağıdaki bağlantıları sırayla yaparak doğruluk tablolarını elde ediniz. Bu iki geçidin bu şekildeki bağlantıları daha önceki geçitlerden hangisine benzemektedir? Onun yerine kullanılabilir mi?

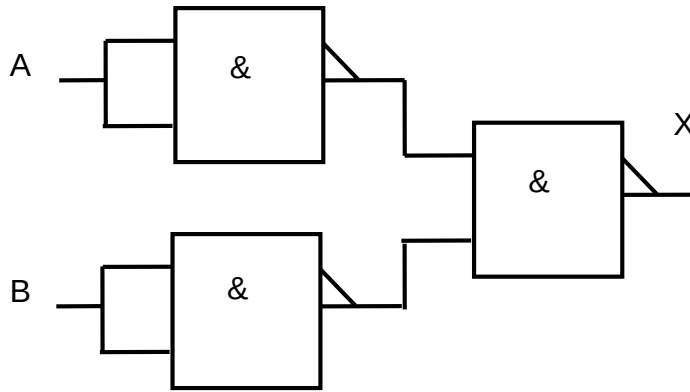
.....

.....

GİRİŞ	ÇIKIŞ	ÖLÇÜLEN
A	X	GERİLİM
0		
1		



6. Bundan sonraki bağlantılarda anahtar grubu gösterilmeyecek sadece anahtarın ismi yazılacaktır. Yine aynı şekilde devrelerin çıkışına LED bağlantısı gösterilmeyecektir. LED numarası belirtilmediği durumda istediğiniz LED'e bağlayabilirsiniz. Aşağıdaki bağlantıyı yapın. Tabloda belirtilen girişleri uygulayarak bu devrelerin çıkış fonksiyonunu elde edin.



GİRİŞLER		ÇIKIŞ
A	B	X
0	0	
0	1	
1	0	
1	1	

.....

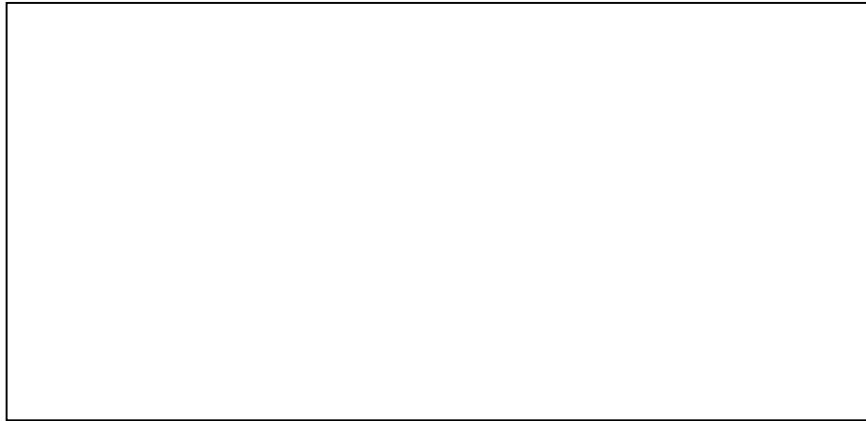
.....

.....

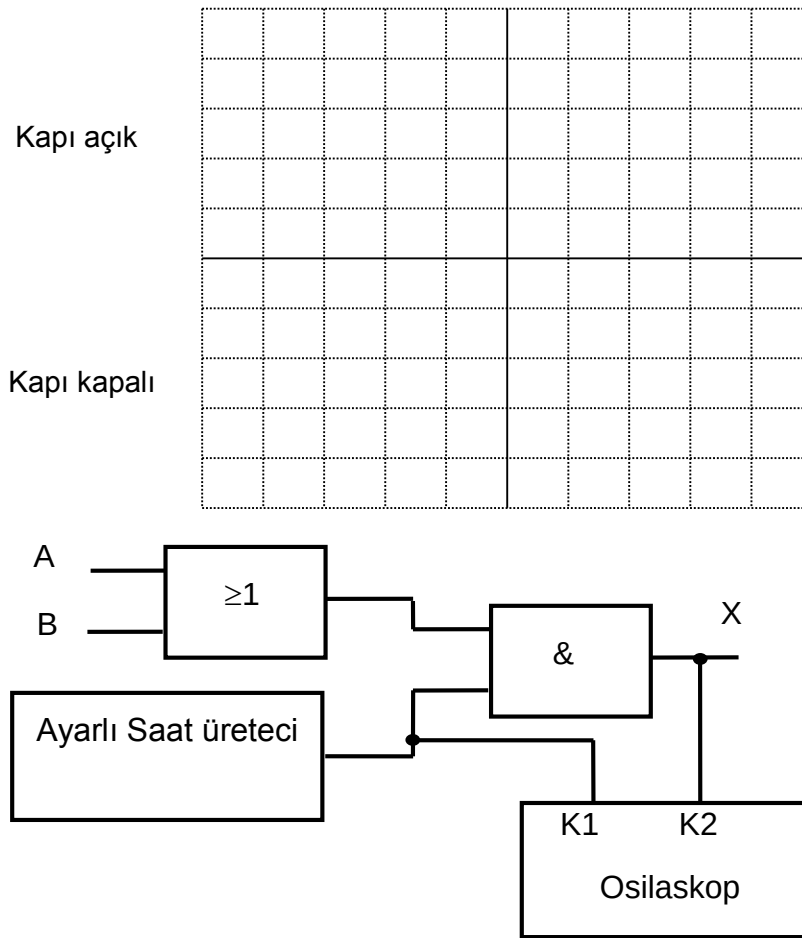
7. Elinizde bir adet 7404 ve bir adet 7408 tümdevresi var, bunları kullanarak nasıl VED geçidi elde edersiniz? Bağlantı şemasını aşağıya çizin.



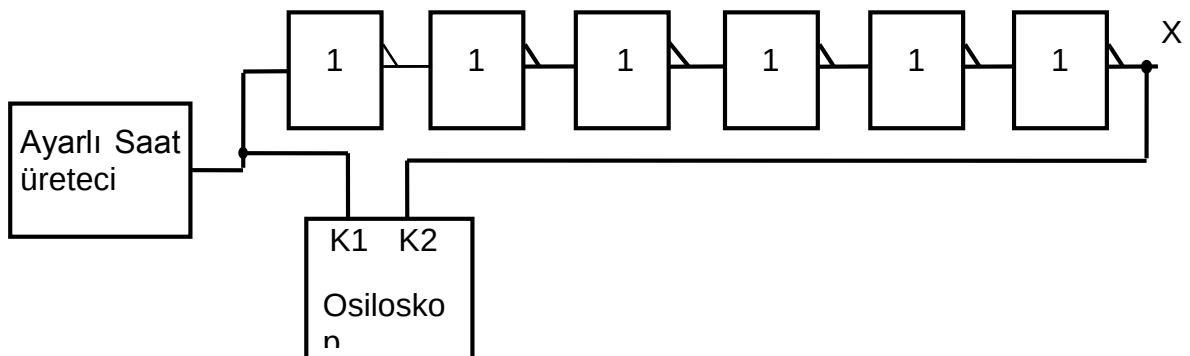
8. Aynı tüm devreleri kullanarak VEYA geçidini nasıl elde edersiniz? Bağlantı şemasını aşağıya çizin.



9. Şimdi geçitleri kullanarak araba alarmı tasarımıyalım. Kapılar kapalı olduğunda alarm ötmesin, kapılardan herhangi biri açıldığında alarm ötsün. Bu devreyi gerçekleştirmek için ayarlı saat üreticini kullanacaksınız, devre çıkışına bir LED ve osilaskop bağlayacaksınız. Basit olması için iki kapı olduğunu varsayalım ve bu iki kapıyı A ve B anahtarları ile sembolize edelim. Alarm herhangi bir kapı açıldığında ötmesi gerektiği için VEYA geçidi ile bu iki kapıdan açık olan var mı diye denetleyebiliriz. Saat üreticinden gelen vuruları bu anahtardan gelen bilgi doğrultusunda LED'e iletilmesi gerekir bu işlemi VE geçidi ile gerçekleştirebiliriz. Sonunda yandaki devre elde edilir. Şekildeki devreyi kurun. Saat üreticini yavaş konumuna aldığınızda kapılardan birini açarsanız LED yanıp sönmeye başlar. Osilaskopta çıkışı gözlemek için saat üreticini hızlı konuma alınız. Bu arada osilaskobun time/div komütatörü ayarlayarak durgun bir görüntü elde edin. Osilaskobun iki kanalını kullanın, bunun için 1. kanalı saat üretici çıkışına 2. kanalı devre çıkışına bağlayınız. Anahtar açık ve kapalı iken devre çıkışını ayrılan yere çizin.



- 10.** Geçitlerin girişlerine uygulanan işaret çıkışından belirli bir gecikme ile alınabilir. Bu gecikmeye geçitlerin yayılma (propagasyon) gecikmesi adı verilir. Bu gecikme tek bir geçit için yaklaşık 10 ns kadardır. Birden fazla geçit arka arkaya kullanıldığında gecikme süresi uzar. Bazı sayısal elektronik devrelerinde bu gecikme devrenin doğru çalışmasını engeller. Bu gibi durumla karşılaşmamak için geçitlerin yayılma gecikmesi bilinmelidir. Basit bir bağlantı ile bu gecikmeyi osilaskop yardımı ile belirleyelim. Aşağıdaki devreyi kurun. Osilaskobun iki kanalı arasındaki gecikmeyi okuyup kaydedin.



1. VE, DEĞİL ve VEYAD geçitlerini kullanarak EXOR (AYRICALIKLI VEYA) geçidini elde edin. Doğruluk tablosunu elde edin ve derste elde edilen ile karşılaştırın.

--

GİRİŞLER		ÇIKIŞ
A	B	X
0	0	
0	1	
1	0	
1	1	

2. VE, DEĞİL ve VEYAD geçitlerini kullanarak EXNOR (AYRICALIKLI VEYAD) geçidini elde edin. Doğruluk tablosunu elde edin ve derste elde edilen ile karşılaştırın.

--

GİRİŞLER		ÇIKIŞ
A	B	X
0	0	
0	1	
1	0	
1	1	

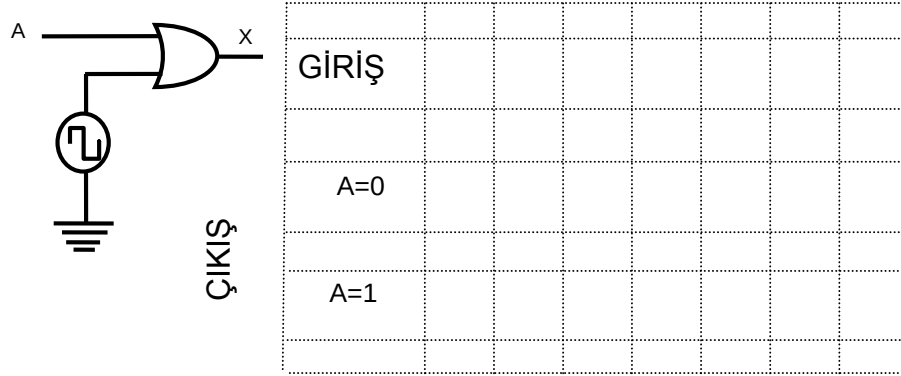
DENEY 3: BOOLEAN ARİTMETİĞİ

Amaç

Boolean kanunları ve De Morgan teoremini geçitler ile kanıtlamak.

İŞLEM SIRASI

1. Şekil-1'deki devreyi kurarak kanun 1'in doğruluğunu kanıtlayın. A anahtarını 0 konumuna alın ve saat üretici çıkışını hızlı konumuna getirin, osiloskopta giriş ve çıkışı birlikte gözlemleyin. Aynı işlemi A anahtarını 1 konumuna getirip gözlemleyin. Bu devre hangi kanunun doğruluğunu gösterir?



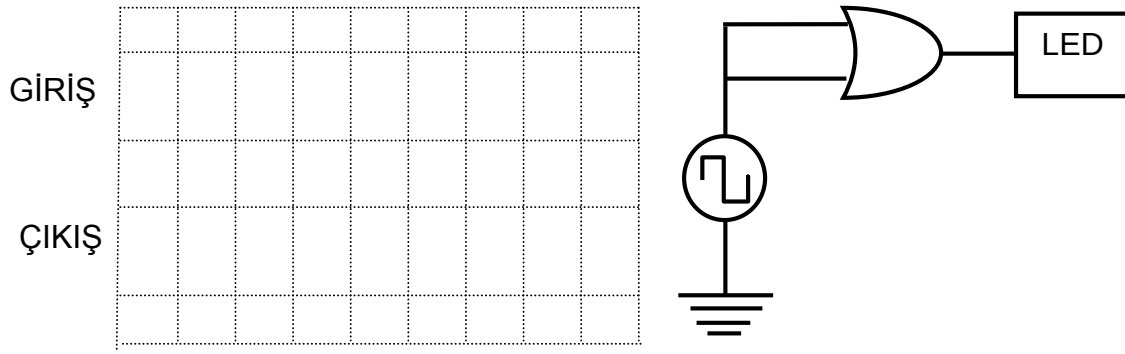
Şekil-1

2. Devreyi Şekil-3.2'de olduğu gibi değiştirin. Osiloskopta giriş ve çıkışı gözlemleyin. Bu devre hangi kanunun doğruluğunu gösterir?

.....

.....

.....

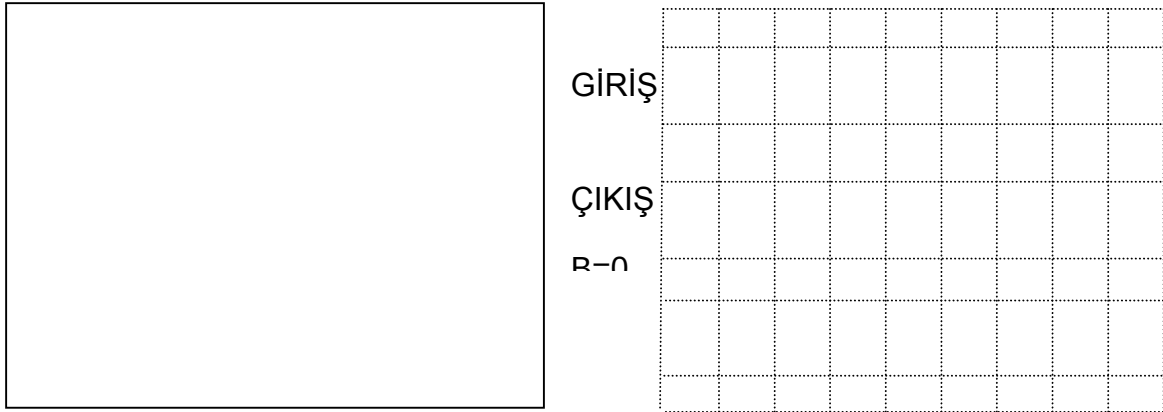


Şekil-2

3. Devreyi Şekil-2’de olduğu gibi değiştirin. Osiloskopta giriş ve çıkışı A anahtarının 0 ve 1 konumları için birlikte gözlemleyin. Bu devre hangi kanunun doğruluğunu gösterir?

.....

4. Kanun 10’nun doğruluğunu gösteren devreyi aşağıya çizin. A girişi için işaret üreticini ve B girişi için B anahtarını kullanın. A girişini ve çıkış dalga şeklini birlikte osiloskopta gözlemleyip Şekil-3’e çizin.



Şekil-3

5. eşitliğinin devresini kurun ve doğruluk tablosunu Tablo-1’e yazın. Bu eşitliği dağılma, 7 ve 10 nolu kanunları uygulayarak sadeleştirin. Sadeleşmiş ifadenin devresini kurarak doğruluk tablosunu Tablo-2’ye yazın.

.....

A	B	C	$X = A(A+B)+C$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tablo-1

A	B	C	$X = \dots\dots\dots$
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tablo-2

6. olarak ifade eden 11 nolu kanunun eşitliğin her iki tarafını ayrı devrelerde gerçekleyin ve doğruluk tablosunu Tablo-3.3'e ve Tablo-3.4'e yazın. Her iki devrenin doğruluk tablolarını karşılaştırın.

.....

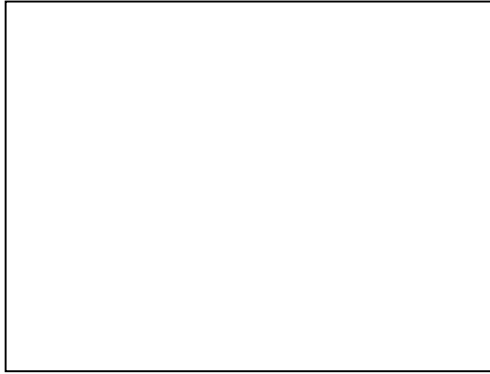
.....

.....

.....

A	B	A+B
0	0	
0	1	
1	0	
1	1	

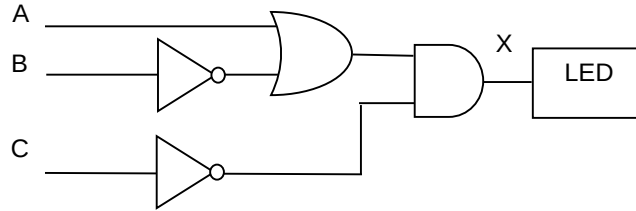
Tablo-3



A	B	$A+A'B$
0	0	
0	1	
1	0	
1	1	

Tablo-4

6. Aşağıdaki devreyi kurup doğruluk tablosunu elde ederek Tablo-5'e yazın. Çıkış fonksiyonunu en sade haliyle ÇT ve TÇ şeklinde yazın.

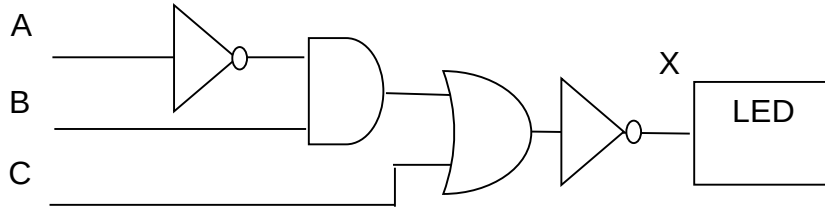


A	B	C	X
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tablo-5

$$X(A,B,C) = \Sigma(\dots\dots\dots) \quad X(A,B,C) = \Pi(\dots\dots\dots)$$

7. Aşağıdaki devreyi kurup doğruluk tablosunu elde ederek Tablo-6'ya yazın. Çıkış fonksiyonunu en sade haliyle ÇT ve TÇ şeklinde yazın.



$$X(A,B,C) = \Sigma(\dots\dots\dots)$$

$$X(A,B,C) = \Pi(\dots\dots\dots)$$

A	B	C	X
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tablo-6

8. İşlem 7 ve 8'in sonuçlarını karşılaştırın. Her iki devrenin çıkış fonksiyonlarını elde edin ve De Morgan teoremini uygulayarak elde ettiğiniz sonuçları deneyden elde ettiklerinizle karşılaştırın.

.....

.....

.....

.....

BİRLEŞİK MANTIK DEVRE TASARIMI

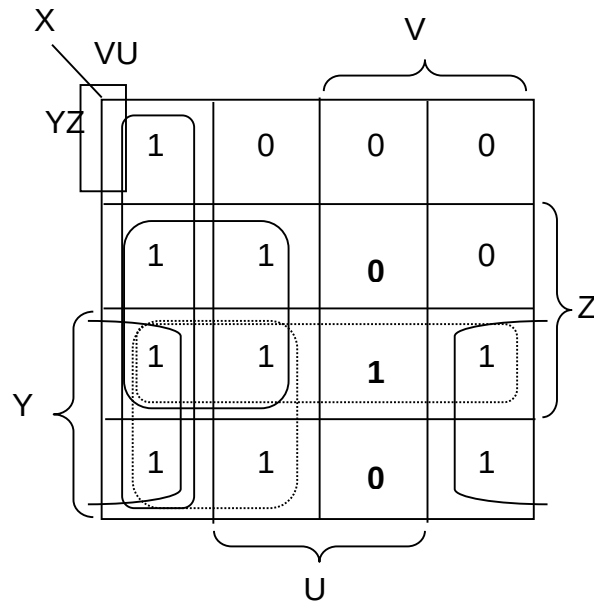
İŞLEM SIRASI

1. $X = Y\bar{V} + Z\bar{V} + YZ + \bar{U}\bar{V} + \bar{U}Y$ ifadesinin devresini kurup Tablo-7'deki doğruluk tablosunda deney için ayrılan yere kaydedin. Sonuçları karşılaştırın.

A		B			DENEY
Y	Z	V	U	X	X
0	0	0	0	1	

0	0	0	1	0	
0	0	1	0	0	
0	0	1	1	0	
0	1	0	0	1	
0	1	0	1	1	
0	1	1	0	0	
0	1	1	1	0	
1	0	0	0	1	
1	0	0	1	1	
1	0	1	0	1	
1	0	1	1	0	
1	1	0	0	1	
1	1	0	1	1	
1	1	1	0	1	
1	1	1	1	1	

Tablo-7



$$X = Y\bar{V} + Z\bar{V} + YZ + \bar{U}\bar{V} + \bar{U}Y$$

.....

.....

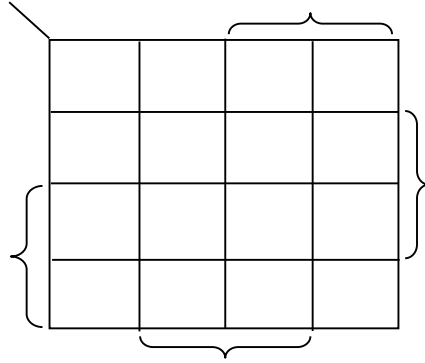
.....

İKO (BCD) geçersiz kod denetleyicisi.

İKO sayılar 0 ile 9 arası onlu sayıların 4 bit ikilik olarak yazılmasıdır. 4 bit ikilik sayı ile 10 karakterden fazlası yazılabılır, bu karakterler İKO'da geçersiz kodlardır. Tasarlayacağınız devrede bu kodlar girişe uygulandığında çıkıştaki LED hata olduğunu belirtmek amacıyla yansın, geçerli girişlerde yanmasın. Bu işlemi yapan devreyi tasarlayın ve en az sayıda VED geçidi kullanarak Şekil-3.5'te ayrılan yere çizin. Devreyi VED geçitleri ile kurarak doğruluk tablosuna (Tablo-3.8) kaydedin. Deney sonucu ile sizin öngördüğünüz sonuç aynı olmalıdır. Farklı ise sebebini araştırın.

Girişler				TASARIM	DENEY
A	B	C	D	X	X
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

Tablo-3.8



X=.....

Şekil-5

2/3 Çoğunluk Test Edici

9 üyeli yönetim kurulunda kararlar için 2/3 çoğunluğun evet oyu vermesi gerekmektedir. Verilen evet oyları sayılıp İKO olarak anahtarlar yardımı devrenin girişine uygulanmaktadır. Girilen sayı kurulun 2/3 'üne eşit ve büyük ise çıkıştaki LED yanacaktır. Bu işlemi yapan devreyi tasarlayın Şekil-3.6'da ayrılan yere VED geçitleri ile çizip devreyi kurun ve doğruluk tablosunu Tablo-3.9'a yazarak doğruluğunu gösterin.

GİRİŞLER				TASARIM	DENEY
A	B	C	D	X	X
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

Tablo-3.9



Otomatik Kola Makinesi Tasarımı.

Kolanın fiyatı 1600 bin liradır, ve makinede 500, 250, 100 ve bin ve bir milyon lira girişleri olması istenmektedir. Devrenin iki çıkışı olacaktır: bir tanesi kolanın verildiğini gösterecek, diğeri ise kola verildikten sonra üste paranın veriliş verilemeyeceğini gösterecektir. Birinci çıkış kola çıkışı girişe en az 600 bin lira atıldığında LED yanacak (kola verildi anlamında). İkinci çıkış üst çıkışı olacak ve atılan para 600 bin liranın üstünde olduğunda etkin olacak, üst verileceğini belirleyecek fakat miktarını belirtmeyecek. Bu işlemleri yapan devreyi tasarlayıp Şekil-6'da ayrılan yere çizip uygun geçitler kullanarak devreyi kurun. Doğruluk tablosunu Tablo-10'a yazarak devrenizin doğruluğunu gösterin.

GİRİŞLER				TASARIM		DENEY	
M	B	İ	Y	KOLA	ÜST	KOLA	ÜST
0	0	0	0				
0	0	0	1				
0	0	1	0				
0	0	1	1				
0	1	0	0				
0	1	0	1				
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

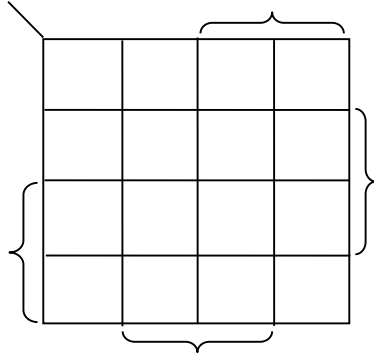
Tablo-10

B: Beş yüz bin lira

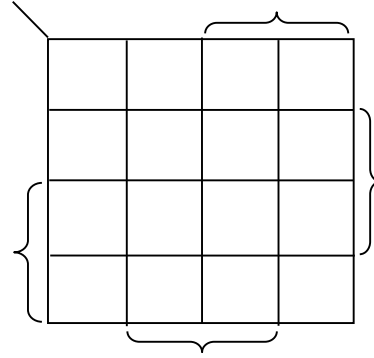
İ: İki yüz elli bin lira.

Y: Yüz bin lira.

M: Bir milyon lira



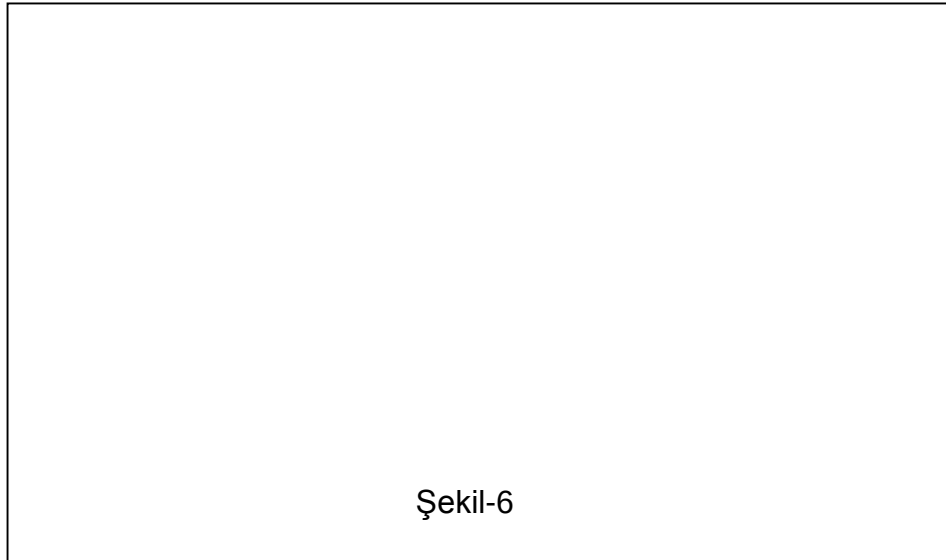
Kola=.....



Üst=.....

Tasarım ile deneyden elde ettiğiniz sonuçları karşılaştırın. Farklı ise hatanızı bulup düzeltin.

.....

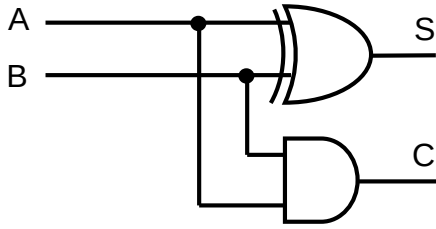


Şekil-6

DENEY 4: TOPLAYICILAR VE KARŞILAŞTIRICILAR

İŞLEM SIRASI

1. Şekil-1'deki yarım toplayıcı devresini mantık geçitlerini kullanarak kurun. Tablo-1 'deki girişleri uygulayarak çıkışları kaydedin



Şekil-1

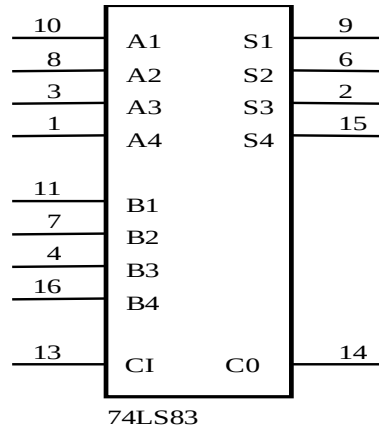
GİRİŞLER		ÇIKIŞLAR	
b	a	s	c ₀
0	0		
0	1		
1	0		
1	1		

Tablo-1

GİRİŞLER			ÇIKIŞLAR	
C _{in}	B	A	S	C ₀
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Tablo-4.2

2. Şekil-4.2'deki tam toplayıcı devresini kurun ve Tablo-4.2'deki girişleri uygulayarak çıkış değerlerini kaydedin.
3. 7483 4 bit look-ahead-carry tam toplayıcısının bacak bağlantısı Şekil-4.3'te gösterilmiştir. Bu tümdevre gelişmiş deney seti üzerindedir. Gelişmiş deney setini çıkararak bu tümdevre ile 3 bitlik iki sayıyı toplayacak devreyi kurun, bağlantıları Şekil-4.3 üzerine çizin ve çalıştırın.



Şekil-3 7483'ün bacak bağlantısı ve 3 bitlik toplayıcının bağlantıları (çizilecek).

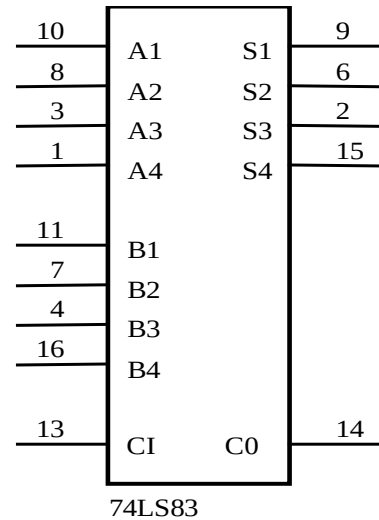
4. Aşağıdaki sayıların toplamını devreyi kullanarak bulun ve ledlerden gözlemlediğiniz ikilik karşılığını yazın.

$$3+7=\dots\dots\dots$$

$$2+6=\dots\dots\dots$$

$$6+7=\dots\dots\dots$$

5. 7483 toplayıcı tümdevresi ile 4 bitlik iki sayıyı toplayacak devreyi kurun, bağlantıları Şekil-4.4 üzerine çizin ve çalıştırın.



Şekil-4.4 4 bitlik toplayıcının bağlantıları (çizilecek).

6. Aşağıdaki sayıların toplamını devreyi kullanarak bulun ve ledlerden gözlemlediğiniz ikilik karşılığını da yazın.

$$3+7=\dots\dots\dots$$

$$A+9=\dots\dots\dots$$

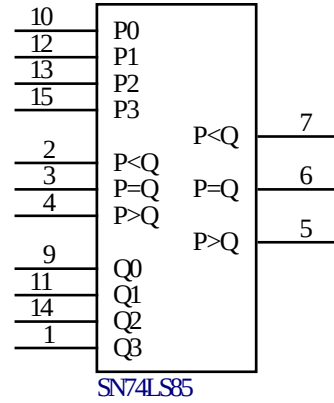
$$E+C=\dots\dots\dots$$

$$F+1=\dots\dots\dots$$

$$D+D=\dots\dots\dots$$

$$D+F=\dots\dots\dots$$

7. 3 bitlik büyüklük karşılaştırıcı devreyi 7485 tümdevresini kullanarak tasarlayın. Tasarladığınız devreyi aşağıda ayrılan yere çizin.

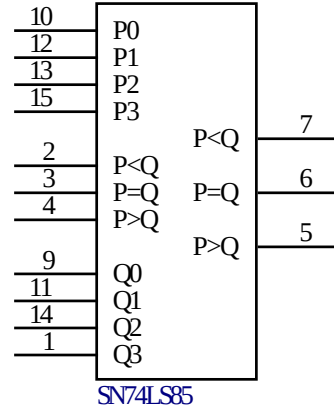


8. Aşağıdaki sayıları tasarladığınız devre ile karşılaştırıp büyüklük, küçüklük, eşitlik çıkışlarının durumlarını belirleyin.

3,7=..... 2,6=..... 4,1=.....

2,1=..... 7,5 =..... 3,3=.....

9. 7485 tümdevresini kullanarak 4 bitlik büyüklük karşılaştırıcısını tasarlayın. Devreyi aşağıda ayrılan yere çizin.

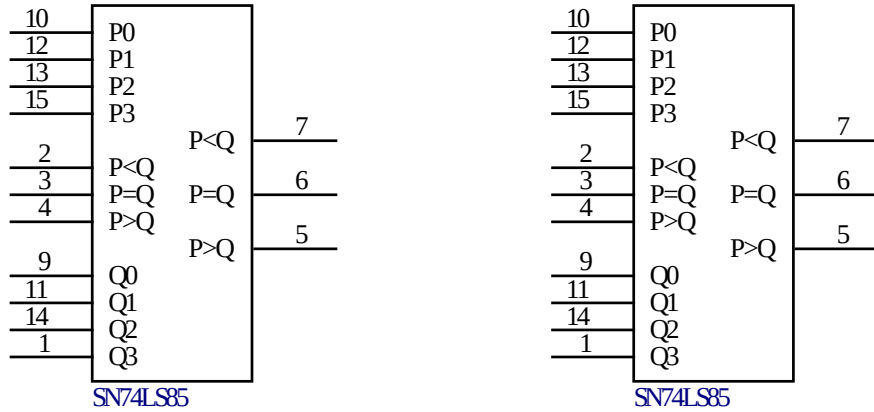


10. Aşağıdaki sayıları bu devre ile karşılaştırıp sonuçları kaydedin.

3,12=..... 11,15=..... 14,8=.....

12,1=..... 14,7=..... 13,13=.....

11. 7 bitlik büyüklük karşılaştırıcı devreyi 7485 tümdevresini kullanarak tasarlayın. Devre şeklini aşağıda ayrılan yere çizin.



12. Devreyi kurun ve aşağıdaki sayıları karşılaştırın.

38,126=..... 110,65=..... 51,51=.....

12,111=..... 14,78=..... 13,45=.....

DEĞERLENDİRME SORULARI

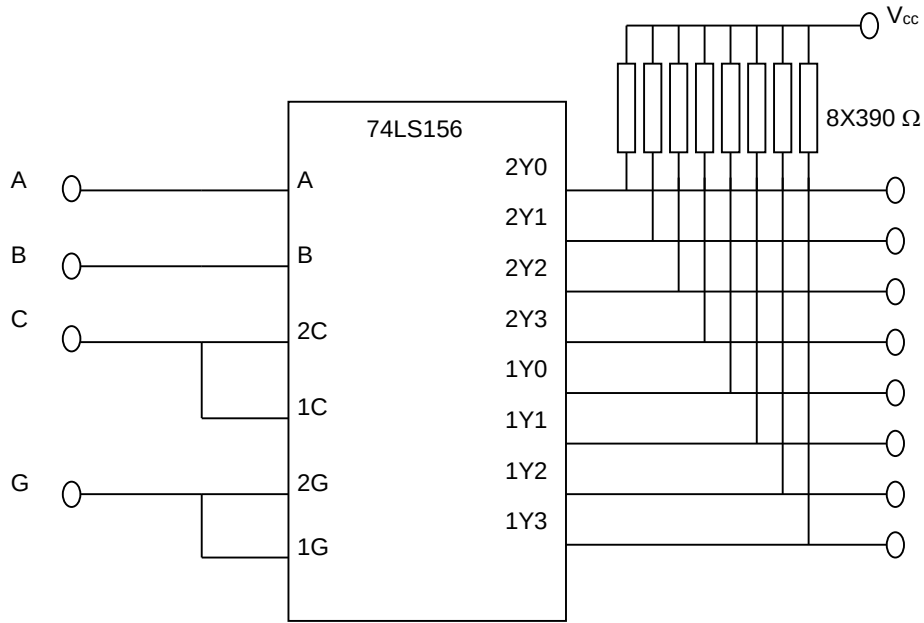
- 00-99 arası iki adet İKO sayıyı toplayıp sonucu İKO olarak LED'lerde görüntüleyen devreyi tasarlayın. Devreyi tümdevreleri ve geçitleri kullanarak en ekonomik şekilde kurup çalıştırın.
- Tek terminalli oy sayım makinesini tasarlayın. 0...31 aralığında çalışsın, oy veren kişi anahtarı 1 konumuna alıp sonra sıfır konumuna getirsin.
- İKO geçersiz kod denetleyici devresini karşılaştırmacı kullanarak tasarlayın.
- Tam çıkarıcı devreyi geçitler ile tasarlayın.
- Toplayıcı tümdevresi çıkarıcı olarak kullanılabilir mi? Bağlantıyı yapıp çalışmasını gösterin.

DENEY 5: KODÇÖZÜCÜLER VE KODLAYICILAR

Deneyde bağlantıları yaparken ekte bulunan o tümdevre ile ilgili veri yapraklarına (Data sheet) bakmayı unutmayın. Mantık sembolleri üzerinde besleme bağlantıları gösterilmez. Bağlantıları yaptıktan sonra öğretim görevlisine kontrol ettirmeden gerilim uygulamayın. Tümdevreye gerilim uygulanmış durumda iken bağlantı değişikliği yapmayın.

İŞLEM SIRASI

1. Aşağıdaki devreyi kurup Tablo-1'de verilen girişleri uygulayarak çıkışların durumlarını belirleyin ve tabloya kaydedin.



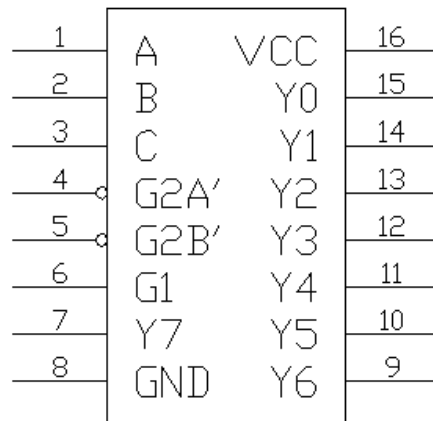
Şekil-5.1 74156 3 bit kodçözücü tümdevresinin mantık sembolü.

2. Dirençleri devreden çıkarıp tablodaki girişleri uygulayarak tekrar çıkışların durumunu belirleyin. Daha önceki sonuçlar ile karşılaştırın.

3. 74LS138 tümdevresini 3'e 8 kodçözücü olarak kullanmak için gerekli bağlantıları Şekil-5.2'de gösterin. Devreyi kurarak Tablo-2'deki girişleri uygulayın ve çıkışları aynı tabloya kaydedin.

GİRİŞLER				ÇIKIŞLAR							
SEÇME			İZİN	0	1	2	3	4	5	6	7
C	B	A	G	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	1								
0	0	0	0								
0	0	1	0								
0	1	0	0								
0	1	1	0								
1	0	0	0								
1	0	1	0								
1	1	0	0								
1	1	1	0								

Tablo-1 3 bit ikilik kodçözücü 74LS156 tümdevresinin doğruluk tablosu



74138

Şekil-2

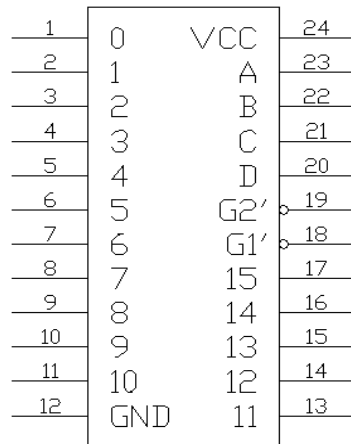
GİRİŞLER					ÇIKIŞLAR							
SEÇME			İZİN		0	1	2	3	4	5	6	7
C	B	A	G ₁	G ₂	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	X	X	1								
X	X	X	0	X								
0	0	0	1	0								
0	0	1	1	0								
0	1	0	1	0								
0	1	1	1	0								
1	0	0	1	0								
1	0	1	1	0								
1	1	0	1	0								
1	1	1	1	0								

Tablo-2 3 bit ikilik kodçözücü 74LS138 tümdevresinin doğruluk tablosu

4. 74LS156 tümdevresi ile 74LS138 tümdevresini karşılaştırın.

.....

.....



74154

Şekil-3

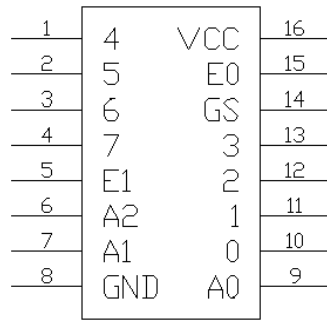
5. 74154 tümdevresini 4'e 16 kod çözücü olarak kullanmak için gerekli bağlantıları

Şekil-3'te gösterin. Devreyi kurarak Tablo-3'teki girişleri uygulayın ve çıkışları aynı tabloya kaydedin.

GİRİŞLER						ÇIKIŞLAR															
G ₁	G ₂	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1	1	X	X	X	X																
0	0	0	0	0	0																
0	0	0	0	0	1																
0	0	0	0	1	0																
0	0	0	0	1	1																
0	0	0	1	0	0																
0	0	0	1	0	1																
0	0	0	1	1	0																
0	0	0	1	1	1																
0	0	1	0	0	0																
0	0	1	0	0	1																
0	0	1	0	1	0																
0	0	1	0	1	1																
0	0	1	1	0	0																
0	0	1	1	0	1																
0	0	1	1	1	0																
0	0	1	1	1	1																

Tablo-5.3

6. 74148 kodlayıcıyı kullanarak 16'dan 4'e kodlayıcı bağlantısını Şekil-.4'e çizin. Devreyi kurup çalıştırın.

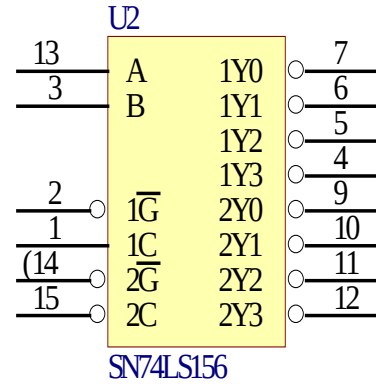
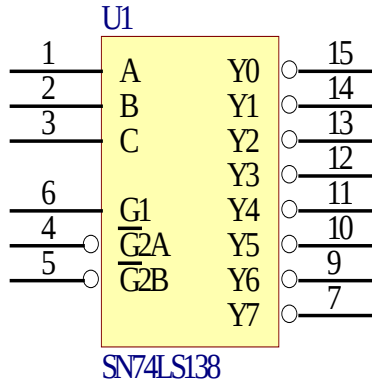


74148

Şekil-4

DEĞERLENDİRME SORULARI

74LS138 ve 74LS156 tümdevrelerini 2X4 kodçözücü olarak nasıl kullanırsınız? Bağlantıyı aşağıya çizin, devreleri çalıştırıp doğruluk tablolarını elde edin.



GİRİŞLER					ÇIKIŞLAR							
SEÇME			İZİN		0	1	2	3	4	5	6	7
C	B	A	G ₁	G ₂	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	X	X	1								
X	X	X	0	X								
0	0	0	1	0								
0	0	1	1	0								
0	1	0	1	0								
0	1	1	1	0								
1	0	0	1	0								
1	0	1	1	0								
1	1	0	1	0								
1	1	1	1	0								

Tablo-4 74138 tümdevresi için doğruluk tablosu.

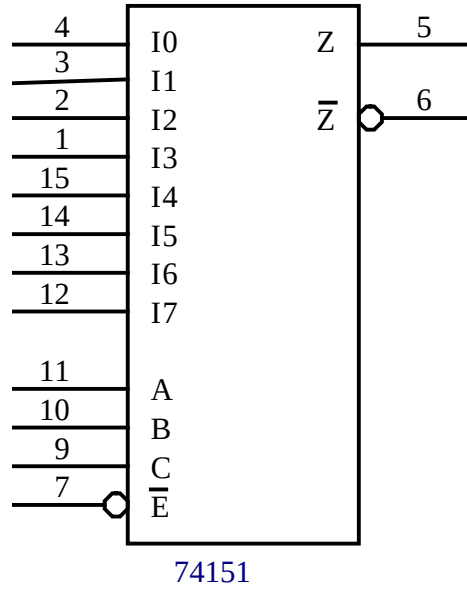
GİRİŞLER				ÇIKIŞLAR							
SEÇME			İZİN	0	1	2	3	4	5	6	7
C	B	A	G	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	1								
0	0	0	0								
0	0	1	0								
0	1	0	0								
0	1	1	0								
1	0	0	0								
1	0	1	0								
1	1	0	0								
1	1	1	0								

Tablo-5 74156 tümdevresi için doğruluk tablosu.

DENEY 6: MULTİPLEXER DEMULTİPLEXER

İŞLEM SIRASI

1. 74151 tümdevresini multiplexer olarak kullanan bağlantıyı Şekil-6.1 üzerinde yapın. Tablo-6.1'deki girişleri uygulayarak çıkışları belirleyin. İşlevini açıklayın.



Şekil-6.1 74151 multiplexer tümdevresinin bağlantı şekli (Çizilecek).

Girişler				Çıkışlar	
C	B	A	I	Z	/Z
0	0	0	I0=0		
0	0	0	I0=1		
0	0	1	I1=0		
0	0	1	I1=1		
0	1	0	I2=0		
0	1	0	I2=1		
0	1	1	I3=0		
0	1	1	I3=1		
1	0	0	I4=0		
1	0	0	I4=1		
1	0	1	I5=0		
1	0	1	I5=1		
1	1	0	I6=0		
1	1	0	I6=1		
1	1	1	I7=0		
1	1	1	I7=1		

Tablo-1 74151'in doğruluk tablosu

2. 74138 tümdevresini demultiplexer olarak kullanan bağlantıyı Şekil-2 üzerinde yapın. Tablo-2'deki girişleri uygulayarak çıkışları belirleyin. İşlevini açıklayın.

Şekil-2 74138 tümdevresinin demultiplexer olarak kullanılması (Çizilecek)

GİRİŞLER				ÇIKIŞLAR							
C	B	A	E3	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	E3=0								
0	0	0	E3=1								
0	0	1	E3=0								
0	0	1	E3=1								
0	1	0	E3=0								
0	1	0	E3=1								
0	1	1	E3=0								
0	1	1	E3=1								
1	0	0	E3=0								
1	0	0	E3=1								
1	0	1	E3=0								
1	0	1	E3=1								
1	1	0	E3=0								
1	1	0	E3=1								
1	1	1	E3=0								
1	1	1	E3=1								

Tablo-2 74138'in doğruluk tablosu

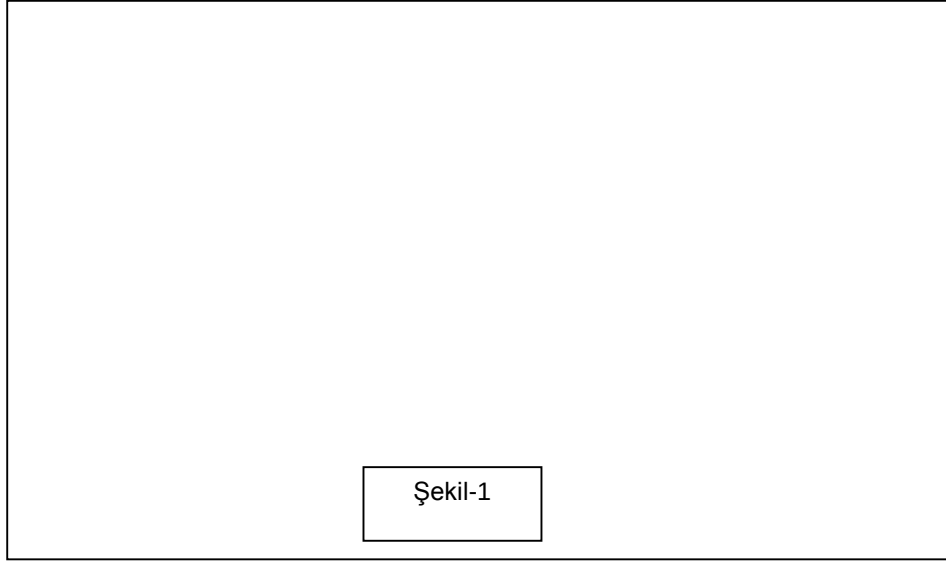
DENEY 7: D TİPİ TUTUCULAR

Amaç:

1. Değişik geçitlerle elde edilen tutucu devrelerini incelemek.
2. D tipi tutucu uygulama devrelerini gerçeklemek.

İŞLEM SIRASI

1. **VED** geçitleri kullanarak S'-R' tutucu devresini oluşturun. Oluşturduğunuz devreyi aşağıda belirtilen yere çizin. R' ve S' girişlerini A ve B anahtarlarına bağlayın ve Tablo-1'de verildiği gibi değiştirerek Q ve Q' çıkışlarını LED'lerden gözlemleyin.



2. Beklediğiniz sonuçları elde ettiniz mi?

.....
.....
.....

R'	S'	Q	Q'
0	0		
0	1		
1	1		
1	0		
1	1		

Tablo -1

3. Devreyi deęiřtirmeden izin giriři olan D tutucu haline getirin İzin giriřine ise C anahtarını baęlayın. Deęiřtirilmiř devreyi ařaęıda ayrılan yere izın. Giriře osilaskopta durgun grnt elde edecek kadar yksek frekansta saat retecini baęlayın



2. C anahtarını "0" konumuna alın ve Q ıkıřını osiloskopta giriřle birlikte gzlemleyin. Ařaęıda belirtilen yere izın. C anahtarını "1" konumuna alıp aynı iřlemleri tekrarlayın. Gzlemlerinize gre izin giriřinin iřlevini aıklayın.

.....

.....

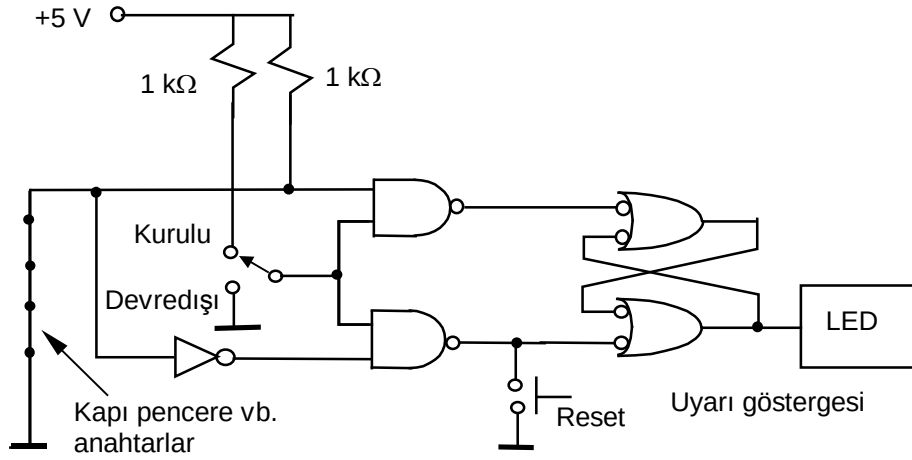
4. Ařaęıdaki hırsız alarm devresini kurun. Anahtarı devre dıřı konumuna alın ve kapı pencere anahtarlarının birini aın uyarı gstergesinin durumunu belirleyin.

.....

.....

4. Anahtarı kurulu konumuna alın ve kapı pencere anahtarlarının birini aın uyarı

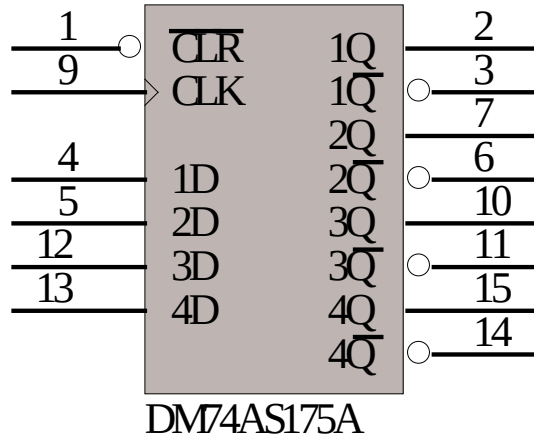
göstergesinin durumunu belirleyin.



5. Bu durumda reset tuşuna basın ve uyarı göstergesinin durumunu belirleyin.

6. Devrenin çalışmasını açıklayın.

Aynı devreyi 7475A tümdevresini kullanarak nasıl gerçekleştirebilirsiniz şeklini çizin. Girişlere sıra ile A, B, C, D anahtarlarını bağlayın çıkışa LED bağlayın. Tüm anahtarlar "0" da iken deney setini açın. Eğer LED yanıyorsa, gerilimi kesip bağlantıyı denetleyin.



7. B ve D anahtarlarını “1” yapın. Çıkiştaki mantık düzeyi ne olur?

.....

.....

8. A ve C anahtarlarını “1” yapın. İlgili çıkışlardaki mantık düzeyi ne oluyor?

.....

.....

9. A, B, C ve D anahtarlarını birer birer “0” a getirip çıkışları gözleyin.

.....

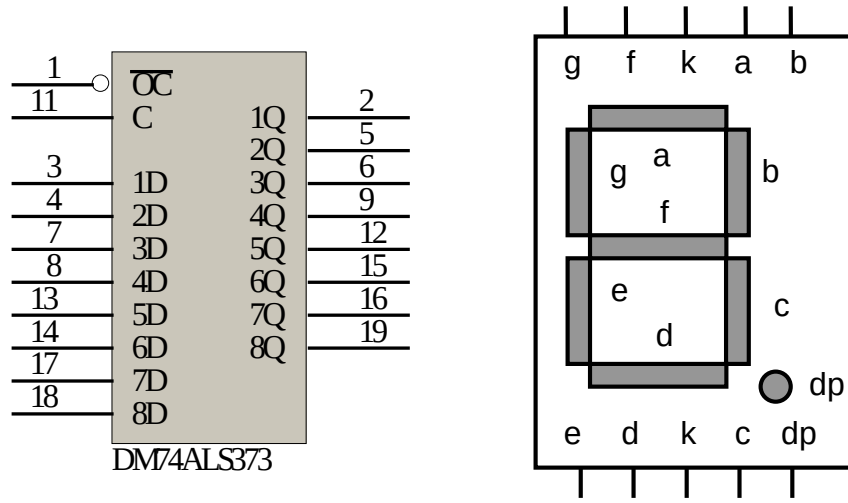
.....

10. Tutucunun Q' çıkışlarına da LED bağlayarak her tutucunun iki çıkışının birbirine göre durumunu izleyin.

.....

.....

11. 74LS373 sekizli tutucu tümdevresidir. D_0 - D_7 tutucunun girişleri, Q_0 - Q_7 çıkışlarını, ALE veya C saat girişini, OC çıkış kontrol ucuunu gösterir. Yazılan verinin çıkışa aktarılabilmesi için OC'nin DÜŞÜK seviye ve ALE ucunda bir düşen kenar oluşması gerekir. Bu tutucuyu kullanarak 7 elemanlı gösterge sürücü devresi kuralım. Aşağıdaki devrede gerekli bağlantıları yapın, girişine anahtarları bağlayarak aşağıdaki karakterleri göstergede oluşturun.



A, b, C, d, E, F, 1, 2, 3, 4, 5, 6, 7, 8, 9, 0, y, r, U, u

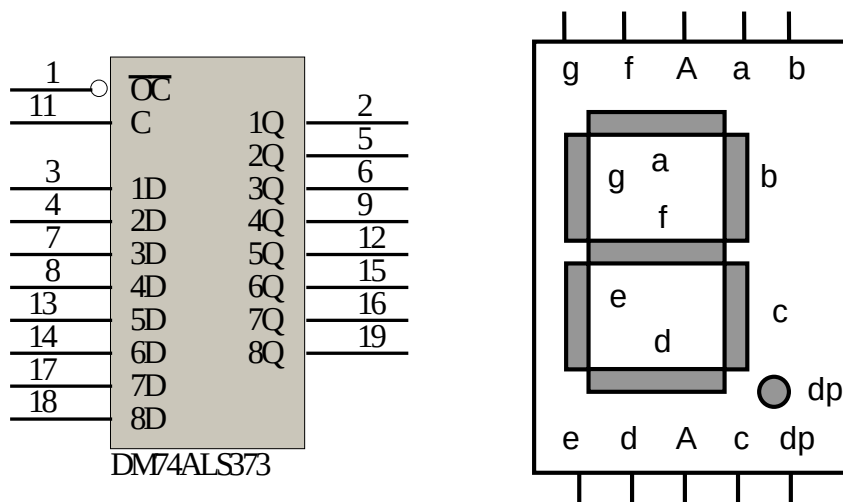
DEĞERLENDİRME SORULARI

1. D tutucuları hangi amaçlarla kullanabilirsiniz?

.....

.....

2. Basamak 12'da gösterge ortak anot olsaydı bağlantı nasıl olurdu? Devreyi kurup aynı karakterleri oluşturun.



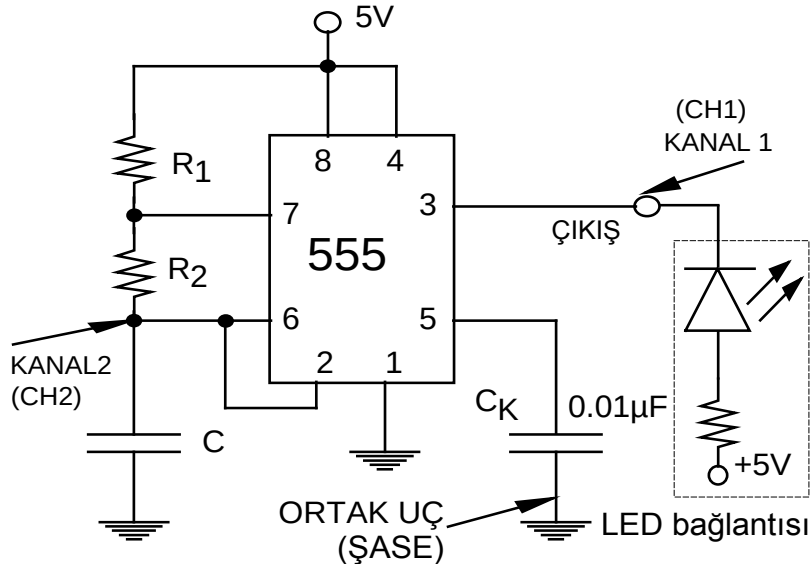
DENEY 8: 555 ZAMANLAYICI

Amaç:

1. Zamanlayıcı tümdevrelerin çalışmasını öğrenmek.
2. Flip-Floplar için gerekli olan tetikleme devresini elde etmek.

İŞLEM SIRASI

1. Şekil-3.1'deki devreyi Tablo - 1'de 1. adımdaki kondansatör ve direnç değerlerine göre kurun. Osiloskobu şekilde gösterildiği gibi bağlayın. LED'in durumunu belirleyin.

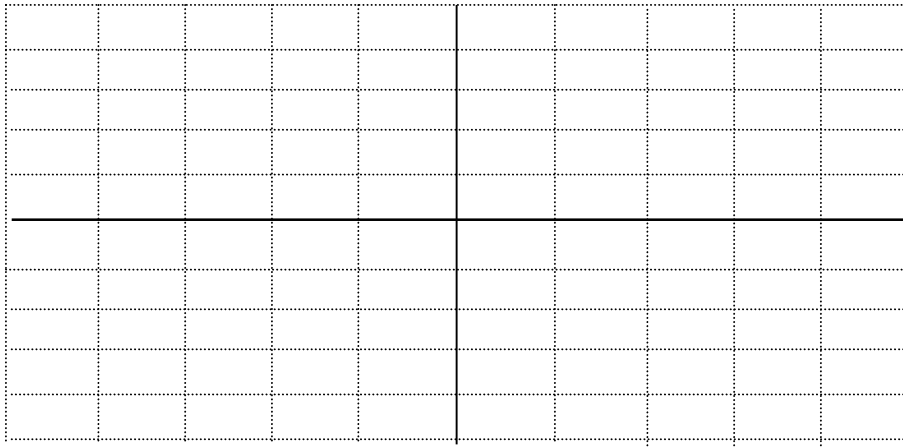


Şekil - 1 555'in kararsız (astable) kare dalga üretici olarak çalıştırılması.

Osilaskopta durgun görüntü elde edinceye kadar time/div komütatörünün konumunu değiştirin. Volt/div komütatörü 2V'ta iken V_c ve çıkış geriliminin eğrilerini Şekil – 2'nin referans çizgisinin üst kısmına ölçekli olarak çizin. Volt/div ve time/div konumlarını şeklin altındaki boşluğa kaydedin. Çıkış frekansını okuyabiliyorsanız osilaskoptan, yoksa frekans sayıcıdan okuyarak kaydedin. Eğer görüntü durgun değilse tablodaki başka bir satırdaki değerler için çizin. LED'in durumunu belirleyin. Osilaskoptaki şekilleri ve LED'in durumunu yorumlayın.

Adım No:	C (μ F)	R ₁ (K Ω)	R ₂ (K Ω)	Çıkış Frekansı		Periyot		D
				HESAPLANAN	ÖLÇÜLEN	YÜKSEK	DÜŞÜK	%
1	0.001	4.7	10					
2	0.001	10	68					
3	0.1	10	68					
4	1	68	120					
5	0.001	68	120					

Tablo - 1



Volt/div =

time/div=.....

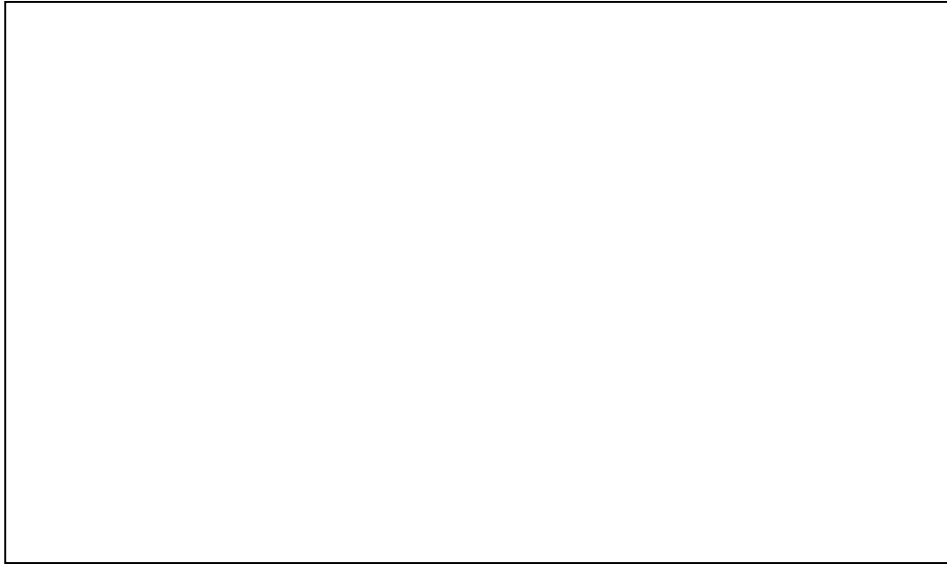
Şekil - 2 Durgun görüntü elde ettiğiniz adımlardan birinin dalga şeklini çizin, değerleri yazın.

3. Güç kaynağını kapatıp devre elemanlarını Tablo – 1 'deki adım 2'ye göre değiştirin. İşlem 2'deki işlemleri tekrarlayıp gerekli ölçümleri tablo3.1'e kaydedin.

.....

4. Diğer adımlar için de aynı işlemleri tekrarlayın.

5. D oranını %50 yapacak bağlantıyı Şekil-3.3'e çizerek devreyi çalıştırın, çıkış dalga şeklini Şekil-3.2'nin referans çizgisinin alt kısmına çizin.



Şekil - 3 D oranı %50 olan bağlantı çizilecek.

DEĞERLENDİRME SORULARI:

1. C kondansatörü çıkış dalga şeklini nasıl etkiler?

.....

.....

2. R_1 direnci çıkış dalga şeklini nasıl etkiler?

.....

.....

3. R_2 direnci çıkış dalga şeklini nasıl etkiler?

.....

.....

5. Çıkış frekansı 5,64kHz, D oranı %59,5 olan 555'li osilatör devresini çizip eleman değerlerini hesaplayın. Devreyi kurup çalıştırın. (Arka sayfaya çizin)

6. 555 kullanarak 0,25 saniye vuru genişliği olan tek atımlı devreyi tasarlayın. Devrenin şeklini çizin, devreyi kurup çalıştırın. (Arka sayfaya çizin)

Soru 4

Soru 5

TÜMDEVRE VERİ YAPRAKLARI

GİRİŞ

Bu bölümde derste ve deneyde kullanılan tümdevre veri yapraklarının özeti verilmiştir. Ayrıntılı bilgi www.nxp.com ve www.ti.com adreslerinden alınabilir.

7400 DÖRTLÜ İKİ GİRİŞLİ VED GEÇİDİ

Quad 2-input NAND gate

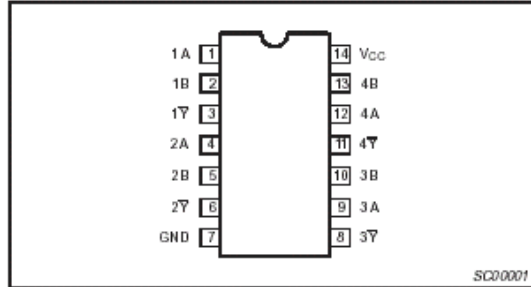
74ALS00A

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS00A	4.0ns	1.0mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$	
14-pin plastic DIP	74ALS00AN	SOT27-1
14-pin plastic SO	74ALS00AD	SOT108-1
14-pin plastic SSOP Type II	74ALS00ADB	SOT337-1

PIN CONFIGURATION

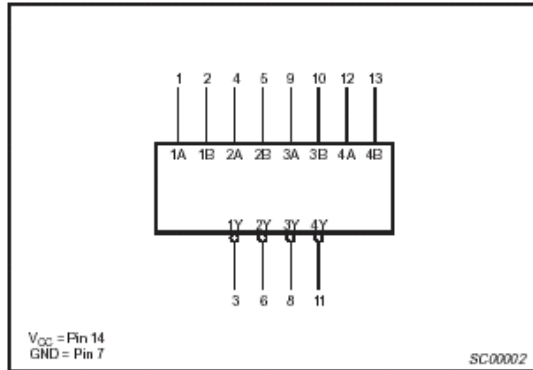


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

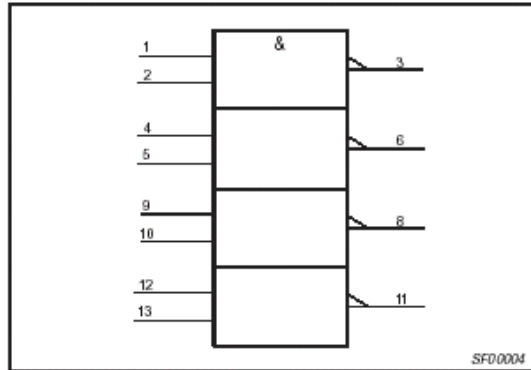
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20 μ A/0.1mA
nY	Data output	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

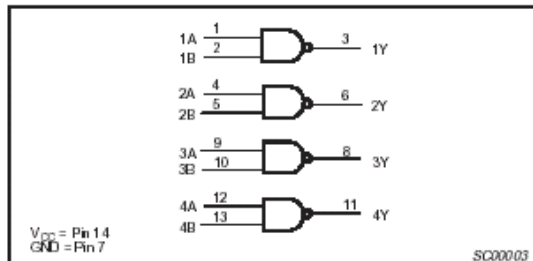
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
H	H	L
L	X	H
X	L	H

H = High voltage level
L = Low voltage level
X = Don't care

4011 DÖRTLÜ İKİ GİRİŞLİ CMOS VED GEÇİDİ

Quadruple 2-input NAND gate

HEF4011B gates

DESCRIPTION

The HEF4011B provides the positive quadruple 2-input NAND function. The outputs are fully buffered for highest noise immunity and pattern insensitivity of output impedance.

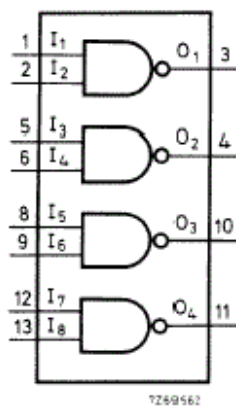


Fig.1 Functional diagram.

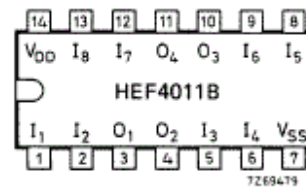


Fig.2 Pinning diagram.

- HEF4011BP(N): 14-lead DIL; plastic (SOT27-1)
 HEF4011BD(F): 14-lead DIL; ceramic (cerdip) (SOT73)
 HEF4011BT(D): 14-lead SO; plastic (SOT108-1)

(): Package Designator North America

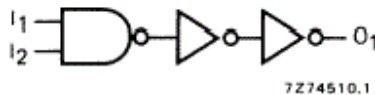


Fig.3 Logic diagram (one gate).

74LS02 DÖRTLÜ İKİ GİRİŞLİ VEYAD GEÇİDİ

Quad 2-input NOR gate

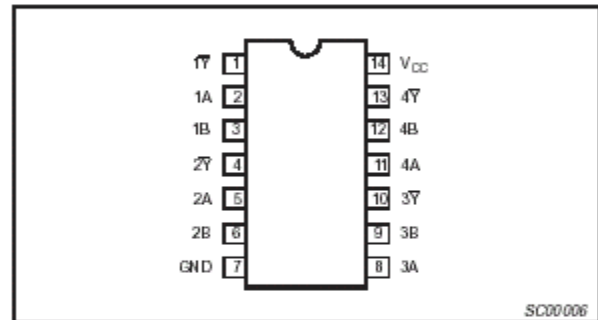
74ALS02

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS02	4.0ns	1.0mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$	
14-pin plastic DIP	74ALS02N	SOT27-1
14-pin plastic SO	74ALS02D	SOT108-1

PIN CONFIGURATION

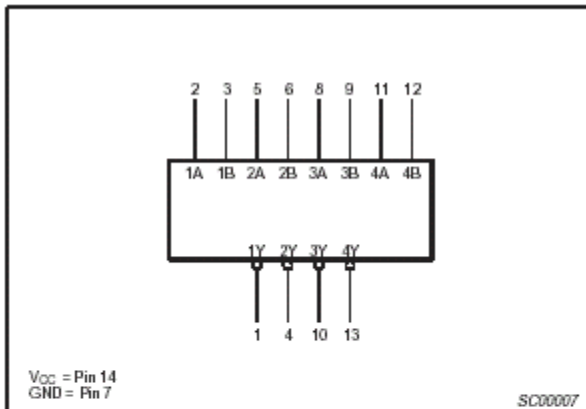


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

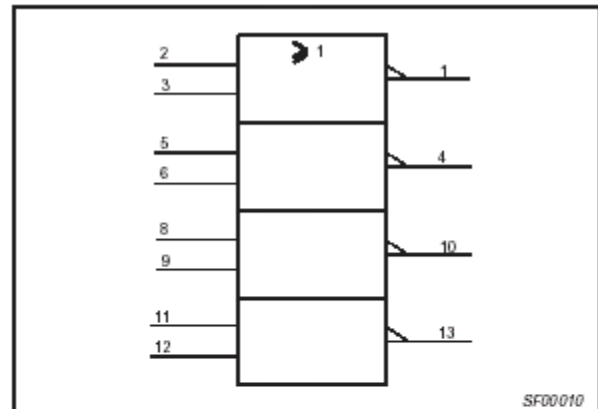
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20μA/0.1mA
nY	Data output	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20μA in the High state and 0.1mA in the Low state.

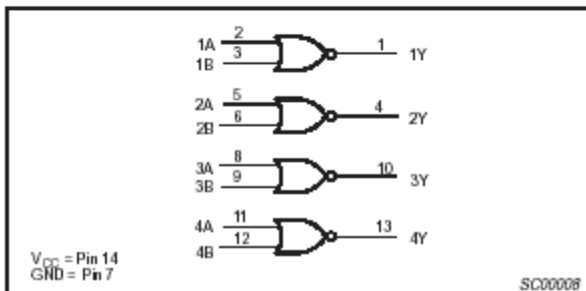
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
H	H	L
L	X	H
X	L	H

H = High voltage level
L = Low voltage level
X = Don't care

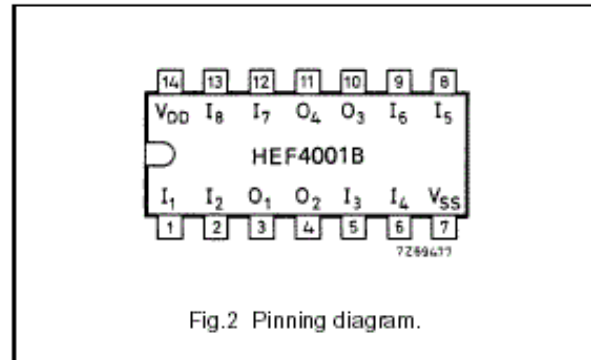
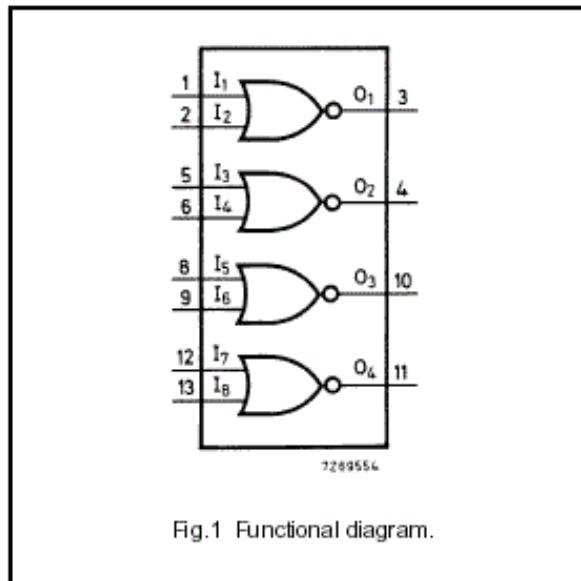
4001 DÖRTLÜ İKİ GİRİŞLİ CMOS VEYAD GEÇİDİ

Quadruple 2-input NOR gate

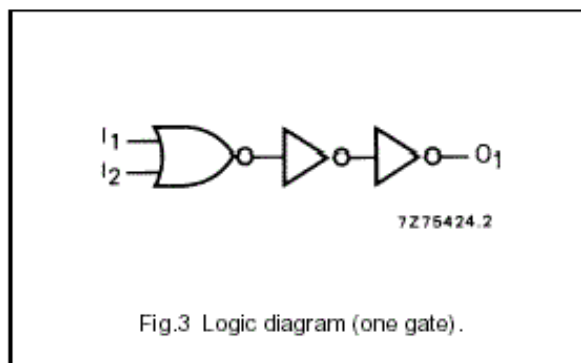
HEF4001B gates

DESCRIPTION

The HEF4001B provides the positive quadruple 2-input NOR function. The outputs are fully buffered for highest noise immunity and pattern insensitivity of output impedance.



- HEF4001BP(N): 14-lead DIL; plastic (SOT27-1)
 HEF4001BD(F): 14-lead DIL; ceramic (cerdip) (SOT73)
 HEF4001BT(D): 14-lead SO; plastic (SOT108-1)
 (): Package Designator North America



74LS04 ALTILI DEĞİL GEÇİDİ

Hex inverter

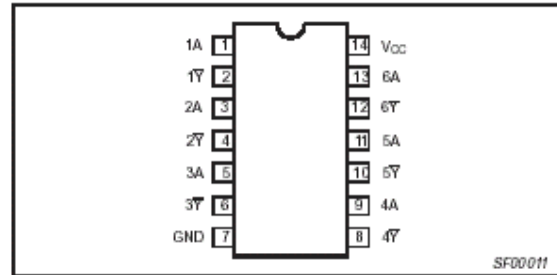
74ALS04B

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS04B	3.5ns	2.0mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$	
14-pin plastic DIP	74ALS04BN	SOT27-1
14-pin plastic SO	74ALS04BD	SOT108-1
14-pin plastic SSOP Type II	74ALS04BDB	SOT337-1

PIN CONFIGURATION

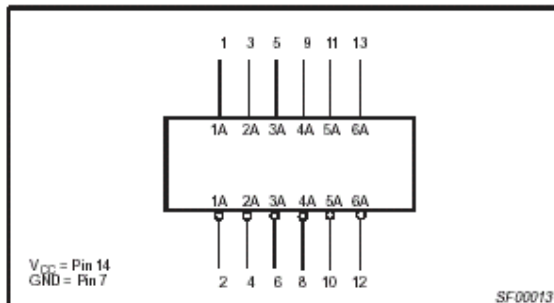


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

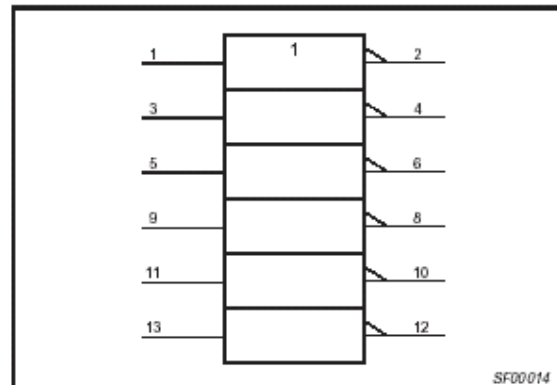
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA	Data Input	1.0/1.0	20 μ A/0.1mA
nY	Data output	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

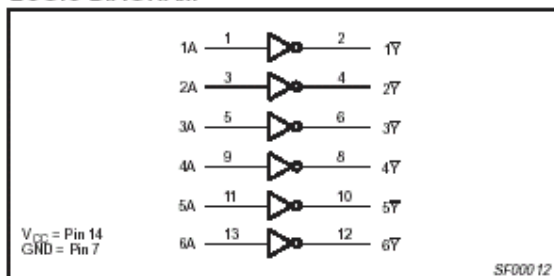
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUT	OUTPUT
nA	nY
L	H
H	L

H = High voltage level
L = Low voltage level

74LS08 DÖRTLÜ İKİ GİRİŞLİ VE GEÇİDİ

Quad 2-input AND gate

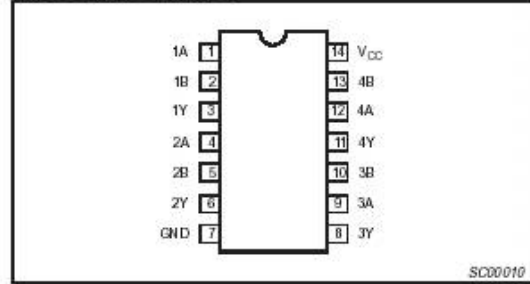
74ALS08

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS08	5.0ns	1.8mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$ $T_{amb} = 0^{\circ}C \text{ to } +70^{\circ}C$	
14-pin plastic DIP	74ALS08N	SOT27-1
14-pin plastic SO	74ALS08D	SOT108-1
14-pin plastic SSOP Type II	74ALS08DB	SOT337-1

PIN CONFIGURATION

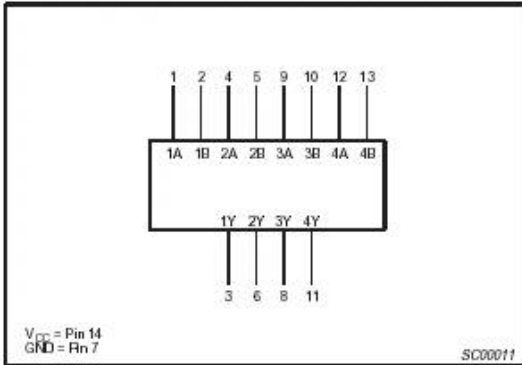


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

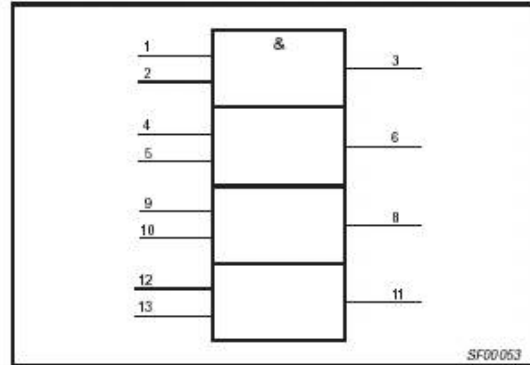
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20 μ A/0.1mA
nY	Data outputs	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

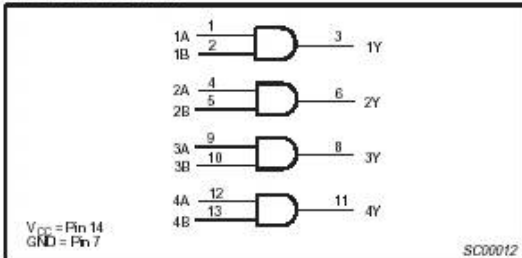
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
H	H	L
L	X	H
X	L	H

H = High voltage level
L = Low voltage level
X = Don't care

74LS20 İKİLİ DÖRT GİRİŞLİ VE D GEÇİDİ

Dual 4-input NAND gate

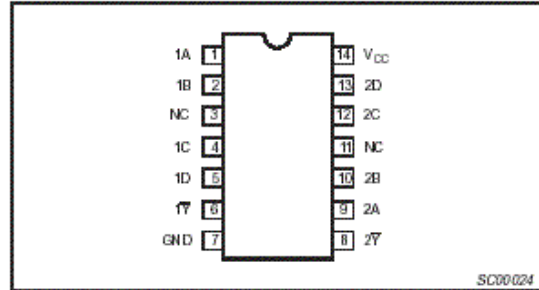
74ALS20A

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS20A	4.5ns	0.65mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$	
14-pin plastic DIP	74ALS20AN	SOT27-1
14-pin plastic SO	74ALS20AD	SOT108-1

PIN CONFIGURATION

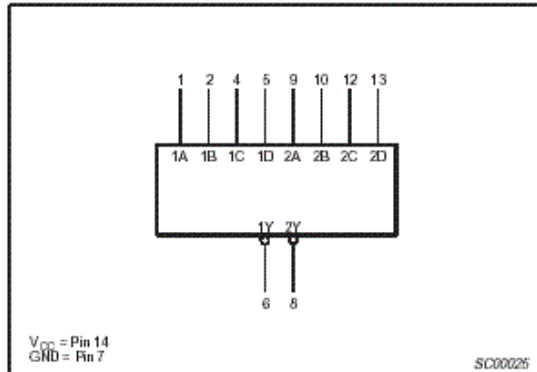


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

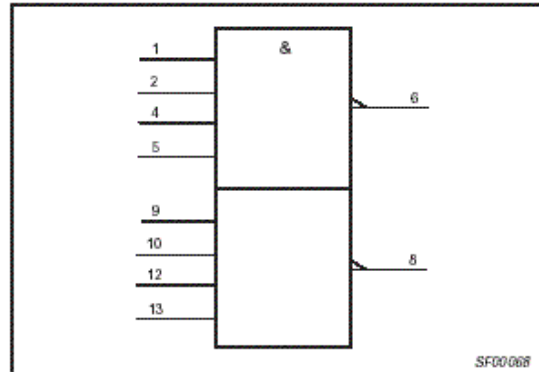
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB, nC, nD	Data inputs	1.0/1.0	20 μ A/0.1mA
nY	Data outputs	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

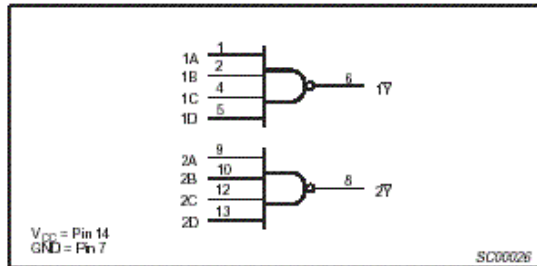
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS				OUTPUT
nA	nB	nC	nD	nY
H	H	H	H	L
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H

H = High voltage level
L = Low voltage level
X = Don't care

74LS32 DÖRTLÜ İKİ GİRİŞLİ VEYA GEÇİDİ

Quad 2-input OR gate

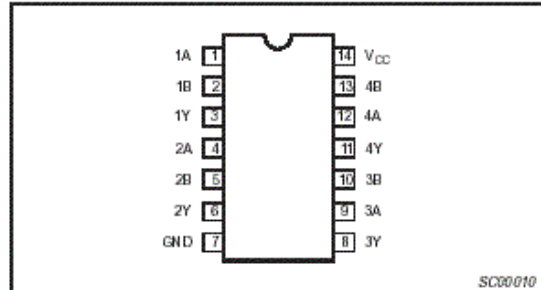
74ALS32

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS32	5.0ns	2.3mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$	
14-pin plastic DIP	74ALS32N	SOT27-1
14-pin plastic SO	74ALS32D	SOT108-1
14-pin plastic SSOP Type II	74ALS32DB	SOT337-1

PIN CONFIGURATION

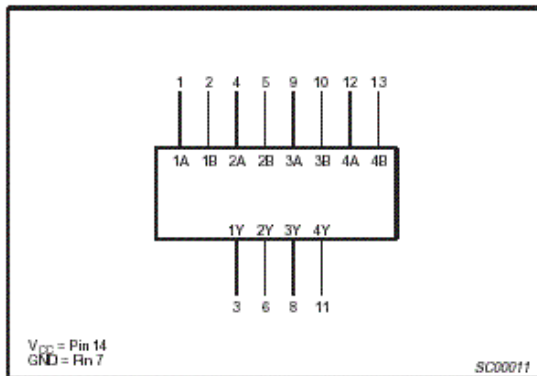


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

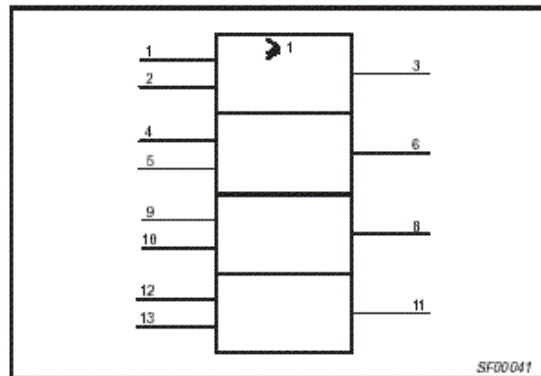
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data Inputs	1.0/1.0	20 μ A/0.1mA
nY	Data output	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

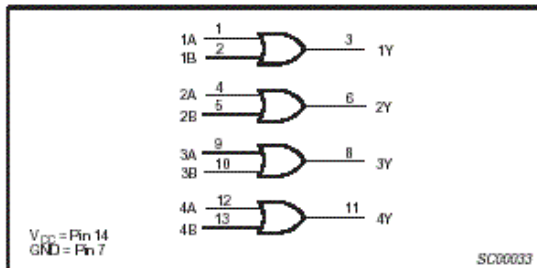
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
H	X	H
X	H	H
L	L	L

H = High voltage level
L = Low voltage level
X = Don't care

74LS86 DÖRTLÜ EXOR GEÇİDİ

Quad 2-input exclusive-OR gate

74ALS86

DESCRIPTION

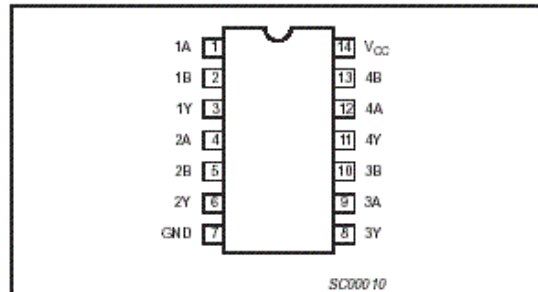
The 74ALS86 contain four independent 2-Input Exclusive-OR gates. A common application is a true/complement element. If one input is held Low, the signal on the other input will be reproduced in true form at the output. If one input is held High, the signal on the other input will be reproduced inverted at the output.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS86	6.0ns	3.9mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$	
14-pin plastic DIP	74ALS86N	SOT27-1
14-pin plastic SO	74ALS86D	SOT108-1

PIN CONFIGURATION

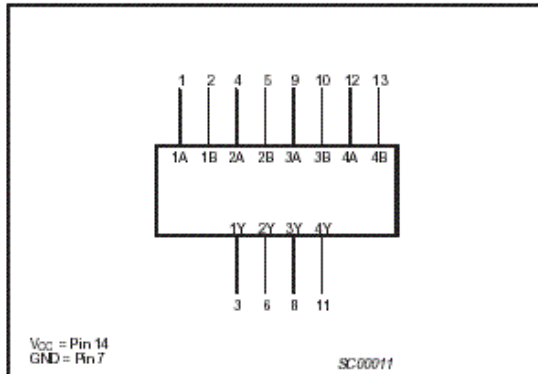


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

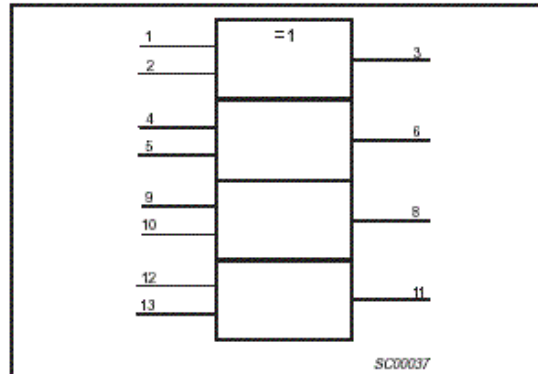
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20 μ A/0.1mA
nY	Data outputs	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

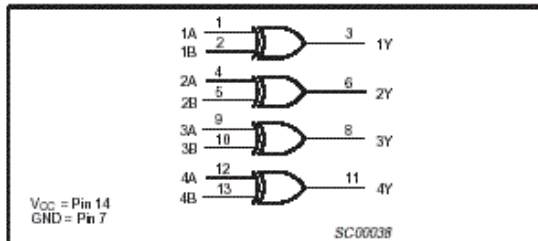
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	L
L	H	H
H	L	H
H	H	L

H = High voltage level
L = Low voltage level

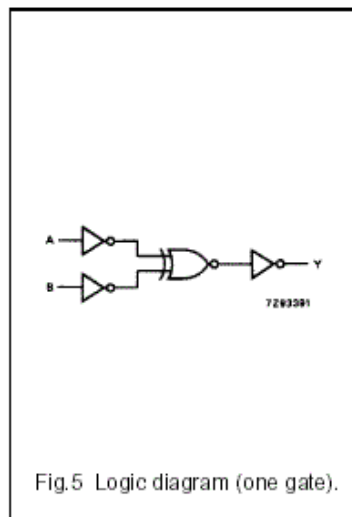
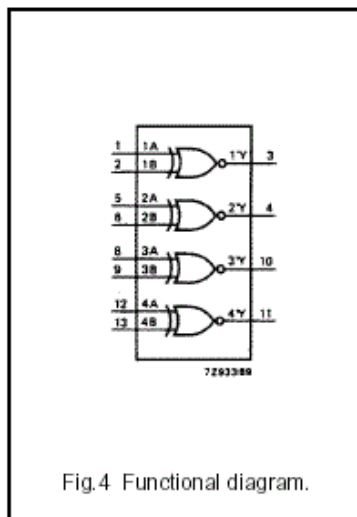
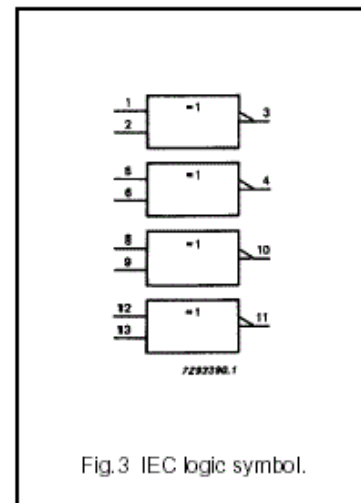
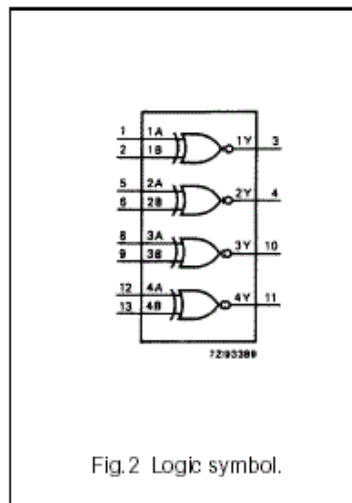
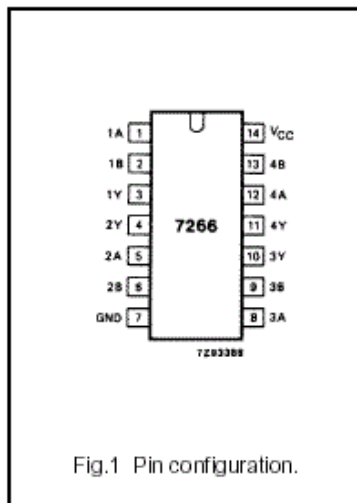
74HC266 DÖRTLÜ İKİ GİRİŞLİ EXNOR GEÇİDİ

Quad 2-input EXCLUSIVE-NOR gate

74HC7266

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 5, 8, 12	1A to 4A	data inputs
2, 6, 9, 13	1B to 4B	data inputs
3, 4, 10, 11	1Y to 4Y	data outputs
7	GND	ground (0 V)
14	V _{cc}	positive supply voltage



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	H
L	H	L
H	L	L
H	H	H

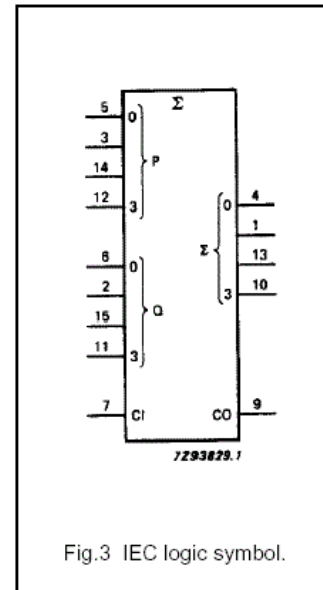
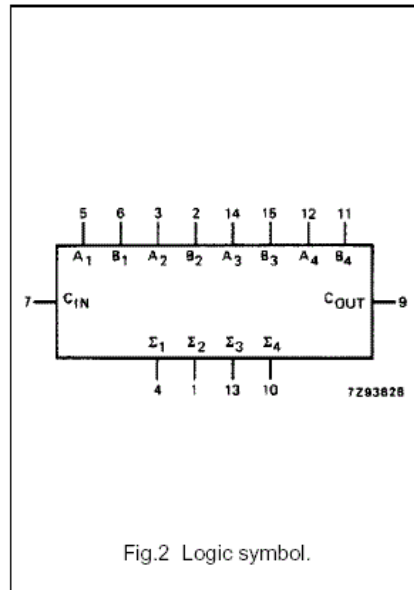
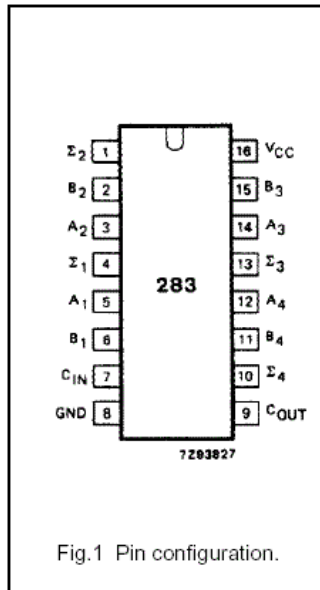
Notes

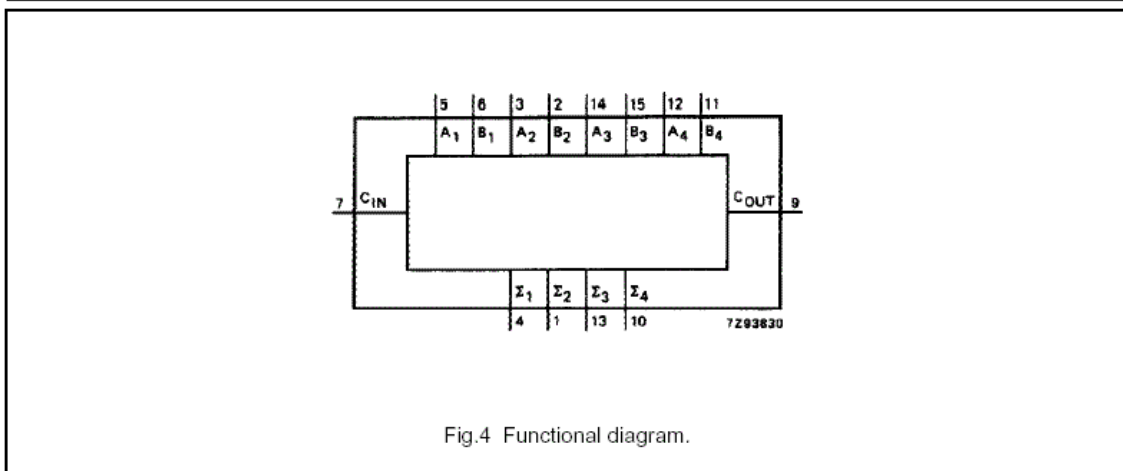
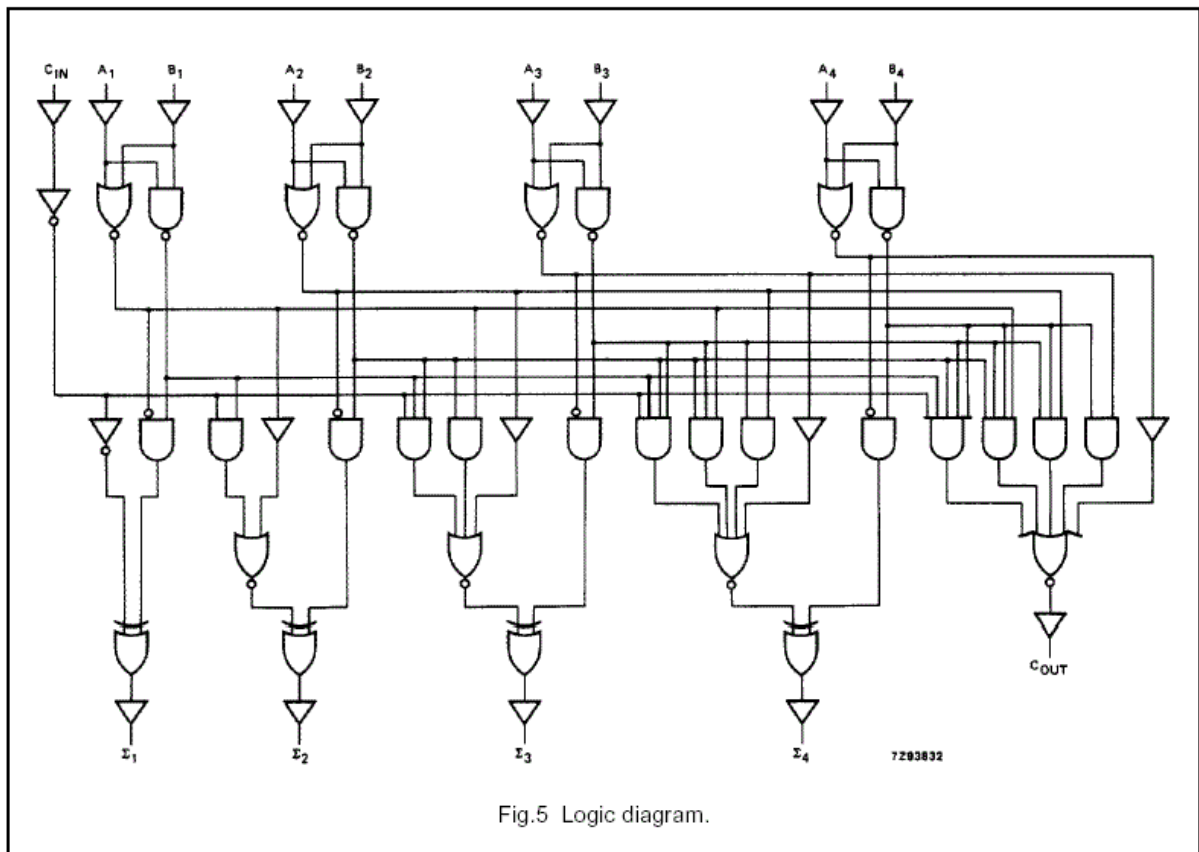
1. H = HIGH voltage level
L = LOW voltage level

74LS283 (74LS83) 4 BİT TAM TOPLAYICI

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
4, 1, 13, 10	Σ_1 to Σ_4	sum outputs
5, 3, 14, 12	A_1 to A_4	A operand inputs
6, 2, 15, 11	B_1 to B_4	B operand inputs
7	C_{IN}	carry input
8	GND	ground (0 V)
9	C_{OUT}	carry output
16	V_{CC}	positive supply voltage





FUNCTION TABLE

PINS	C _{IN}	A ₁	A ₂	A ₃	A ₄	B ₁	B ₂	B ₃	B ₄	Σ ₁	Σ ₂	Σ ₃	Σ ₄	C _{OUT}	EXAMPLE ⁽²⁾
logic levels	L	L	H	L	H	H	L	L	H	H	H	L	L	H	
active HIGH	0	0	1	0	1	1	0	0	1	1	1	0	0	1	(3)
active LOW	1	1	0	1	0	0	1	1	0	0	0	1	1	0	(4)

Note

1. H = HIGH voltage level
L = LOW voltage level

2. example

1001
1010

10011

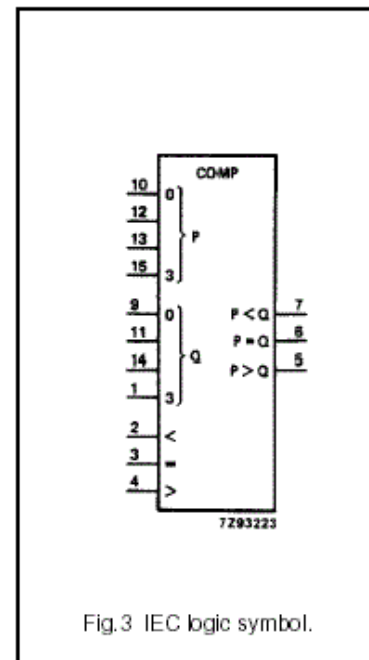
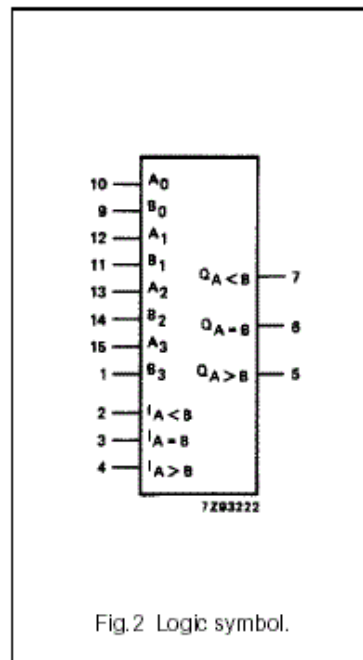
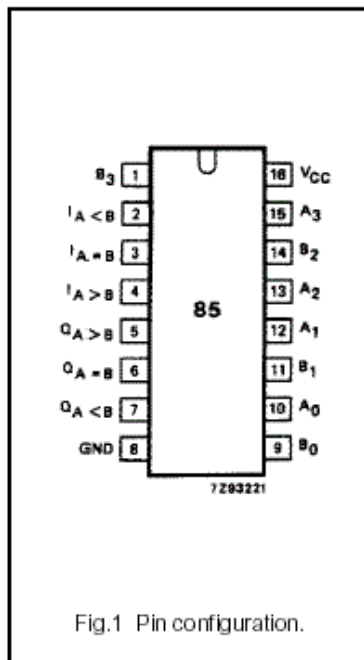
74HC85 4 BİT BÜYÜKLÜK KARŞILAŞTIRICI

4-bit magnitude comparator

74HC/HCT85

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
2	$I_{A<B}$	A < B expansion input
3	$I_{A=B}$	A = B expansion input
4	$I_{A>B}$	A > B expansion input
5	$Q_{A>B}$	A > B output
6	$Q_{A=B}$	A = B output
7	$Q_{A<B}$	A < B output
8	GND	ground (0 V)
9, 11, 14, 1,	B_0 to B_3	word B inputs
10, 12, 13, 15	A_0 to A_3	word A inputs
16	V_{CC}	positive supply voltage



4-bit magnitude comparator

74HC/HCT85

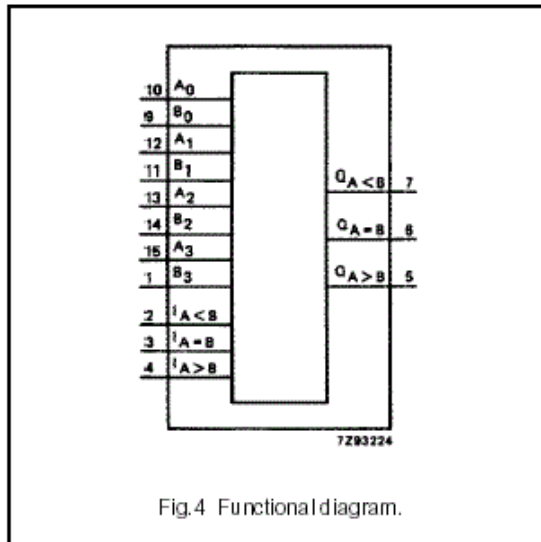


Fig.4 Functional diagram.

APPLICATIONS

- Process controllers
- Servo-motor control

FUNCTION TABLE

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	I _{A>B}	I _{A<B}	I _{A=B}	Q _{A>B}	Q _{A<B}	Q _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

74LS138 3-8 KODÇÖZÜCÜ/VERİ DAĞITICI

1-of-8 decoder/demultiplexer

74ALS138

FEATURES

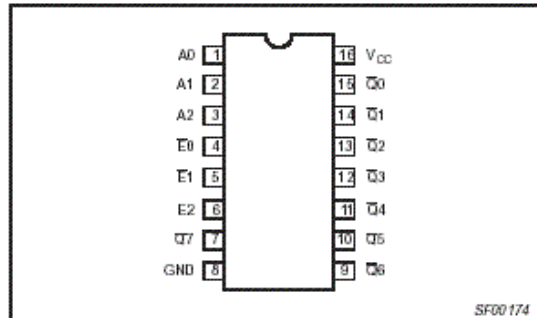
- Demultiplexing capability
- Multiple input enable for easy expansion
- Ideal for memory chip select decoding

DESCRIPTION

The 74ALS138 decoder accepts three binary weighted inputs (A0, A1, A2) and when enabled, provides eight mutually exclusive, active-Low outputs ($\overline{Q_0}$ – $\overline{Q_7}$). The device features three Enable Inputs; two active-Low ($\overline{E_0}$, $\overline{E_1}$) and one active-High (E2). Every output will be High unless $\overline{E_0}$ and $\overline{E_1}$ are Low and E2 is High. This multiple enable function allows easy parallel expansion of the device to 1-of-32 (5 lines to 32 lines) decoder with just four 74ALS138s and one inverter. The device can be used as an eight output demultiplexer by using one of the active-Low Enable Inputs as the data input and the remaining Enable Inputs as strobes. Enable inputs not used must be permanently tied to their appropriate active-High or active-Low state.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS138	12.0ns	4.0mA

PIN CONFIGURATION



ORDERING INFORMATION

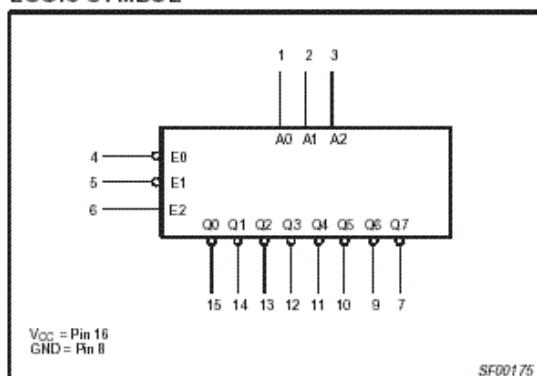
DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^\circ C \text{ to } +70^\circ C$	
16-pin plastic DIP	74ALS138N	SOT38-4
16-pin plastic SO	74ALS138D	SOT109-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

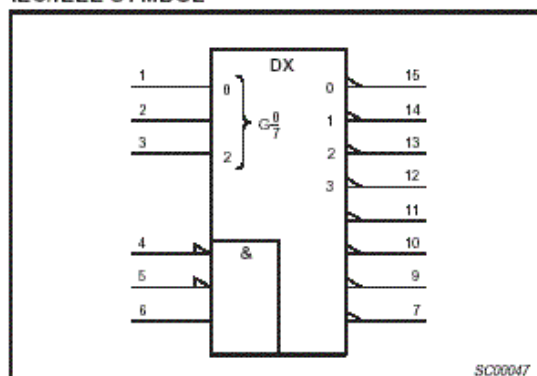
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
A0 – A2	Address Inputs	1.0/1.0	20 μ A/0.1mA
$\overline{E_0}$, $\overline{E_1}$	Enable Inputs (active-Low)	1.0/1.0	20 μ A/0.1mA
E2	Enable Input (active-High)	1.0/1.0	20 μ A/0.1mA
$\overline{Q_0}$ – $\overline{Q_7}$	Data outputs (active-Low)	50/33	1.0mA/20mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

LOGIC SYMBOL



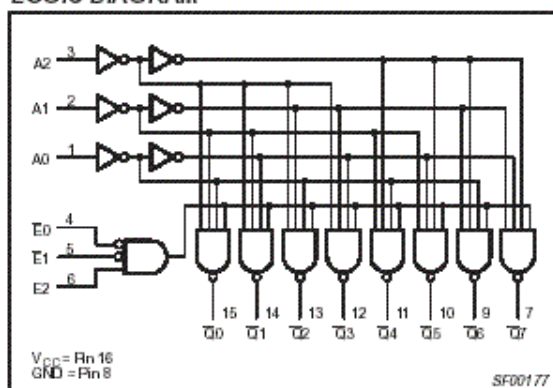
IEC/IEEE SYMBOL



1-of-8 decoder/demultiplexer

74ALS138

LOGIC DIAGRAM



FUNCTION TABLE

INPUTS						OUTPUTS							
$\overline{E}0$	$\overline{E}1$	E2	A0	A1	A2	$\overline{Q}0$	$\overline{Q}1$	$\overline{Q}2$	$\overline{Q}3$	$\overline{Q}4$	$\overline{Q}5$	$\overline{Q}6$	$\overline{Q}7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = High voltage level

L = Low voltage level

X = Don't care

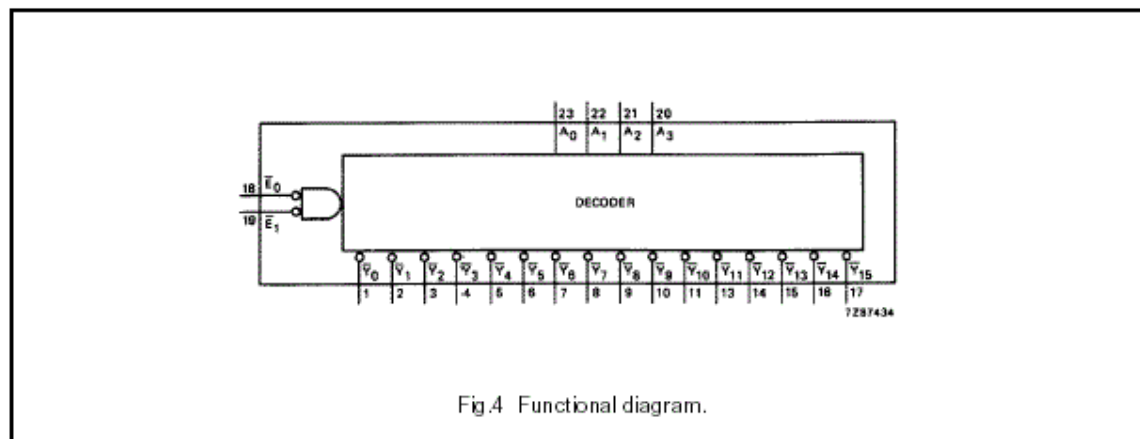
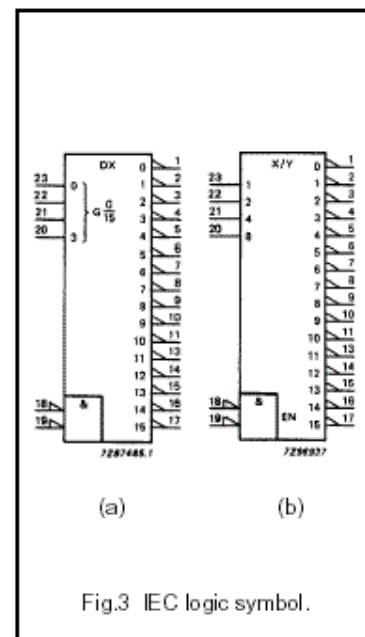
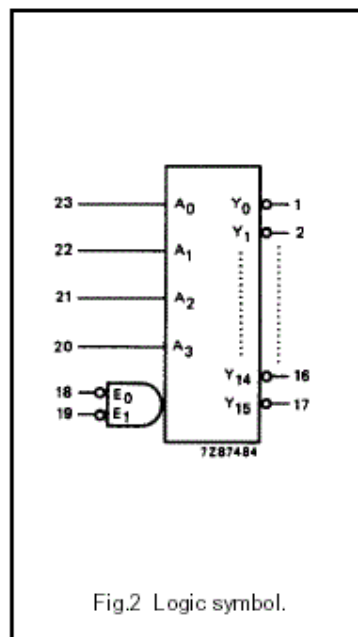
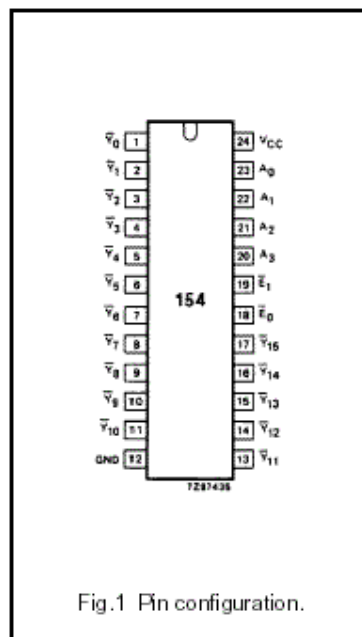
74HC154 4-16 KODÇÖZÜCÜ/VERİ DAĞITICI

4-to-16 line decoder/demultiplexer

74HC/HCT154

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14, 15, 16, 17	$\bar{Y}_0$ to $\bar{Y}_{15}$	outputs (active LOW)
18, 19	$\bar{E}_0, \bar{E}_1$	enable inputs (active LOW)
12	GND	ground (0 V)
23, 22, 21, 20	A_0 to A_3	address inputs
24	V_{CC}	positive supply voltage



4-to-16 line decoder/demultiplexer

74HC/HCT154

FUNCTION TABLE

		INPUTS				OUTPUTS															
$\bar{E}_0$	$\bar{E}_1$	A_0	A_1	A_2	A_3	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$	$\bar{Y}_8$	$\bar{Y}_9$	$\bar{Y}_{10}$	$\bar{Y}_{11}$	$\bar{Y}_{12}$	$\bar{Y}_{13}$	$\bar{Y}_{14}$	$\bar{Y}_{15}$
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L

Note

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

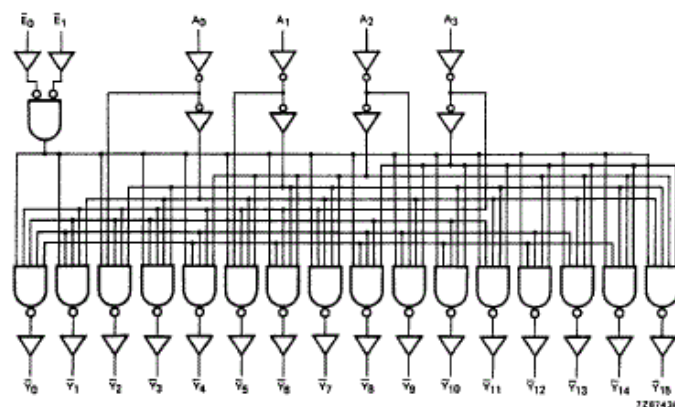


Fig.5 Logic diagram.

74HC42 İKO'DAN ONLUYA KODÇÖZÜCÜ

BCD to decimal decoder (1-of-10)

74HC/HCT42

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3, 4, 5, 6, 7, 9, 10, 11	$\bar{Y}_0$ to $\bar{Y}_9$	multiplexer outputs
8	GND	ground (0 V)
15, 14, 13, 12	A_0 to A_3	data inputs
16	V_{CC}	positive supply voltage

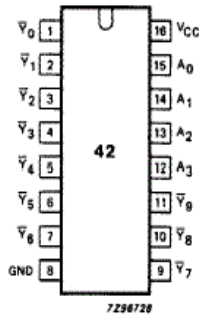


Fig.1 Pin configuration.

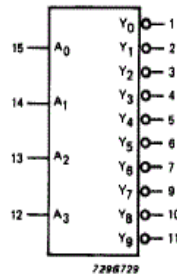


Fig.2 Logic symbol.

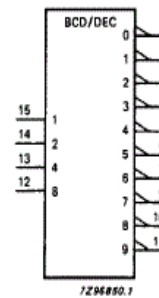
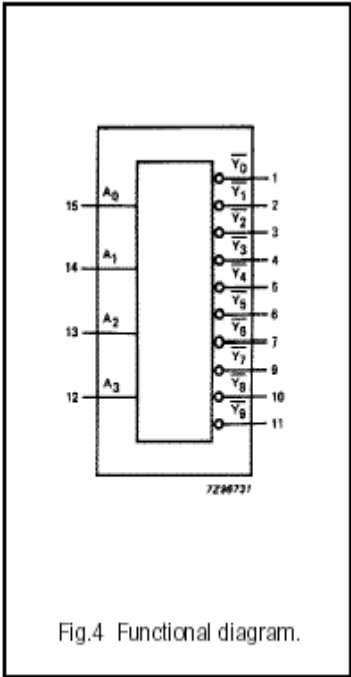


Fig.3 IEC logic symbol.

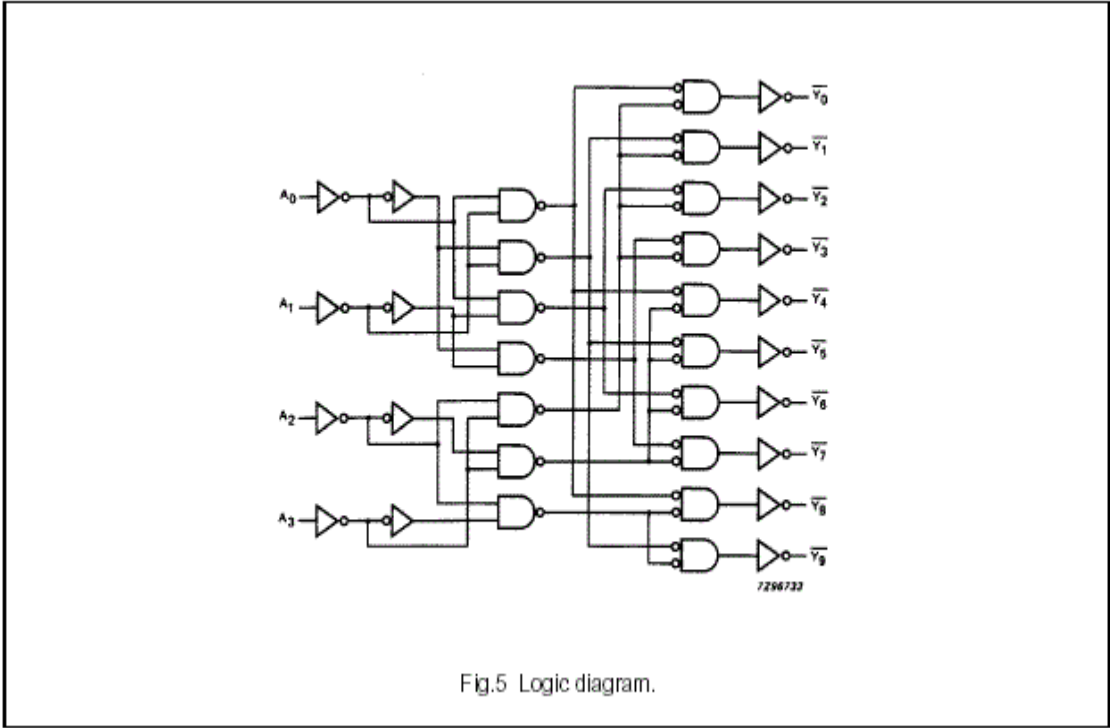


FUNCTION TABLE

INPUTS				OUTPUTS									
A ₃	A ₂	A ₁	A ₀	$\overline{Y}_0$	$\overline{Y}_1$	$\overline{Y}_2$	$\overline{Y}_3$	$\overline{Y}_4$	$\overline{Y}_5$	$\overline{Y}_6$	$\overline{Y}_7$	$\overline{Y}_8$	$\overline{Y}_9$
L	L	L	L	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	H	H	L	H	H	H	H	H	H	H
L	L	H	H	H	H	H	L	H	H	H	H	H	H
L	H	L	L	H	H	H	H	L	H	H	H	H	H
L	H	L	H	H	H	H	H	H	L	H	H	H	H
L	H	H	L	H	H	H	H	H	H	L	H	H	H
L	H	H	H	H	H	H	H	H	H	H	L	H	H
H	L	L	L	H	H	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L
H	L	H	L	H	H	H	H	H	H	H	H	H	H
H	L	H	H	H	H	H	H	H	H	H	H	H	H
H	H	L	L	H	H	H	H	H	H	H	H	H	H
H	H	L	H	H	H	H	H	H	H	H	H	H	H
H	H	H	L	H	H	H	H	H	H	H	H	H	H
H	H	H	H	H	H	H	H	H	H	H	H	H	H

Note

- 1. H = HIGH voltage level
- L = LOW voltage level



74HCT147 10 GİRİŞLİ 4 BİT ÇIKIŞLI YÜKSEK GİRİŞ ÖNCELİKLİ KODLAYICI

10-to-4 line priority encoder

74HC/HCT147

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
8	GND	ground (0 V)
9, 7, 6, 14	$\bar{Y}_0$ to $\bar{Y}_3$	BCD address outputs (active LOW)
11, 12, 13, 1, 2, 3, 4, 5, 10	$\bar{A}_0$ to $\bar{A}_9$	decimal data inputs (active LOW)
15	n.c.	not connected
16	V_{CC}	positive supply voltage

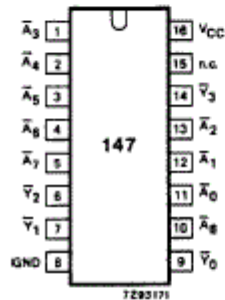


Fig.1 Pin configuration.

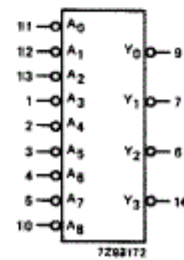


Fig.2 Logic symbol.

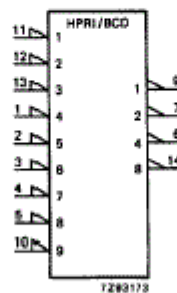


Fig.3 IEC logic symbol.

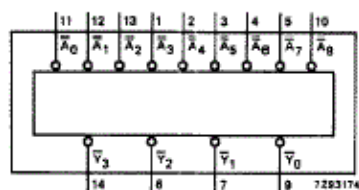


Fig.4 Functional diagram.

FUNCTION TABLE

INPUTS									OUTPUTS			
$\overline{A}_0$	$\overline{A}_1$	$\overline{A}_2$	$\overline{A}_3$	$\overline{A}_4$	$\overline{A}_5$	$\overline{A}_6$	$\overline{A}_7$	$\overline{A}_8$	$\overline{Y}_3$	$\overline{Y}_2$	$\overline{Y}_1$	$\overline{Y}_0$
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

74LS151 8 GİRİŞLİ VERİ SEÇİCİ

8-input multiplexer

74ALS151

FEATURES

- 8-to-1 multiplexing
- On chip decoding
- Multi-function capability
- Complementary outputs
- See 74ALS251 for 3-State version

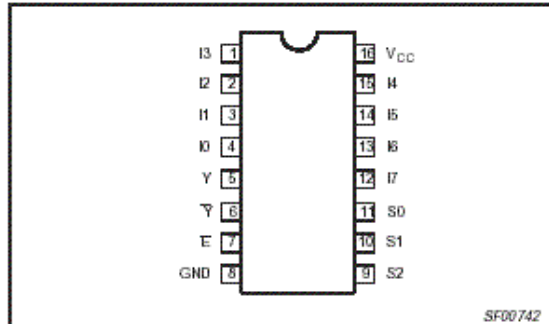
DESCRIPTION

The 74ALS151 is a logic implementation of a single 8-position switch with the switch position controlled by the state of three select (S_0, S_1, S_2) inputs. True (Y) and complementary ($\bar{Y}$) outputs are both provided.

The enable ($\bar{E}$) is active-Low. When $\bar{E}$ is High, Y output is Low and the $\bar{Y}$ output is High regardless of all other inputs.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS151	8.0ns	8.0mA

PIN CONFIGURATION



ORDERING INFORMATION

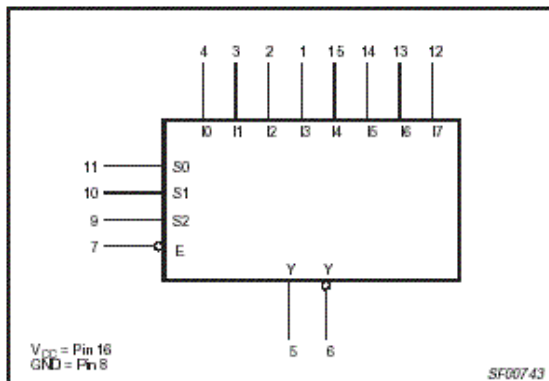
DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^\circ C$ to $+70^\circ C$	
16-pin plastic DIP	74ALS151N	SOT38-4
16-pin plastic SO	74ALS151D	SOT109-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

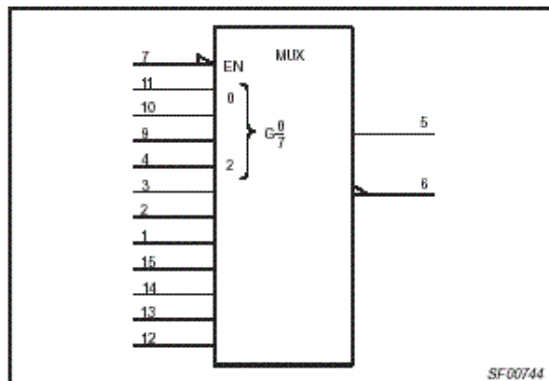
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
I0 – I7	Data inputs	1.0/1.0	20 μ A/0.1mA
S0 – S2	Select inputs	1.0/1.0	20 μ A/0.1mA
$\bar{E}$	Enable input (active-Low)	1.0/1.0	20 μ A/0.1mA
Y, $\bar{Y}$	Data outputs	130/240	2.6mA/24 mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

LOGIC SYMBOL



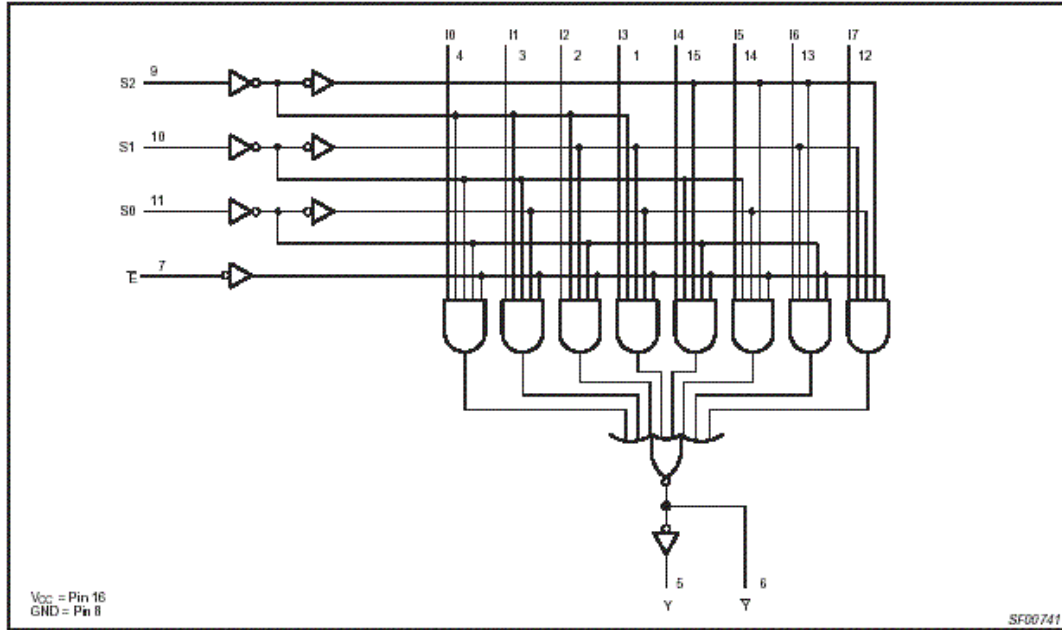
IEC/IEEE SYMBOL



8-input multiplexer

74ALS151

LOGIC DIAGRAM



FUNCTION TABLE

INPUTS				OUTPUTS	
S2	S1	S0	E	Y	$\bar{Y}$
X	X	X	H	L	H
L	L	L	L	10	$\bar{10}$
L	L	H	L	11	$\bar{11}$
L	H	L	L	12	$\bar{12}$
L	H	H	L	13	$\bar{13}$
H	L	L	L	14	$\bar{14}$
H	L	H	L	15	$\bar{15}$
H	H	L	L	16	$\bar{16}$
H	H	H	L	17	$\bar{17}$

H = High voltage level
L = Low voltage level
X = Don't care

74280 (74180) 9 BİT EŞLİK BİTİ DENETÇİSİ/ÜRETECİ

9-bit odd/even parity generator/checker

74F280B

FEATURES

- High-impedance NPN base inputs for reduced loading (20 μ A in Low and High states)
- Buffered inputs — one normalized load
- Word length easily expanded by cascading
- Industrial temperature range available (–40°C to +85°C)

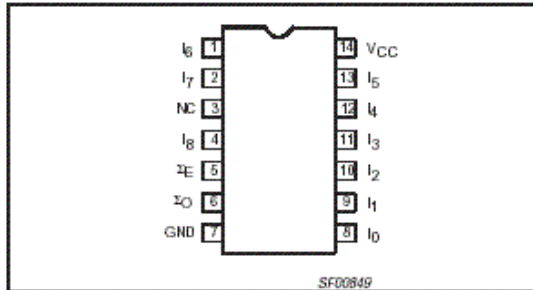
DESCRIPTION

The 74F280B is a 9-bit Parity Generator or Checker commonly used to detect errors in high speed data transmission or data retrieval systems. Both Even (Σ_E) and Odd (Σ_O) parity outputs are available for generating or checking even or odd parity on up to 9 bits.

The Even (Σ_E) parity output is High when an even number of Data Inputs ($I_0 - I_8$) are High. The Odd (Σ_O) parity output is High when an odd number of Data Inputs are High.

Expansion to larger word sizes is accomplished by tying the Even (Σ_E) outputs of up to nine parallel devices to the data inputs of the final stage. This expansion scheme allows an 81-bit data word to be checked in less than 20ns.

PIN CONFIGURATION



TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74F280B	5.5ns	26mA

ORDERING INFORMATION

DESCRIPTION	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = 0^\circ C$ to $+70^\circ C$	INDUSTRIAL RANGE $V_{CC} = 5V \pm 10\%$, $T_{amb} = -40^\circ C$ to $+85^\circ C$	PKG. DWG. #
14-pin plastic DIP	N74F280BN	I74F280BN	SOT27-1
14-pin plastic SO	N74F280BD	I74F280BD	SOT108-1

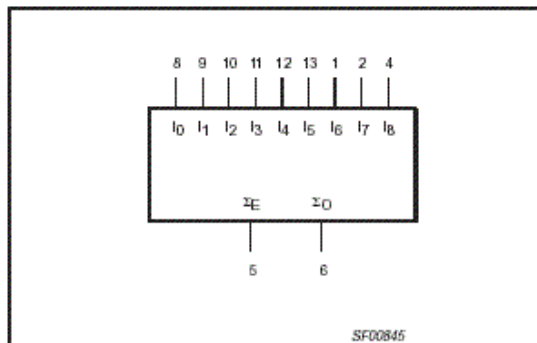
INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

PINS	DESCRIPTION	74F(U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
$I_0 - I_8$	Data Inputs	1.0/0.033	20 μ A/20 μ A
Σ_E, Σ_O	Parity outputs	50/33	1.0mA/20mA

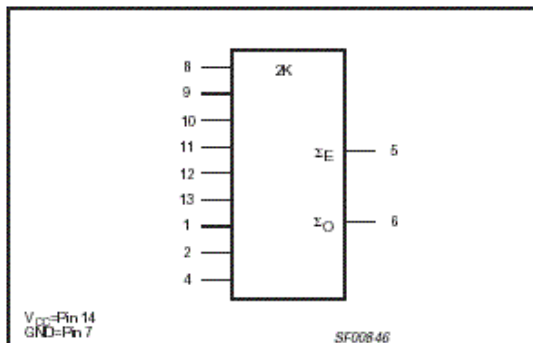
NOTE:

One (1.0) FAST Unit Load is defined as: 20 μ A in the High state and 0.6mA in the Low state.

LOGIC SYMBOL



IEC/IEEE SYMBOL



74LS74A DUAL D TİPİ FLİP-FLOP

Dual D-type flip-flop with set and reset

74ALS74A

DESCRIPTION

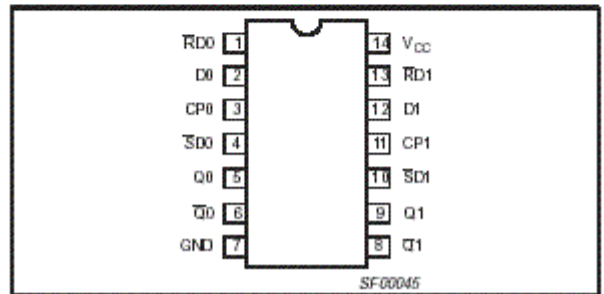
The 74ALS74 is a dual positive edge-triggered D-type flip-flop featuring individual data, clock, set, and reset inputs; also true and complementary outputs. Set ($\overline{SD}$) and reset ($\overline{RD}$) are asynchronous active-Low inputs and operate independently of the clock input. When set and reset are inactive (High), data at the D input is transferred to the Q and $\overline{Q}$ outputs on the Low-to-High transition of the clock. Data must be stable just one setup time prior to the Low-to-High transition of the clock for predictable operation. Clock triggering occurs at a voltage level and is not directly related to the transition time of the positive-going pulse. Following the hold time interval, data at the D input may be changed without affecting the levels of the output.

TYPE	TYPICAL f_{MAX}	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS74A	150MHz	3.0mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE $V_{CC} = 5V \pm 10\%$ $T_{amb} = 0^{\circ}C \text{ to } +70^{\circ}C$	
14-pin plastic DIP	74ALS74AN	SOT27-1
14-pin plastic SO	74ALS74AD	SOT108-1
14-pin plastic SSOP Type II	74ALS74ADB	SOT337-1

PIN CONFIGURATION

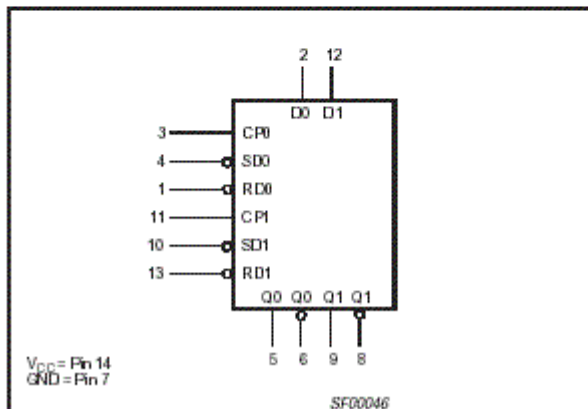


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

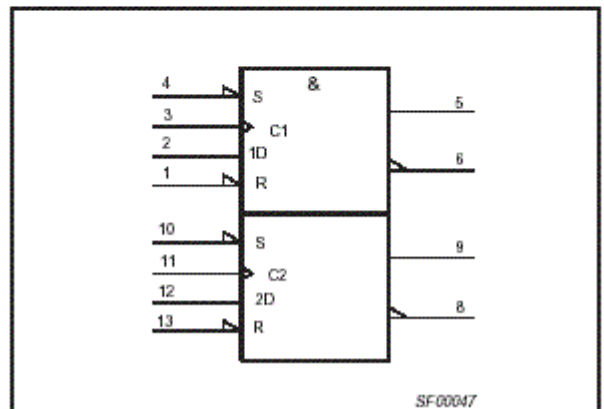
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
D0, D1	Data inputs	1.0/2.0	20 μ A/0.2mA
CP0, CP1	Clock inputs (active rising edge)	1.0/2.0	20 μ A/0.2mA
$\overline{SD}$ 0, $\overline{SD}$ 1	Set inputs (active-Low)	2.0/4.0	40 μ A/0.4mA
$\overline{RD}$ 0, $\overline{RD}$ 1	Reset inputs (active-Low)	2.0/4.0	40 μ A/0.4mA
Q0, Q1, $\overline{Q}$ 0, $\overline{Q}$ 1	Data outputs	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20 μ A in the High state and 0.1mA in the Low state.

LOGIC SYMBOL



IEC/IEEE SYMBOL



74HCT75 DÖRTLÜ TUTUCU

Quad bistable transparent latch

74HC/HCT75

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 14, 11, 8	$1\bar{Q}$ to $4\bar{Q}$	complementary latch outputs
2, 3, 6, 7	1D to 4D	data inputs
4	$LE_{3,4}$	latch enable input, latches 3 and 4 (active HIGH)
5	V_{CC}	positive supply voltage
12	GND	ground (0 V)
13	$LE_{1,2}$	latch enable input, latches 1 and 2 (active HIGH)
16, 15, 10, 9	1Q to 4Q	latch outputs

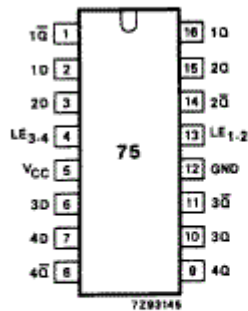


Fig.1 Pin configuration.

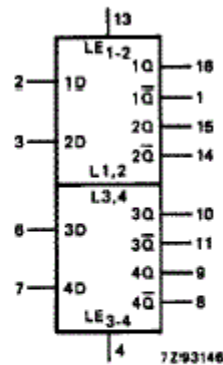


Fig.2 Logic symbol.

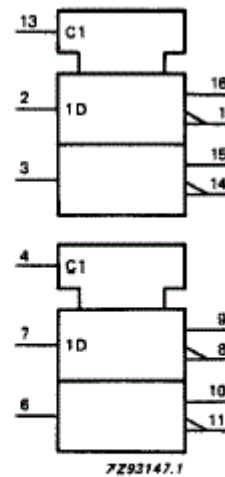


Fig.3 IEC logic symbol.

Octal buffer/line driver; 3-state

74AHC244; 74AHCT244

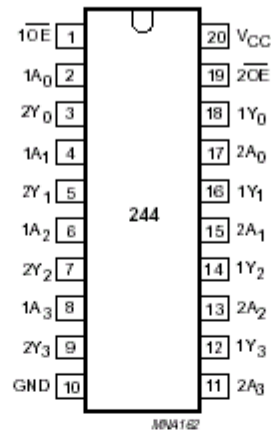


Fig.1 Pin configuration.

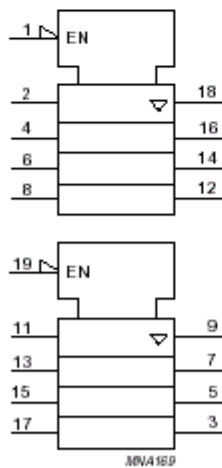


Fig.2 IEEE/IEC logic symbol.

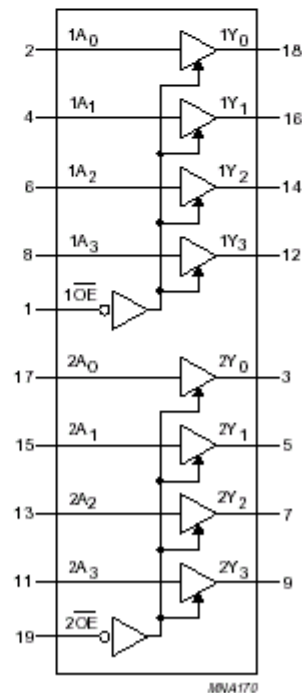
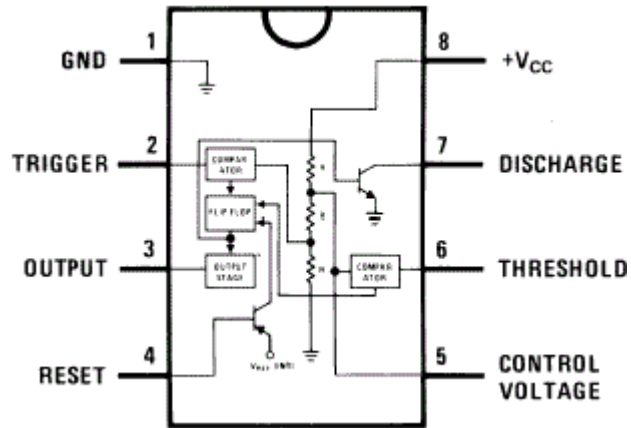


Fig.3 Logic diagram.

LM555 Timer



aat Vurusu	SL SER	$V_1^+ Q_1$	$Y Z^+ Q_0$	$U V^+ \bar{U} Y$
0		0	0	
1		0	1	
2		0	1	0
3		0	1	1
4		1	0	0
5		1	0	1
6		1	1	0
7		1	1	1