2014

SAYISAL TASARIM

Yrd. Doç. Dr. Mustafa Engin
Yrd. Doç. Dr. Dilşad Engin

EGE ÜNİVERSİTESİ
EGE MESLEK YÜKSEKOKULU
İZMİR 2015

EGE ÜNİVERSİTESİ
EGE MESLEK YÜKSEKOKULU

SAYISAL TASARIM

(DERS NOTU)

HAZIRLAYANLAR

Yrd.Doç.Dr. MUSTAFA ENGİN Yrd.Doç.Dr. DİLŞAD ENGİN

İZMİR 2014

İÇİNDEKİLER

TUTUCULAR VE FLİP-FLOPLAR 7
GİRİŞ 7
SIRALI ARDIL MANTIK 7
TUTUCU (LATCH) DEVRELERİ 8
Geçitli S-R Tutucu 13
Geçitli D Tutucu 13
KENAR TETİKLİ FLİP-FLOP'LAR 14
S-R Flip-Flop 15
D flip-flop 16
J-K Flip-Flop 17
T flip-flop 19
ASENKRON GİRİŞLER 19
FLİP-FLOPLARIN BAŞARIM ÖZELLİKLERİ 20
Yayılma Gecikmesi Süresi 20
Kurulma (Set-up) Süresi 21
Tutma (Hold) Süresi: 22
Maksimum Saat Frekansı 22
Vuru Genişlikleri 22
Güç Tüketimi 22
SORULAR 23
555 ZAMANLAYICI VE ÜÇ DURUMLU TAMPON 25
GİRİŞ 25
TEK ATIMLI VURU ÜRETEÇLERİ 25
KARARSIZ MULTIVIBRATÖRLER VE ZAMANLAYICILAR 27
555 ZAMANLAYICI 28
555'in Tek Atımlı Modda Çalıştırılması 28
555/556'nın Girişleri 34
555/556'nın Çıkışı 34
R2'ye paralel diyodun kullanıldığı kararsız multivibratör devresi 35
ÜÇ-DURUMLU TAMPONLAR 36
SORULAR 38
SAYICILAR (COUNTERS) 39
ASENKRON SAYICILAR 39
2 BİT ASENKRON SAYICI 39

3 BİT ASENKRON SAYICI 40
ASENKRON ONLUK SAYICI 43
İKİLİK ASENKRON SAYICI TÜMDEVRESİ 44
SENKRON SAYICILAR 46
2 BİT SENKRON SAYICI 47
3 BİT SENKRON SAYICI 48
4 BİT SENKRON SAYICI 50
74LS163A 4 BİT İKİLİK SENKRON SAYICI 50
YUKARI/AŞAĞI SENKRON SAYICILAR 51
74190 YUKARI/AŞAĞI İKO (BCD) SAYICI 53
SENKRON SAYICI TASARIMI 55
SORULAR 59
KAYAR YAZAÇLAR 62
SERİ GİRİŞLİ-SERİ ÇIKIŞLI KAYAR YAZAÇLAR 65
SERİ GİRİŞLİ PARALEL ÇIKIŞLI KAYAR YAZAÇLAR 65
PARALEL GİRİŞLİ SERİ ÇIKIŞLI KAYAR YAZAÇLAR 66
Paralel Girişli Paralel Çıkışlı Kayar Yazaçlar 67
ÜNİVERSAL KAYAR YAZAÇ 69
SORULAR 71
BELLEKLER VE PROGRAMLANABİLİR ELEMANLAR 73
YARI İLETKEN BELLEKLER 73
TEMEL YARIİLETKEN BELLEK DİZİMİ 73
BELLEK ADRES VE KAPASİTESİ 73
TEMEL BELLEK İŞLEMLERİ 74
RAM’LAR VE ROM’LAR 76
SALT OKU BELLEKLER (ROM'LAR) 76
ROM AİLESİ 76
ROM’UN YAPISI 77
ROM'UN İÇ ORGANİZASYONU 78
ROM ÖRNEKLERİ 79
ÜÇ DURUMLU ÇIKIŞLAR VE YOLLAR 82
ROM erişim süresi 82
ÖRNEK ROM UYGULAMASI 83
BİLGİSAYAR UYGULAMALARINDA ROM 84
PROGRAMLANABİLİR ROM’LAR 84

PROGRAMLAMA 84
EPROM'LAR 85
UV EPROM'lar 86
EEPROM'LAR 86
ÖRNEK EPROM 27C64 87
OKU/YAZ DOĞRUDAN ERİŞİMLİ BELLEKLER RAM'LER 87
RAM AİLESİ 88
STATİK RAM'LER (SRAM) 89
STATİK RAM'İN İÇ DÜZENİ 90
DİNAMİK RAMLER (DRAM) 91
DRAMİN TEMEL DÜZENİ 92
ADRES ÇOĞULLAMA 93
BELLEK İÇERİĞİNİN TAZELENMESİ 94
BELLEK GENİŞLETME 97
SÖZCÜK UZUNLUĞUNU ARTIRMA 97
SATIR SAYISI ARTIRMA 99
ÖZEL BELLEK TÜRLERİ 102
İLK GİREN İLK ÇIKAR (FIFO-FIRST IN FIRST OUT) BELLEKLER 102
FIFO UYGULAMALARI 103
SON GİREN İLK ÇIKAR BELLEKLER 103
RAM yığınlar 104
CCD BELLEKLER 108
BİLGİSAYARDA KULLANILAN BELLEKLER 109
DİNAMİK RAMLAR 109
STATİK RAMLAR 110
RAMLARIN Geleceği 112
SONUÇ 112
PROGRAMLANABİLİR MANTIK AYGITLARI 112
PROGRAMLANABİLİR MANTIK DİZİM (PLA) 113
MANYETİK BELLEK ÇEŞİTLERİ 113
DAC VE ADC 115
SAYISALDAN ANALOĞA ÇEVİRİCİ 115
İKİLİK AĞIRLIKLI GİRİŞLİ SAD 115
R/2R MERDİVEN SAD 119
Direnç Bağlantısı 123

Merdiven Akımları 124
ÖRNEK DAC 126
DAC BAŞARIM ÖZELLİKLERİ 130
ANALOGDAN-SAYISALA ÇEVİRİCİ (ADC) 130
Anında analog sayısal ÇEVİRİCİ 130
Sayısal-yokuş ADC (digital-ramp A/D) 132
İZLEYİCİ ANALOG-SAYISAL ÇEVİRİCİ 133
TEK-EĞİMLİ ANALOG-SAYISAL ÇEVİRİCİ 135
ÇİFT EĞİMLİ ANALOG SAYISAL ÇEVİRİCİ 136
ARDIŞIK YAKLAŞIM ADC 138
ÖRNEK ADC 140
SORULAR 143
TÜMDEVRE VERİ YAPRAKLARI 145
7400 DÖRTLÜ İKİ GİRİŞLİ VED GEÇİDİ 146
4011 DÖRTLÜ İKİ GİRİŞLİ CMOS VED GEÇİDİ 147
74LS02 DÖRTLÜ İKİ GİRİŞLİ VEYAD GEÇİDİ 148
4001 DÖRTLÜ İKİ GİRİŞLİ CMOS VEYAD GEÇİDİ 149
74LS04 ALTILI DEĞİL GEÇİDİ 150
74LS08 DÖRTLÜ İKİ GİRİŞLİ VE GEÇİDİ 151
74LS20 İKİLİ DÖRT GİRİŞLİ VED GEÇİDİ 152
74LS32 DÖRTLÜ İKİ GİRİŞLİ VEYA GEÇİDİ 153
74LS86 DÖRTLÜ EXOR GEÇİDİ 153
74LS283 (74LS83) 4 BİT TAM TOPLAYICI 154
74HC85 4 BİT BÜYÜKLÜK KARŞILAŞTIRICI 157
74LS138 3-8 KODÇÖZÜCÜ/VERİ DAĞITICI 159
74HC154 4-16 KODÇÖZÜCÜ/VERİ DAĞITICI 161
74HCT147 10 GİRİŞLİ 4 BİT ÇIKIŞLI YÜKSEK GİRİŞ ÖNCELİKLİ KODLAYICI 163
74LS151 8 GİRİŞLİ VERİ SEÇİCİ 165
74LS74A DUAL D TİPİ FLİP-FLOP 166
74HCT75 DÖRTLÜ TUTUCU 168
LM555 Timer 170

BÖLÜM 1

TUTUCULAR VE FLİP-FLOPLAR

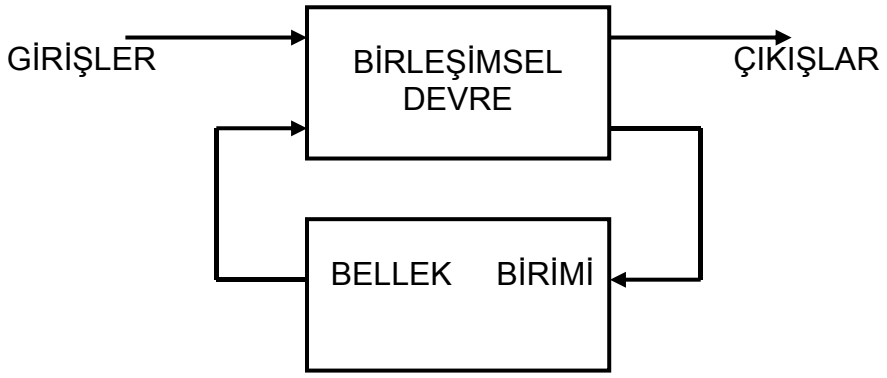
GİRİŞ

Bu bölümde *çift kararlı*, *tek kararlı* ve *kararsız* mantık aygıtları incelenecektir. Kararsızlar ile kararlılar arasındaki ayrım, durum değiştirme biçimleridir. Flip-Flop; sayaçlar, yazaçlar ve diğer ardıl denetim mantığı aygıtları için temel yapı öğesidir. Genelde *tek-atımlı* olarak ta adlandırılan aygıtlar, *tutucu* ve *Flip-Flop* olarak iki ana öbeğe ayrılır. Kararsız aygıtlarda SET (KUR) ve RESET (SİL) olarak adlandırılan iki ayrı karar durumu vardır ve bu durumlar sürekli olduğundan, kararsız aygıtlar saklama amaçlı kullanılabilirler. Flip-Flop ile tutucu tek kararlının, yalnızca bir tane kararlı durumu vardır ve bu nedenle tetiklendiğinde (yada etkinleştirildiğinde), süresi denetlenebilen tek bir vurum üretir. Kararsızda ise kararlı bir durum yoktur ve genellikle kendiliğinden dalga biçimi üreten bir titreşken olarak kullanılır. Sayısal sistemlerde bu tür titreşkenler saat adı verilen zamanlayıcı devrelerin yapımında kullanılırlar.

SIRALI ARDIL MANTIK

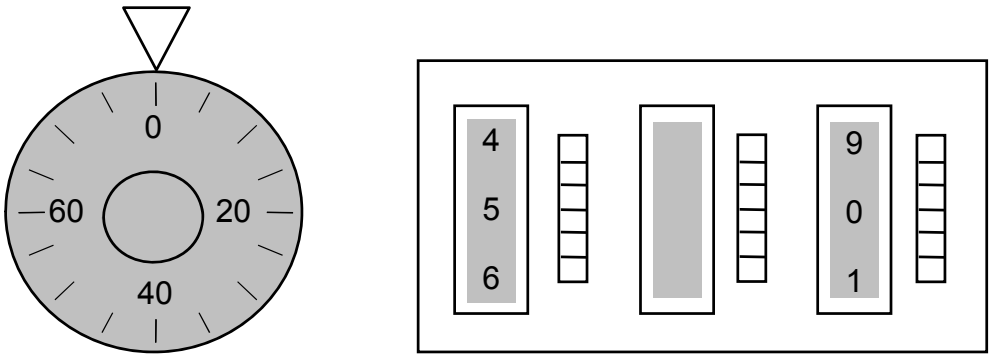
Birleşimsel mantıkta devrelerin çıkışları, o anki girişlere bağlıdır ve girişlerin değişmesi durumunda hemen etkilenirler. Tüm mantık geçitleri, toplayıcılar, sayaçlar, kodlayıcılar, kodçözücüler, yol (veri) seçiciler ve yol çoklayıcılar birleşimsel mantık devreleridir. Her sayısal dizgede birleşimsel mantık devreleri vardır ve uygulamadaki bu dizgelerin çoğunda bellek birimleri de kullanılmaktadır. İşte bu sistemleri yapılandıran mantık sıralı ardıl mantıktır. Ardıl mantıkta kullanılan temel yapı Şekil-2.1'de görülmektedir.

Ardıl mantık ile birleşimsel mantığın en önemli ayrımı ardıl mantıkta dizge (sistem) tepkisinin o anki girişlerle birlikte, dizgenin önceki çıkışlarına da bağlı olmasıdır. Buna örnek olarak kasa ve çanta kilitlerini verelim. Çanta kilidinin şifresi 5-7-0 ise, kilidi açmak için 5-7-0 sayılarının kodlanması yeterlidir. Sayıların hangi sıra ile yazıldığı yada göstergenin bir önceki konumunun hiç bir etkisi olmaz.



Şekil-1.1 Sıralı ardıl mantık devrelerin temel yapısı.

Kasa kilidinin şifresi ise sözgelimi 34 sağa, 22 sola, 48 sola olsun. Kilidin açılabilmesi için bu sayıların doğru sıra ile (yani önce 34, sonra 22 ve en son 48) ve verilen yönlere doğru girilmesi gerekir. Buna göre kasa kilidi sıralı ardıl, çanta kilidi de birleşimsel mantık ile çalışır diyebiliriz.



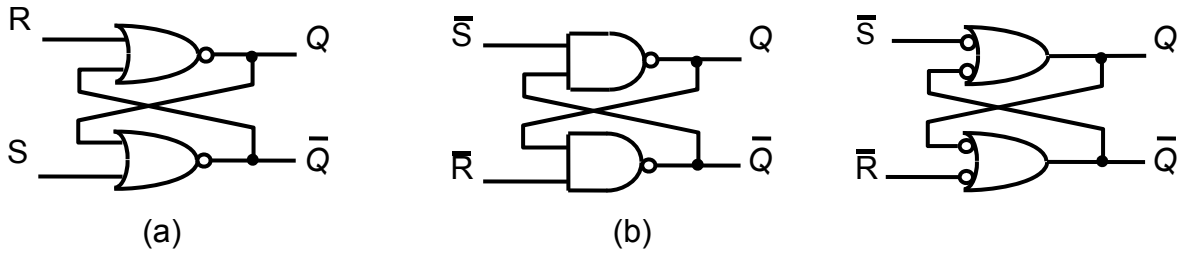
Kasa Kilidi Çanta Kilidi

Şekil-1.2 Birleşimsel ve ardıl mantık için örnekler. Kasa kilidi ve çanta kilidi.

TUTUCU (LATCH) DEVRELERİ

Tutucu, Flip-Floptan ayrı olarak değerlendirilen çift kararlı bir veri saklama aygıtıdır. Şekil-1.3'te çapraz bağlı mantık negatif veya geçitleriyle oluşturulmuş *S-R* tutucu devresinin Ved ve veyaD geçitli devrelere nasıl dönüştüğü de gösterilmiştir. Her devrede görülen çapraz bağlantı en basit bellek yapısıdır ve bütün titreşkenlerde mutlaka bulunur. Flip-Floplarla tutucular arasındaki benzerlik, tutucunun da Flip-Flop gibi iki ayrı kararlı durumda bulunabilmesidir. Bununla birlikte tutucularda çıkışın kararlı kalması girişteki verilerin sürekliliğine bağlıdır. Tutucunun, her zaman birbirinin tersi olan iki çıkışı vardır. *Q* ve *Q'*. En temel tutucu, *S - R* türüdür. Burada *S* set (kur) *R* reset (sil) anlamındadır. Şekil-2.4'te *S -R* tutucunun ETKİN-1 ve ETKİN-0 mantık için devreleri verilmiştir. veyaD geçitleriyle

oluşturulmuş devrede olası durumlar Şekil-2.5'te sırayla gösterilmiştir. *S-R* tutucuda dikkat edilmesi gereken nokta, girişlerin ikisinin de aynı anda kesinlikle etkin olmaması gerektiğidir. Bu durum çıkışları aynı duruma gelmeye zorlar ve titreşmeye yol açar. Yasak giriş durumu sona erdiğinde tutucunun alacağı durum da önceden bilinemez. Şekil-2.5'te gösterilen olası durumlar tablo-8.1'de etkin-1 mantık için düzenlenmiştir.

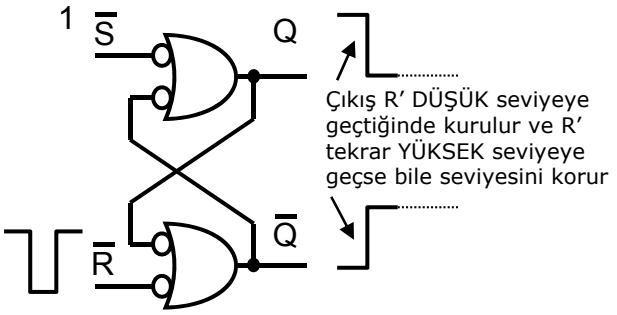


Şekil-1.3 a) VEYAD b) VED geçitleri ile kurulmuş *S - R* tutucular. c) VED geçitlerinin TERS-VEYA olarak gösterimi.

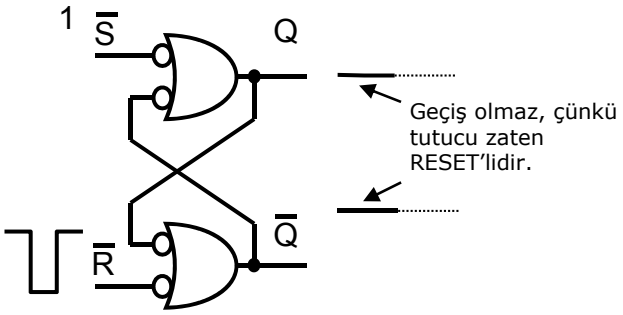
S	*R*	*Q*	*Q*	YORUM
0	0	D.Y	D.Y	Tutucu önceki durumunda kalır.
0	1	0	1	Tutucu sıfırlanır.
1	0	1	0	Tutucu kurulur.
1	1	1	1	*YASAK* DURUM

Tablo–1.1 ETKİN-1 girişli S-R tutucu için doğruluk tablosu.

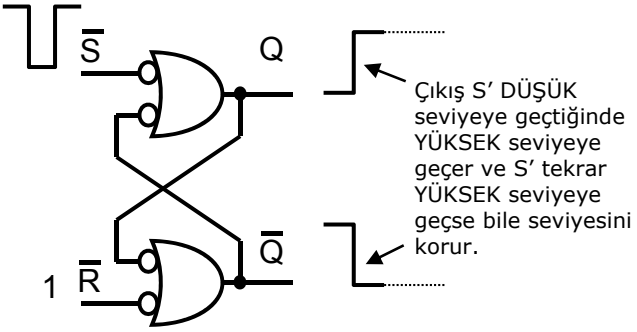
Tutucunun çalışması negatif veya değil geçidi temel alınarak tüm olası girişler için Şekil-2.4'te açıklanmıştır. *S-R* tutucunun üç çalışma kipi ve bir de yasak çalışma durumu vardır. Birinci çalışma kipine KURma adı verilir. Eğer tutucunun Q çıkışı önceden DÜŞÜK seviyede ise S' girişine geçici de olsa bir DÜŞÜK seviye uygulanırsa (etkin yapılırsa) çıkış DÜŞÜK seviyeden YÜKSEK seviyeye geçiş yapar. Giriş tekrar YÜKSEK seviyeye geçse bile çıkış kurulu durumunu devam ettirir.



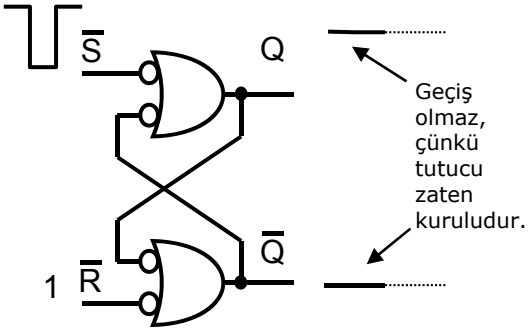
Tutucu KUR'ulu başlamıştır.



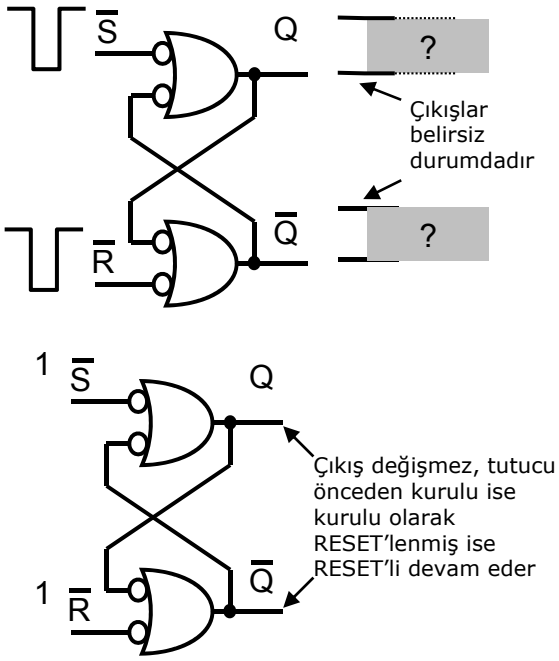
Tutucu durumunu korur.



Tutucu RESET konumunda başlamıştır.



Tutucu durumunu korur.



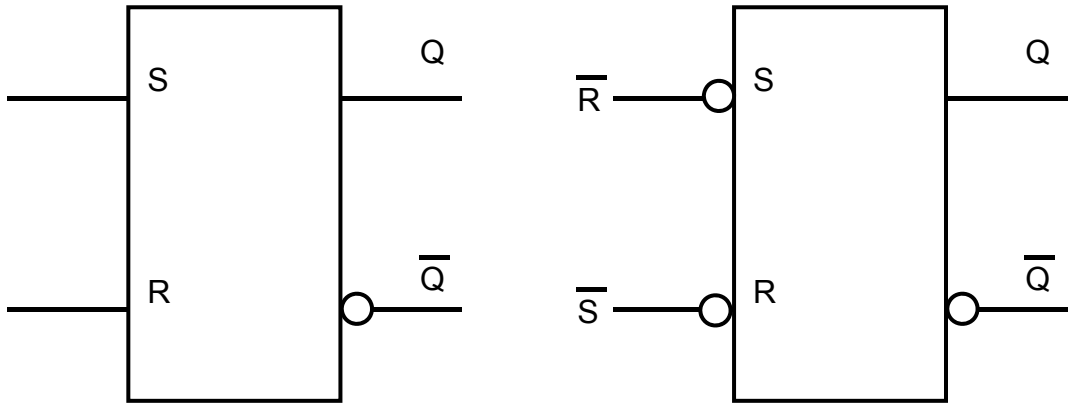
Her iki giriş YÜKSEK seviye.

Şekil-1.4 S-R tutucunun RESET, KUR, DEĞİŞME YOK ve YASAK durumları

Q çıkışı zaten önceden kurulu ise S' girişi etkin olduğunda çıkış durum değiştirmez, kurulu olarak devam eder. Tutucunun çıkışı önceden kurulu ve S' girişi YÜKSEK seviyede iken R' girişine geçicide olsa DÜŞÜK seviye bir vuru uygularsak çıkış RESETlenir. Bu işleme tutucunun silinmesi veya RESETlenmesi adı verilir. Eğer önceden RESETlenmiş tutucunun R' girişine yine bir DÜŞÜK seviye bir vuru uygulanırsa çıkış durum değiştirmez.

Tutucunun her iki girişine YÜKSEK seviye uygulanırsa çıkış durum değiştirmez. Bu duruma değişme yok veya bekleme durumu denir. çıkışlar girişlerden herhangi biri etkin olana dek eski halini korur. Çıkış önceden ne olursa olsun her iki girişe aynı anda DÜŞÜK seviye birer vuru uygulanırsa çıkışın durumu tahmin edilemez. Tutucu bu turumda kararsız olarak çalışır. Kararsız çalışma durumu kullanılmaz, yasak durum adı verilir.

S-R tutucunun mantık simgesi Şekil-2.5'te DÜŞÜK seviye etkin girişli (a) ve YÜKSEK seviye etkin girişli (b) olarak gösterilmiştir.



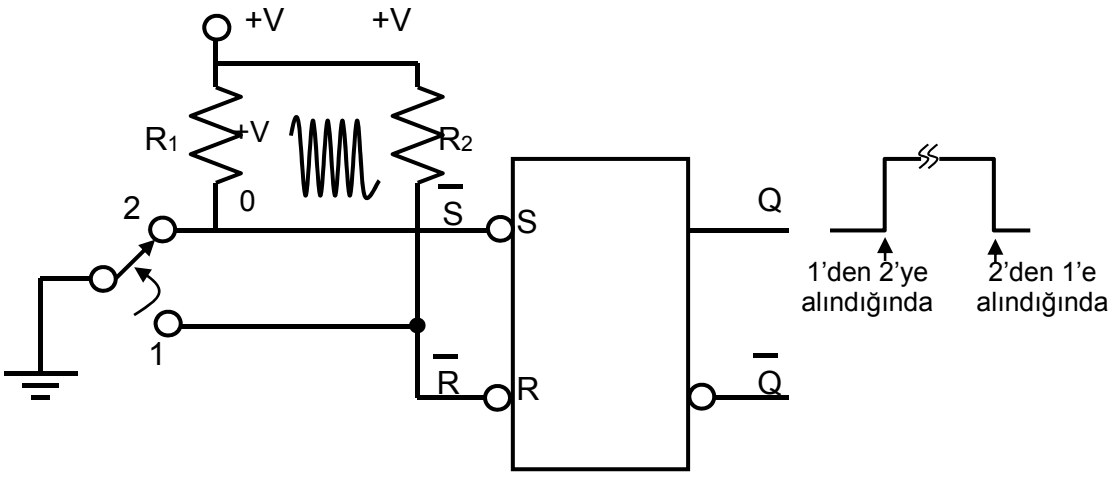
(a) YÜKSEK seviye etkin girişli S-R tutucu

(a) DÜŞÜK seviye etkin girişli S-R tutucu

Şekil-1.5 S-R tutucunun mantık simgesi.

S-R tutucunun uygulama alanlarından birisi olarak, kontak sıçraması giderme devresini verebiliriz. Mekanik anahtarlarda gözlenen ve kontağın hemen yerine oturmayıp kısa süreli titreşmesi nedeniyle oluşan kontak sıçraması (bouncing), anahtarın çıkışına *S - R* tutucu bağlanarak önlenebilir. Bu tür bir uygulama Şekil-2.6'da görülmektedir.

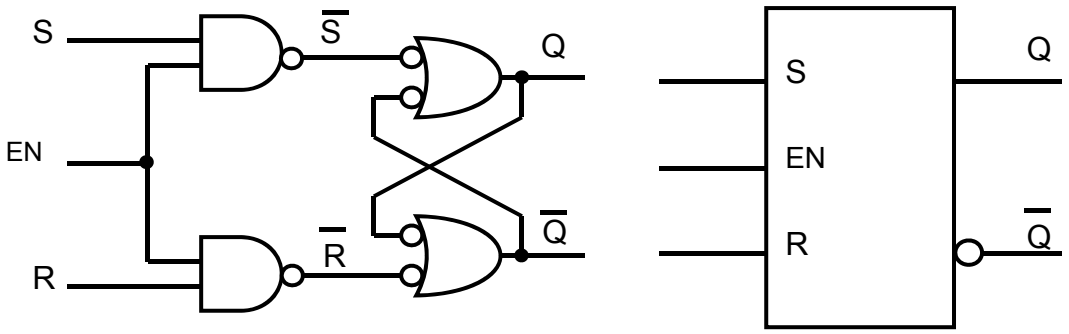
Anahtar 1 konumundan 2 konumuna alındığında S' girişi DÜŞÜK seviyeye gelir. Anahtar kontağı mekanik olduğu için çarparak geriye sıçrar bu anda S' girişi tekrar YÜKSEK seviyeye çıkar. Bu çarpma ve sıçrama süresi azalarak yüzlerce defa tekrar edebilir. Bu arada tutucunun R' girişine direnç üzerinden YÜKSEK seviye uygulanmaktadır. S' girişinde oluşan gürültü işareti şekilde gösterilmiştir. Bu gürültünün elektronik devreleri etkilemesini engellemek için tutucu kullanılır. S' girişinin ilk DÜŞÜK seviyeye düşmesiyle tutucu çıkışı kurulur. İkinci veya daha sonraki DÜŞÜK seviyeye düşüşlerde ise zaten çıkış kurulu olduğu için eski halini devam ettirecektir.



Şekil-1.6 S-R tutucunun ile kontak titreşiminin yok edilmesi.

GEÇİTLİ S-R TUTUCU

Tutucunun girişindeki veri değişimlerine sürekli olarak duyarlı olması hız gerektiren sistemlerde sorunlar yaratır. Bu nedenle tutucuya bir onay (İZİN-ENABLE) girişi eklenerek gerekli veri dizilerinin etkili olması sağlanır. Bu yeni bağlantıda *S* ve *R* girişleri yalnızca izin girişi '1' iken çıkışın durumu üzerinde etkili olabilirler. Şekil-1.7'de İZİN girişli S-R tutucunun mantık simgesi ve mantık diyagramı gösterilmiştir.

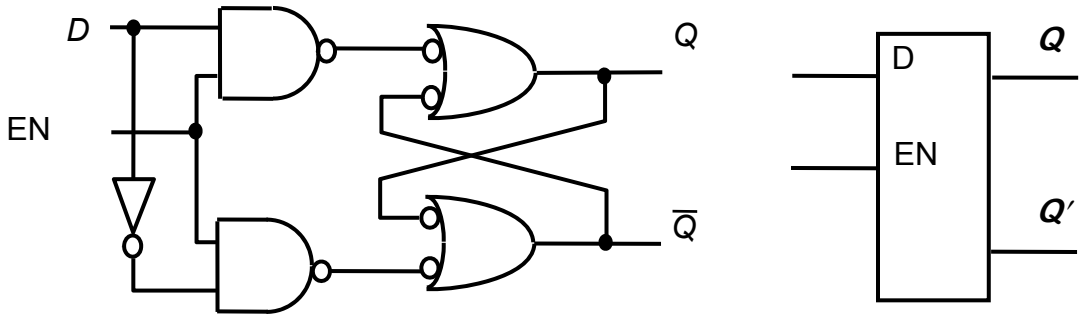


(a) Mantık diyagramı. (b) Mantık simgesi

Şekil-1.7 Geçitli S-R tutucunun mantık simgesi.

GEÇİTLİ D TUTUCU

Sayısal dizgelerde veri saklamak yada bekletmek amacı ile en çok kullanılan tutucu, D (data - veri) türüdür. Bu tutucu, *S-R* tutucunun bir tümleyici ile yeniden düzenlenmiş biçimidir. Tutulacak veri *S* girişine doğrudan ve *R* girişine de tümlenerek uygulanır. İzin girişi yüksek olduğunda ***D*** girişindeki bilgi ('1' yada '0') *Q* çıkışına taşınır ve tutulur.



(a) Geçitli *D* tutucu mantık devresi (b) Mantık simgesi.

Şekil-1.8 Geçitli *D* tutucu.

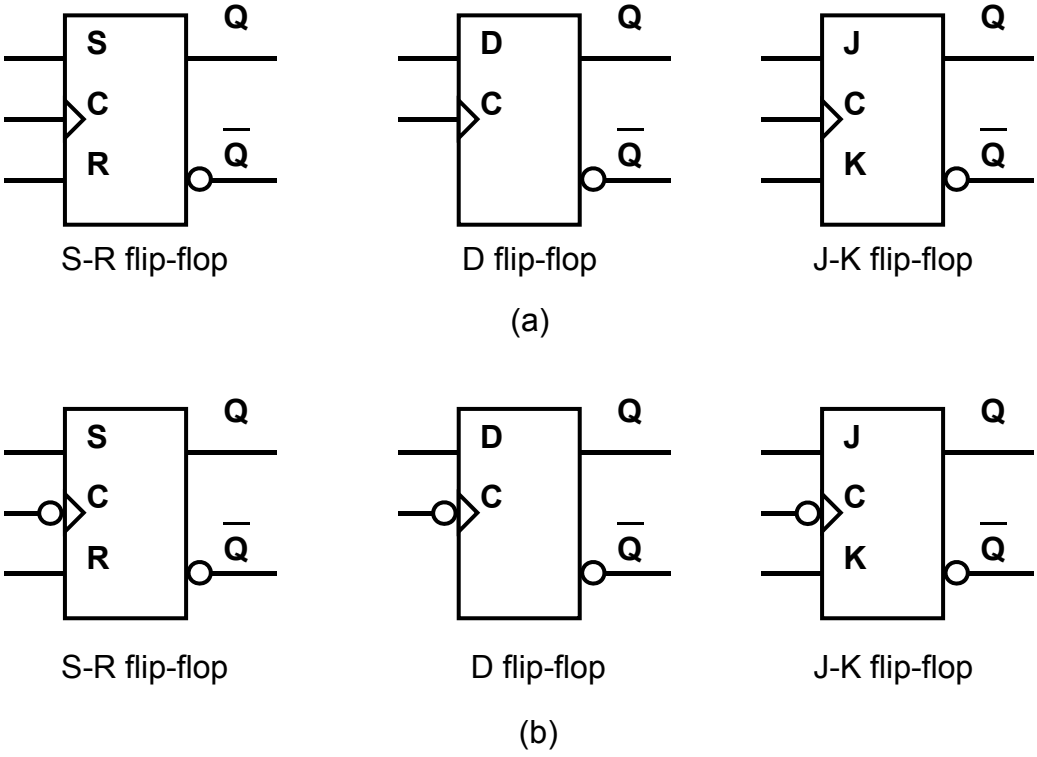
D	EN	Q	Q′	YORUM
0	1	0	1	Sıfırlanır
1	1	1	0	Kurulur
X	0	$Q_{(t-1)}$	$Q'_{(t-1)}$	Değişme yok

Tablo-1.2 D tutucunun doğruluk tablosu

74LS75, içinde dört ayrı ***D*** türü tutucu bulunan bir tümdevredir. (Bakınız ekteki veri yapraklarına) Bu tümdevrede tutucuların izin girişleri ikişer ikişer ortaklanmış ve ***C*** olarak adlandırılmıştır. İşte tam bu nokta tutucu ile Flip-Flop arasındaki geçiş noktasıdır.

KENAR TETİKLİ FLİP-FLOP'LAR

Flip-Floplar, çift kararlı ve *eşzamanlı* aygıtlardır. Eşzamanlı terimi burada, çıkışın yalnızca *saat - clock* denilen tetikleme işaretinin belirli bir noktasında durum değiştirdiğini anlatmaktadır. Özetle, çıkış değişimleri saatle eşzamanlı olarak oluşur.

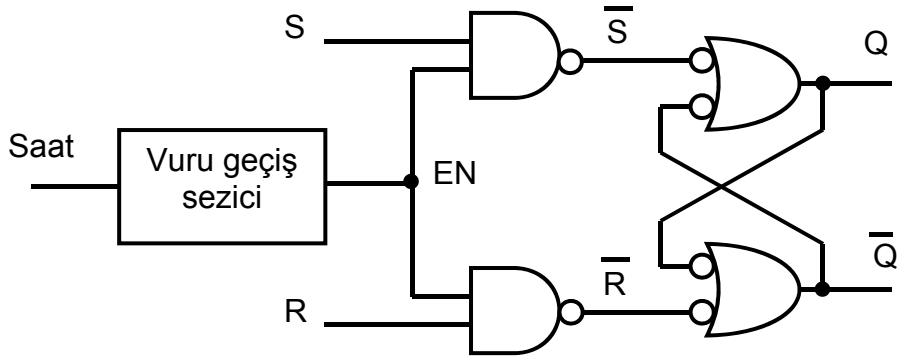


Şekil-1.9 (a) Yükselen, (b) düşen kenar tetiklemeli flip-flop'ların mantık simgeleri

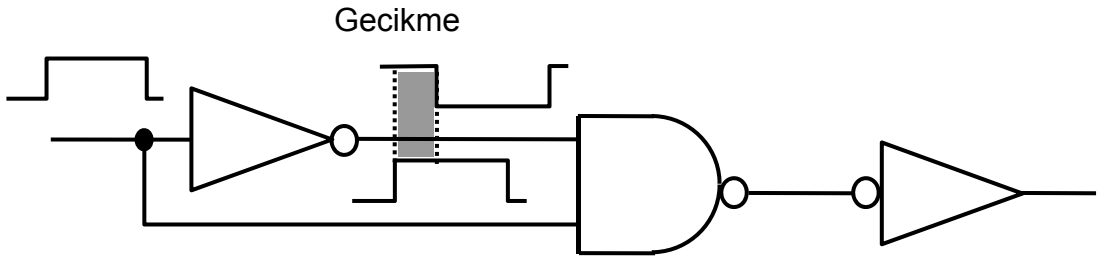
Geçitli tutucuda kullanılan izin işaretinin etkisi, işaret düşük yada yüksek iken süreklidir. Oysa sayısal dizgelerde veriler, yüzlerce Mbit/s hızlarda işlenebilmelidir ancak tutucunun vuru süresince değişimlere duyarlı kalması, hız için çok kısıtlayıcı bir etkendir. Buna çözüm olarak yalnızca saat işaretinin durum değiştirmesi sırasında girişler etkin kılınarak hız artışı sağlanır. Böylece elde edilen tutucu türevine Flip-Flop denir ve elektronik aygıtlarda en fazla kullanılan basit geçici bellek türüdür. Kenar tetikli Flip-Floplarda tetikleme, artı (yükselen) yada eksi (düşen) kenarda yapılabilir. Girişler yalnızca bu geçişler sırasında çıkışlar üzerinde etkili olur. Şekil-2.9'da yaygın olarak kullanılan Flip-Flop simgeleri verilmiştir. Saat girişindeki küçük üçgen Flip-Flopun kenar tetikli olduğunu gösterir. Düşen kenar tetiklemesi ise yine saat girişindeki yuvarlak ile belirtilmiştir.

S-R Flip-Flop

Şekil-2.10'da basit bir yükselen kenar tetikli ***S-R*** flip-flop devresi verilmiştir. ***S-R*** tutucudan ayrı olarak burada bir de geçiş sezici vardır. Bu devre en basit olarak bir DEĞİL geçidinin gecikmesinden yararlanılarak gerçekleştirilebilir. Bu birkaç nano saniyelik gecikmeden üretilen kısa süreli vuru, sürücü devresine uygulanarak saat işaretinin yükselmesi sırasında çok kısa süreli bir İZİN işareti olarak kullanılır.



(a) Basitleştirilmiş pozitif kenar tetikli Mantık S-R Flip-Flop diyagramı.

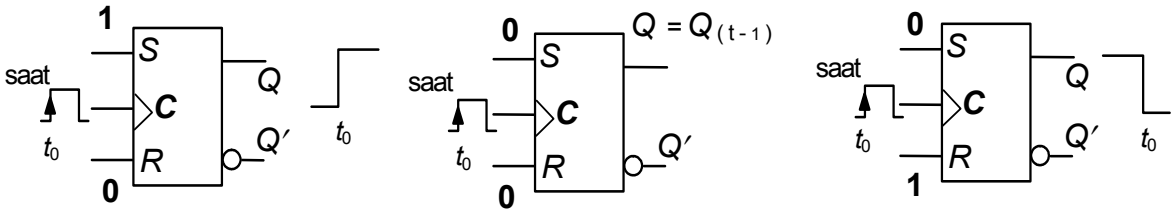


b) Vuru geçiş sezici devresi (Yükselen kenar için).

Şekil-1.10 Kenar tetikleme ve *S-R* Flip-Flopun yapısı.

S	R	C	Q	Q′	YORUM
0	0	X	$Q_{(t-1)}$	$Q'_{(t-1)}$	Değişme yok
0	1	↑	0	1	Sıfırlanır
1	0	↑	1	0	Kurulur
1	1	↑	?	?	**YASAK**

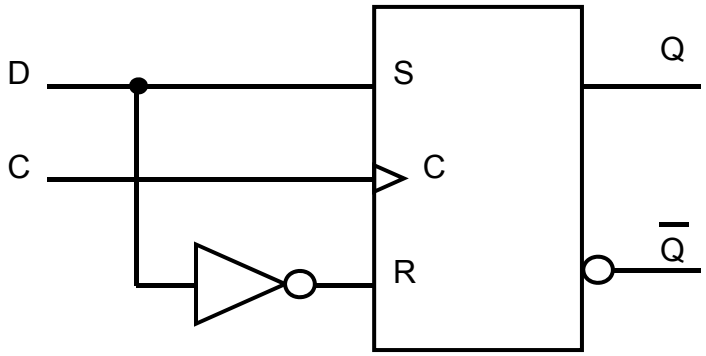
Tablo-1.3 Yükselen kenar tetikli S –R tutucu için doğruluk cetveli.



Şekil-1.11 *S-R* Flip-Flopun çalışma durumları.

D FLİP-FLOP

D flip-flop tek bir veri biti (1yada 0) saklanacağında kullanılır. ***S-R*** flip-flopa bir DEĞİL geçidi eklenerek ***D*** flip-flop elde edilir. ***D*** ucuna '1' yada '0' uygulandıktan sonra gelen ilk tetikleyici geçişinde bu veri çıkışa ulaşır ve orada tutulur.



Şekil-2.12 *D* türü flip-flop için *S-R* flip-flopta yapılan değişiklik.

D	*C*	*Q*	*Q′*	YORUM
1	↑	1	0	Kurulur (1 yüklenir)
0	↑	0	1	Temizlenir (0 yüklenir)

↑= saatin düşük'ten yüksek'e geçişi

Tablo-1.4 Yükselen kenar tetikli D flip-flop için durum cetveli.

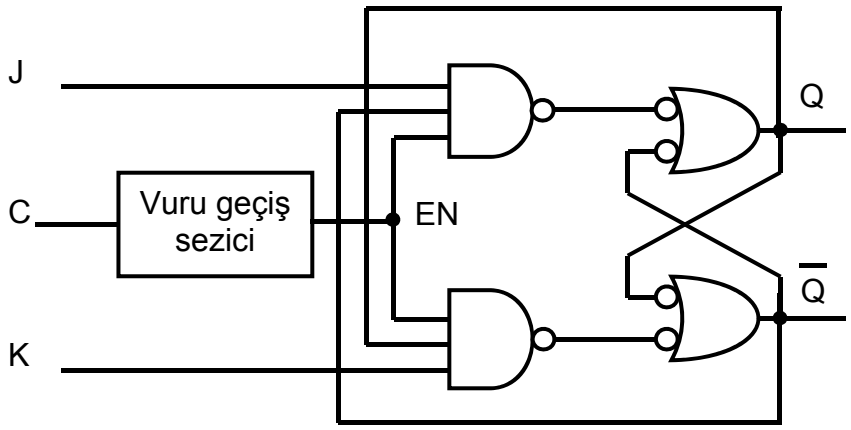
J-K FLİP-FLOP

J-K flip-flop piyasada belki de en çok kullanılan flip-floptur. ***J-K*** Flip-Flopun çalışması kur, sil ve değişme yok durumlarında ***S-R*** flip-flop ile aynıdır. Aralarındaki ayrım ***J-K*** flip-floplarda yasak durum bulunmamasıdır. Her iki girişin de '1' olduğu durum tanımlıdır. Şekil-2.13'te yükselen kenar tetikli ***J-K*** Flip-Flopun iç mantığı gösterilmiştir. Burada ***S-R*** flip-floplardan değişik olarak ***Q*** çıkışı ***K*** girişindeki geçide, ***Q′*** çıkışı da ***J*** girişindeki geçide bağlanmıştır.

J	***K***	***C***	***Q***	***Q′***	YORUM
0	0	↑	$Q_{(t-1)}$	$Q'_{(t-1)}$	Değişme yok
0	1	↑	0	1	Sıfırlanır
1	0	↑	1	0	Kurulur
1	1	↑	$Q'_{(t-1)}$	$Q_{(t-1)}$	Tümleyen

Tablo-1.5 Yükselen kenar tetikli J-K Flip-Flopun doğruluk tablosu.

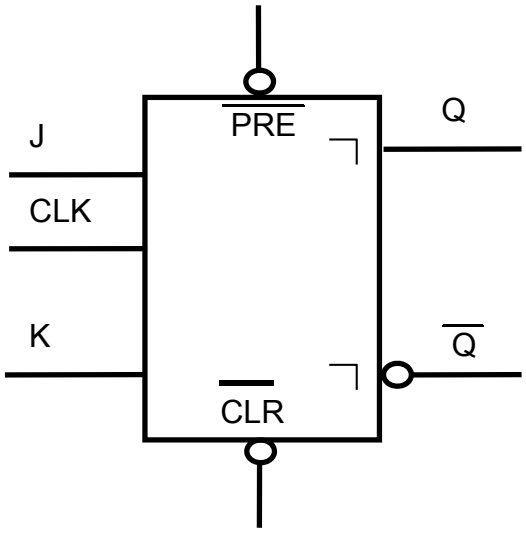
J-K Flip-Flop D Flip-Flop gibi kenar tetikli olabileceği gibi vuru tetikli de olabilir. Vuru tetikli J-K Flip-Flopa master-slave flip-flop adı da verilir. Yükselen kenarda veri master Flip-Flopun çıkışına, düşen kenarda ise veri slave Flip-Flopun çıkışına aktarılır. Böylece vuru tamamlandığında girişteki veri çıkışa aktarılmış olur. Vuru tetikli olarak adlandırılmasının sebebi de girişteki verinin çıkışa aktarılması için vurunun tamamının gerekli olmasıdır.



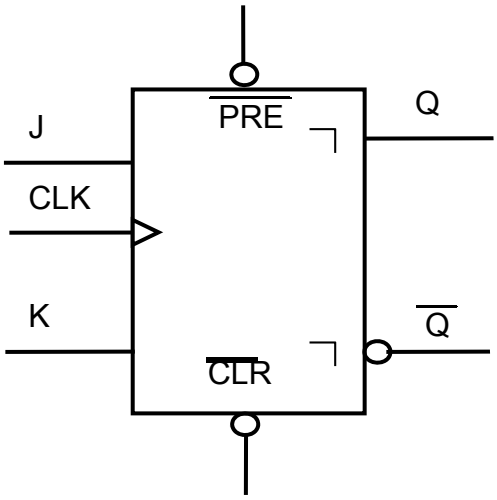
Şekil-1.13 Yükselen kenar tetikli J-K flip-flopun mantık diyagramı.

J	K	CLK	Q	Q’
0	0	Pozitif Vuru	Q_0	Q'_0
0	1	Pozitif Vuru	0	1
1	0	Pozitif Vuru	1	0
1	1	Pozitif Vuru	Q'_0	Q_0

Tablo-1.6 Master-Slave J-K Flip-Flopun doğruluk tablosu.



Şekil-1.14 Master slave Flip-Flopun mantık simgesi.



Şekil-1.15 Veri kilitlemeli Flip-Flopun mantık simgesi.

J	K	CLK	Q	Q_0
0	0	Pozitif Vuru	Q_0	Q'_0
0	1	Pozitif Vuru	0	1
1	0	Pozitif Vuru	1	0
1	1	Pozitif Vuru	Q'_0	Q_0

Tablo-1.7 Veri kilitlemeli J-K Flip-Flopun doğruluk tablosu

Bu Flip-Flopların sakıncası ise veri master çıkışına aktarıldıktan sonra giriş değiştiğinde master çıkışı değişir ve çıkışa değişen veri aktarılır. Özetle veri çıkışa aktarılana kadar (vuru tamamlana kadar) giriş sabit kalmalıdır. Bu sakıncayı ortadan kaldıran Flip-Floplara ise veri kilitlemeli (data lockout) Flip-Flop denir. Bu Flip-Floplarda girişteki veri vuru tamamlanmadan değişse bile çıkış bu durumdan etkilenmez. Her iki Flip-Flopun doğruluk tabloları ve mantık sembolleri Şekil-2.14 ve 15'te gösterilmiştir.

T FLİP-FLOP

J-K Flip-Flopun ***J*** ve ***K*** girişleri birbirine bağlanarak elde edilen flip-flop türüdür. ***J*** = ***K*** = 0 iken saat işareti uygulansa da çıkışlar durum değiştirmez. ***J*** = ***K*** = 1 olduğunda ise her tetikleme de çıkışlar bir önceki durumlarının tümleyenine dönüşürler. Flip-flop adını bu özelliğinden (toggle) alır. T flip-flopun doğruluk tablosu tablo-1.8'de mantık simgesi ise Şekil-2.18'de gösterilmiştir.

T	C	Q	Q′	Yorum
0	↑	$Q_{(t-1)}$	$Q'_{(t-1)}$	Değişme Yok
1	↑	$Q'_{(t-1)}$	$Q_{(t-1)}$	Tümleyen

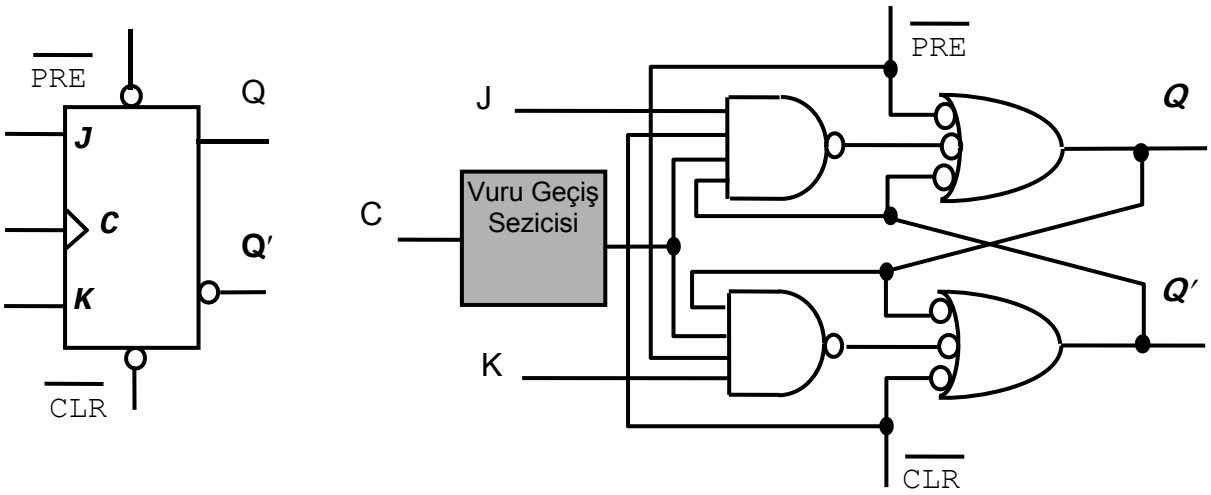
Tablo-1.6 Yükselen kenar tetikli t flip-flopun doğruluk tablosu.

ASENKRON GİRİŞLER

Flip-Flopların *D* , ***J-K*** , ***S-R*** ve ***T*** girişlerindeki veriler, Flip-Flopun çıkışına yalnızca saat işaretinin tetikleyen kenarında aktarıldıklarından, başka deyişle bu veriler saatle eşzamanlı (senkron) işlendiklerinden bu girişlere eşzamanlı girişler denir. Çoğu Flip-Flop tümdevresinde ayrıca eşzamansız (asenkron) girişler de bulunur. Bu uçlar öndeğerle (preset -PRE) ve temizle (clear-CLR), bazı üreticiler tarafından ise doğrudan kur S_D ve doğrudan sil R_D olarak adlandırılırlar. Bu girişler

kullanılarak Flip-Flop istenilen anda kurulabilir yada sıfırlanabilir. Genellikle ETKİN-0 olarak eklenen bu girişler eşzamanlı çalışmada yüksek mantıkta tutulmalıdır.

74LS74A birbirinin aynısı iki ayrı ***D*** flip-flop içeren TTL bir tümdevredir. Flip-Floplar yükselen kenar tetiklidir ve asenkron girişleri ETKİN-0 dır. 74LS76A içinde de iki ***J-K*** flip-flop vardır. Bu flip-floplar düşen kenar tetiklidir ve eşzamansız denetim girişleri de vardır. Her iki flip-flopun mantık diyagramları ve simgelerini EK-A'daki veri yapraklarından bakabilirsiniz.



Şekil-1.17 asenkron girişli J-K flip-flopun mantık simgesi ve diyagramı.

FLİP-FLOPLARIN BAŞARIM ÖZELLİKLERİ

Flip-flopların başarım, sınırlama ve doğru çalışma için gereksinimleri, bazı değişkenler ile belirtilir. Bu teknik özellikler, tüm mantık ailelerindeki (*LS*, *S*, *AS*, *TTL*, *CMOS*) flip-floplar için geçerlidir.

YAYILMA GECİKMESİ SÜRESİ

Yayılma gecikmesi süresi giriş işaretinin uygulanmasından sonra çıkışın oluşabilmesi için gerekli zaman aralığıdır. Bir ikilinin çalışmasında önemli olan yayılma gecikmesi tanımları aşağıdaki gibidir:

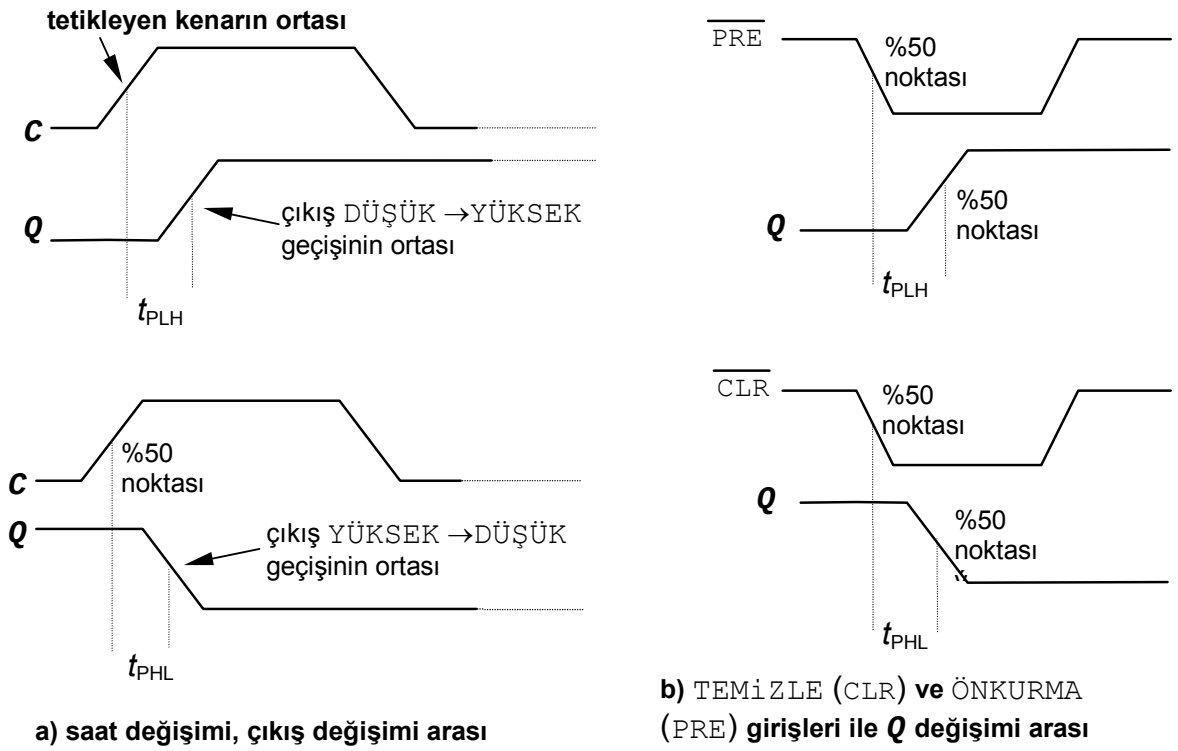
1. Saat darbesinin tetikleme kenarından çıkışın *DÜŞÜK'ten-YÜKSEK'e geçiş*ine kadar ölçülen t_{PLH} *yayılma gecikmesi.*

2. Saat darbesinin tetikleme kenarından çıkışın *YÜKSEK'ten-DÜŞÜK'e geçiş*ine kadar ölçülen t_{PHL} *yayılma gecikmesi.*

3. *Preset (önkurma)* girişinden çıkışın *DÜŞÜK'ten-YÜKSEK'e geçiş*ine kadar ölçülen t_{PLH} *yayılma gecikmesi.* Bu gecikme şekilde bir aktif-DÜŞÜK *preset* için

gösterilmiştir.

4. Clear (*Sil)* girişinden çıkışın *YÜKSEK'ten-DÜŞÜK'e geçiş*ine kadar ölçülen t_{PHL} *yayılma gecikmesi.* Bu gecikme şekilde bir aktif-DÜŞÜK *sil* için gösterilmiştir.



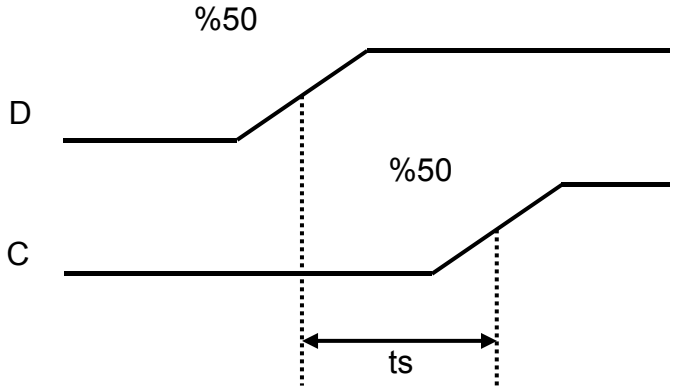
a) saat değişimi, çıkış değişimi arası

b) TEMiZLE (CLR) **ve** ÖNKURMA (PRE) **girişleri ile** ***Q*** **değişimi arası**

Şekil-1.18 Yayılma gecikmeleri.

KURULMA (SET-UP) SÜRESİ

Saat darbesinin tetikleme kenarından önce, seviyelerin ikiliye güvenilir olarak ulaşması için J;K veya S;R veya D girişlerindeki mantık seviyelerinin sabit kalması için gerekli minimum zaman aralığına *kurulma süresi* (t_s) denir.

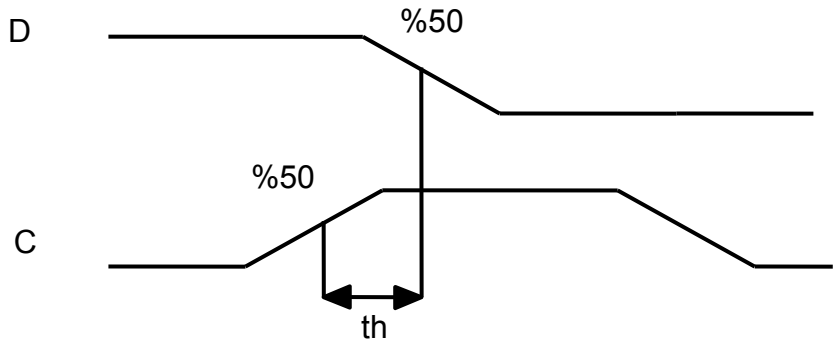


Şekil-1.19 Kurulma süresi.

Saat darbesinin tetikleme kenarından önce veri girişlerinin gerekli mantık seviyesinde kalmalarını sağlamak için gerekli süre.

TUTMA (HOLD) SÜRESİ:

Seviyelerin ikiliye güvenilir olarak ulaşması için saat darbesinin tetikleme kenarından sonra girişlerin mantık seviyelerini koruması için gerekli minimum zaman aralığına *tutma süresi (t_h)* denir.



Şekil-1.20 Kurulma süresi.

MAKSİMUM SAAT FREKANSI

Maksimum saat frekansı (f_{max}) bir ikilinin güvenilir olarak tetiklenebileceği maksimum hızı ifade eder. Maksimum değerin üzerindeki saat frekanslarında, ikili yeteri kadar hızlı yanıt (tepki) verememekte ve çalışması bozulmaktadır.

VURU GENİŞLİKLERİ

Güvenilir çalışma için minimum vuru genişlikleri (t_w) saat, önkurma (preset) ve silme (clear) girişleri için üretici tarafından tanımlanmaktadır. Tipik olarak saat minimum yüksek süresi ve minimum düşük süresi ile tanımlanır.

Şekil-1.21

GÜÇ TÜKETİMİ

Herhangi bir sayısal devrenin güç tüketimi aygıtın tüm güç tüketimidir.+5V'luk d.c. kaynakla beslenen ve 50mA akım çeken bir ikilinin güç tüketimi,

$$P = V_{CC} \times I_{CC} = 5V \times 50mA = 250mW$$

DC kaynağın kapasitesi söz konusu olduğunda pek çok uygulamalarda güç tüketimi önem taşımaktadır.Örnek olarak 10 ikiliden oluşan bir sayısal sistemde her ikili 250mW güç tüketsin toplam güç gereksinimi

$$P_{TOP} = 10 \times 250mW = 2.5W$$

Bu bize d.c. kaynak için gerekli çıkış kapasitesini verir.İkililer +5V d.c. ile beslenmekte ise, kaynağın sağlaması gereken akım miktarı:

$$I = \frac{250W}{5V} = 0.5A$$ olur.

En az 0.5A'lik akım verebilen +5V'luk bir d.c. kaynak gerekmektedir.

SORULAR

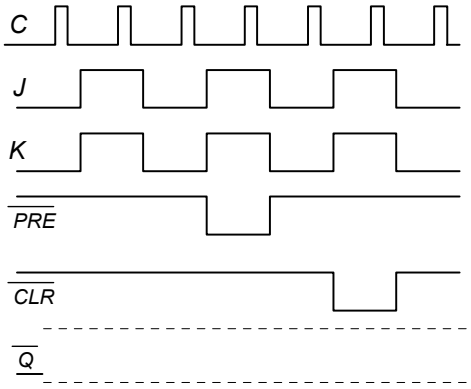
1. Birleşimsel ve sıralı ardıl mantık arasındaki farkı açıklayın.

2. Flip-Flop ve tutucu arasındaki fark nedir, açıklayın.

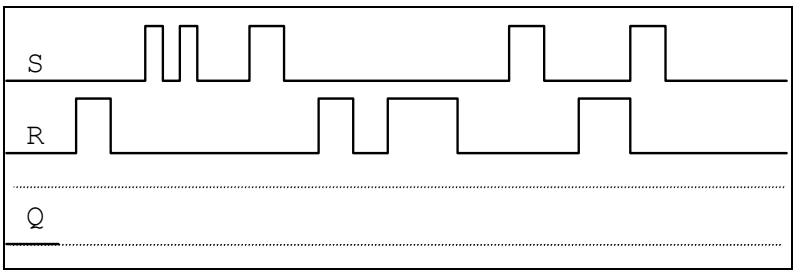
3. Flip-Flop uygulamalarında, yayılma gecikmesi, değiştirme süresi, tutma süresi, en yüksek çalışma sıklığı kavramlarını açıklayın.

4. İşaret genişliği ve güç tüketimi değerlerinin önemlerini nedir? Açıklayın.

5. Yandaki J-K ikilinin girişlerine uygulanan sinyallere göre Q ve Q' çıkışında oluşan sinyalleri çizin.



6. Etkin-1 girişli bir S-R tutucunun girişlerine yanda görülen dalga biçimleri uygulanmıştır. Çıkış dalga biçimini verilen boşluğa çizin.



BÖLÜM 2

555 ZAMANLAYICI VE ÜÇ DURUMLU TAMPON

GİRİŞ

Bu bölümde tek atımlılar, zamanlayıcılar ve üç durumlu geçitler gibi sayısal sistemlerde yardımcı görev üstlenen elemanlar incelenecektir.

TEK ATIMLI VURU ÜRETEÇLERİ

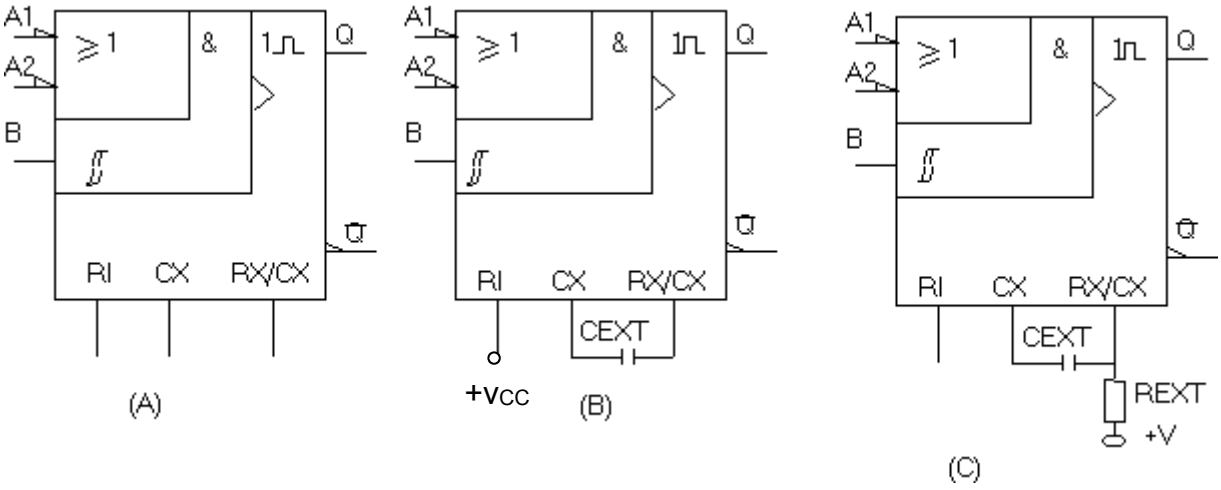
Tek atımlılar tek kararlı çalışan bir multivibratördür (titreşim üreteci). Eleman bir kararlı duruma sahiptir. Girişine bir uyarma işareti geldiğinde kararsız duruma geçerek önceden belirlenmiş süre bu kararsız durumunda kalır ve tekrar kararlı durumuna geri döner. Yeri uyarma gelmesini bekler. Gelmediği sürece kararlı durumunda kalır. Şekil-4.1'de 74121 yeniden tetiklenemez tek atımlının sembol ve bağlantıları gösterilmiştir.

(A) Dış eleman yok (t_w=30ns)

(B) Dahili R ve C_{EXT} (R=2K) ($T_W=0.7R \cdot C_{EXT}$)

(C) R_{EXT} ve C_{EXT} ($t_w=0.7R_{EXT} \cdot C_{EXT}$)

Çıkış vuru genişliği dış bileşenlerin (elemanların) seçimi ile değiştirilebilir. 74121 tümdevresinde dış zamanlama elemanları kullanılmadığında minimum 30ns'lik bir vuru genişliği elde edilmektedir. Vuru genişliği dış elemanlar ile 40ns ile 28s



arasında bir değere ayarlanabilmektedir.

Şekil-2.1 Tek atımlının sembolü ve vuru genişliğini ayarlama metotları.

ÖRNEK 2.1:

Bir uygulamada yaklaşık 1s'lik darbe genişliğine sahip bir tek atımlı kullanılacaktır. 74121'i kullanarak bağlantıları ve bileşen değerlerini gösteriniz.

ÇÖZÜM:

R_{EXT}=10MΩ seçelim ve gerekli kondansatörün kapasite değerini hesaplayalım.

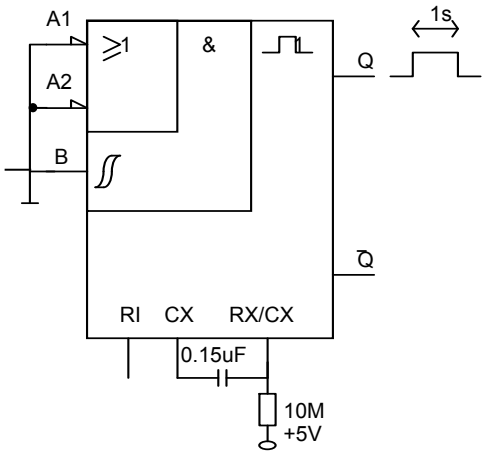
$$t_W = 0.7 \cdot R_{EXT} \cdot C_{EXT}$$

$$C_{EXT} = \frac{tw}{0.7 \cdot R_{EXT}}$$

$$C_{EXT} = \frac{1s}{(0.7)(10 \cdot 10^6)} = 0.143 \times 10^{-6} F$$

$$C_{EXT} = 0.143 \mu F$$

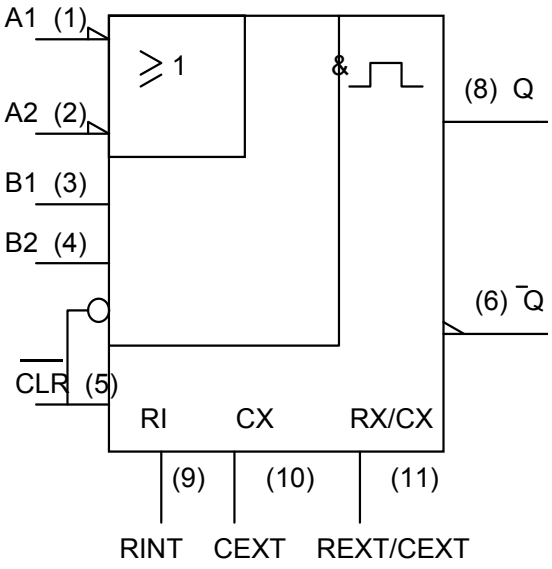
Standart 0.15μF'lık kondansatör kullanabiliriz. Uygun bağlantılar aşağıdaki gibidir.



∫ simgesi Schmitt tetikleyici girişini belirtir. Bu çeşit giriş histerezis üreten bir özel eşik devresine sahiptir. Giriş gerilimi kritik giriş seviyesi etrafında dolaşırken durumlar arasında hatalı anahtarlamayı önleyen bir özelliktir. Giriş çok yavaş değişirken bile güvenilir tetiklemenin yapılmasına olanak sağlar.

Şekil 9.2'de gösterilen 74122 tümdevresi clear (temizle) girişine sahip bir yeniden tetiklenebilir tek atımlı tümdevredir. Harici R ve C girişlerine sahip, A1, A2, B1, B2 geçitli tetikleme girişleridir.

$$t_w = K \cdot R_{EXT} \cdot C_{EXT}(1 + \frac{0.7}{R_{EXT}})$$



Şekil-2.2 74122'nin ANSII / IEEE standardı mantık sembolü

K; üretici firma tarafından veri kataloglarında verilen ve her bir tek atımlıya özgü bir sabittir. 74122 için K=0.32

ÖRNEK 2.2:

74122'ye bağlandığında 1μs'lik bir darbe genişliği üretecek R_{EXT} ve C_{EXT} değerlerini bulun.

ÇÖZÜM:

74122 için K=0.32 olduğundan:

$$t_w = K \cdot R_{EXT} \cdot C_{EXT}(1 + \frac{0.7}{R_{EXT}}) \qquad C_{EXT} = 1500\,pF$$

$$t_w = K \cdot R_{EXT} C_{EXT} + 0.7(\frac{K \cdot R_{EXT} C_{EXT}}{R_{EXT}})$$

$$t_w = K \cdot R_{EXT} C_{EXT} + 0.7K \cdot C_{EXT}$$

$$R_{EXT} = \frac{t_w - 0.7 \cdot K \cdot C_{EXT}}{K \cdot C_{EXT}} = \frac{t_w}{KC_{EXT}} - 0.7$$

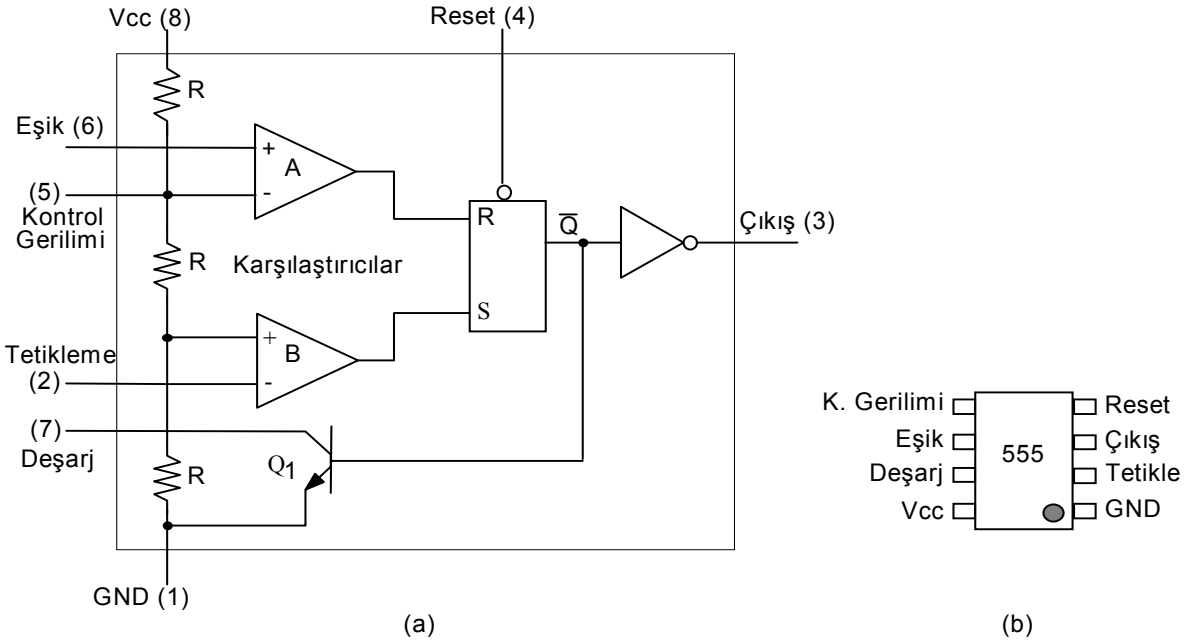
$$R_{EXT} = \frac{1 \times 10^{-6}\,s}{(0.32) \cdot (1500 \times 10^{-12}\,F)} - 0.7 = 2.1\,k\Omega$$

KARARSIZ MULTIVIBRATÖRLER VE ZAMANLAYICILAR

İki durum arasında gidip gelen hiçbir zaman kararlı olarak bir duruma geçmeyen multivibratör çeşididir. Tetikleme ve zamanlama gerektiren sistemlerde osilatör olarak kullanılır.

555 ZAMANLAYICI

555 zamanlayıcısı astable (kararsız) ve monostable (tek kararlı) olarak çalışabilen bir tümdevredir. İç yapısı (a) ve bacak bağlantısı (b) Şekil-4.3'de gösterilmiştir. V_{cc} gerilimi 4.5 V ile 18 V arası olabilir.



Şekil-2.3 (a). 555'in iç yapısı, (b) bacak bağlantısı.

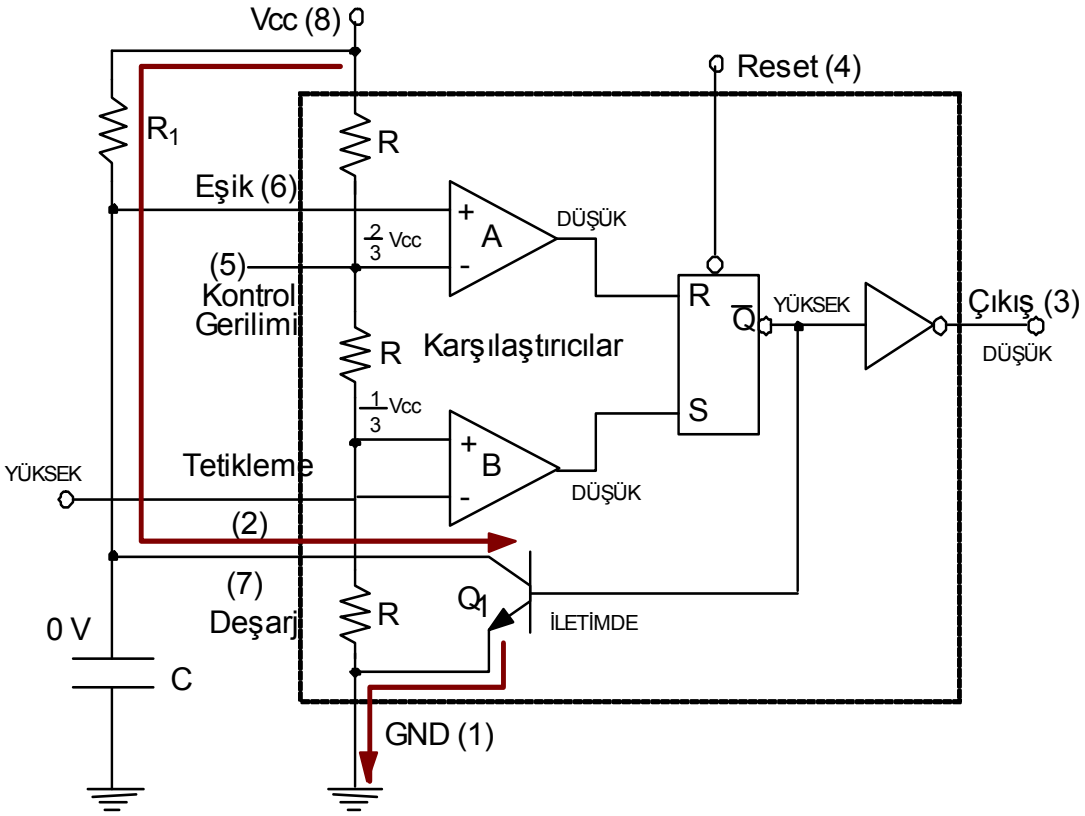
Karşılaştırıcı B tetikleme girişi (2 nolu bacak) ile (1/3)V_{CC} değerini karşılaştırır. Eğer karşılaştırıcının eksi (-) girişi (1/3)V_{CC}'den küçük ise, karşılaştırıcı çıkışı YÜKSEK olur ve ikiliyi (f-f) kurarak (SET) 3 nolu bacaktaki Q çıkışını YÜKSEK seviyeye geçirir; deşarj transistörünü kesime götürür. Karşılaştırıcı A eksi girişindeki (2/3)V_{CC} ile artı (+) girişine uygulanan eşik gerilimini karşılaştırır. Eşik gerilimi (2/3)V_{CC}'den büyük olana kadar karşılaştırıcı çıkışı DÜŞÜKtür.

Eşik gerilimi (2/3)V_{CC}'yi aştığında karşılaştırıcı A'nın çıkışını DÜŞÜK-ten-YÜKSEK-e geçirir ve ikilinin çıkışı temizlenir (RESET). Bu durum çıkışı tekrar DÜŞÜK seviyeye geçirerek deşarj transistörünü de iletime götürür. Harici TEMİZLE (RESET) girişi tutucuyu eşik devresinden bağımsız olarak temizlemek için kullanılır. 5 nolu bacak (2/3)V_{cc} yerine başka bir değerde karşılaştırma yapılacak ise kullanılır. Genellikle bu bacak kullanılmaz ve eşik ve tetikleme girişlerinden gelebilecek gürültüyü engellemek için 0.01μF'lık kondansatör ile ortak uca bağlanır.

555'İN TEK ATIMLI MODDA ÇALIŞTIRILMASI

ŞEKİL-2.4'te 555'in tek kararlı olarak kullanımını gösteren devre görülmektedir, tetikleme girişine herhangi bir işaret gelmediğinde (yüksek seviyesini koruduğunda) karşılaştırıcı A ve B'nin çıkışları her ikisi aynı anda düşük seviyededir.

Dolayısıyla FF'nin $\overline{Q}$ çıkışı yüksek seviyede olacak ve transistörü iletime götürecektir. Bu anda çıkış $\overline{Q}$'nun değillenmiş hali olduğu için sıfır seviyesinde olacaktır. V_{CC} kaynağından R_1 direnci ve Q_1 transistörü üzerinden ŞEKİL-2.4'te gösterilen yönde ortak uca bir ***I*** akımı akacaktır.

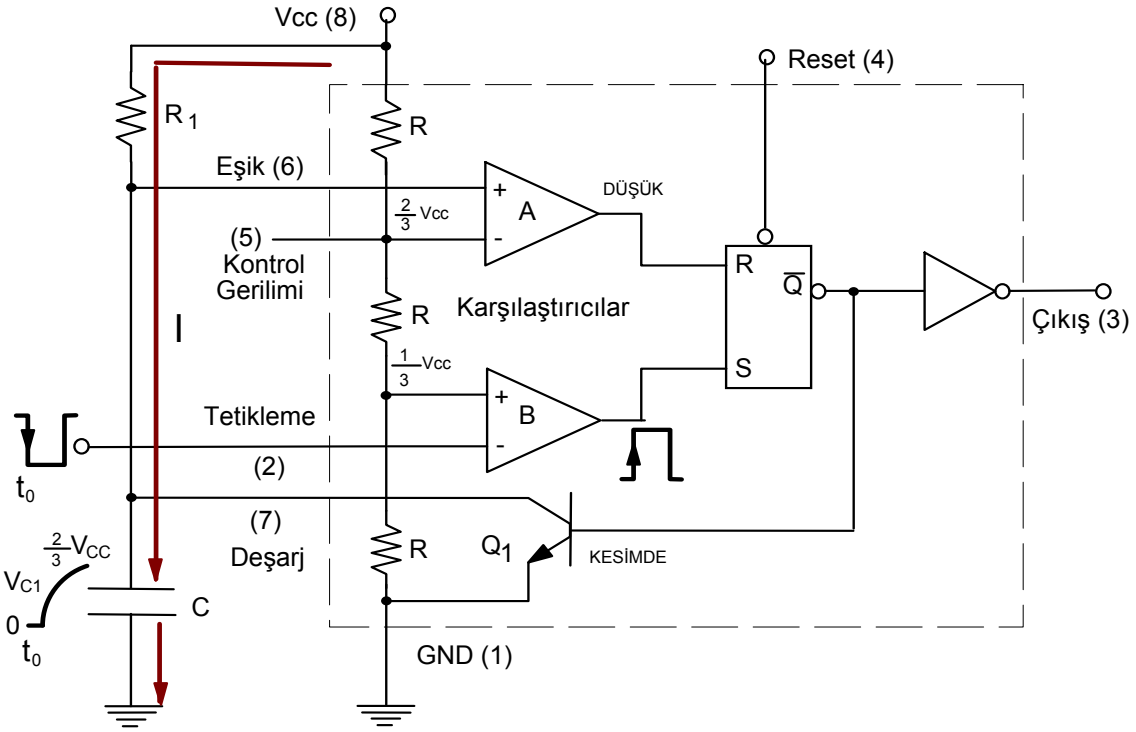


ŞEKİL-2.4 Tetikleme olmadığında akımın yolu ve çıkışların durumu.

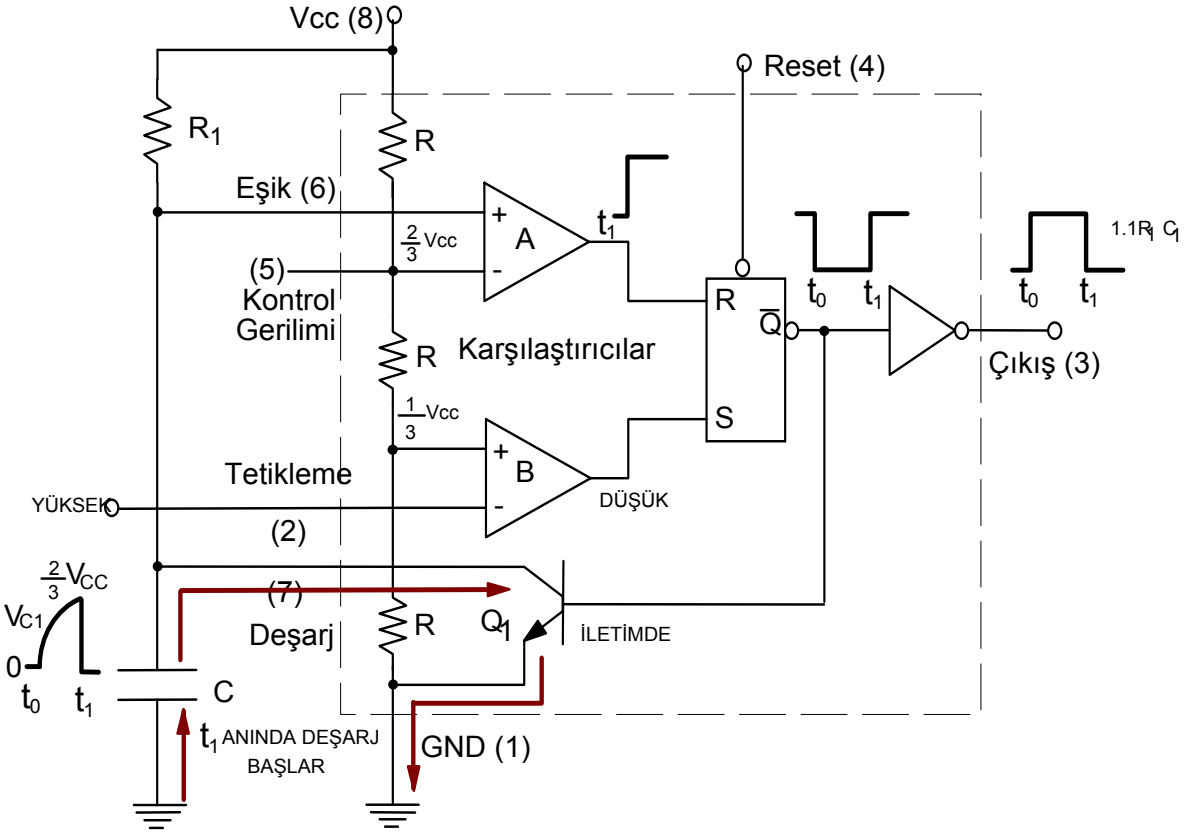
Şekil-4.5'te olduğu gibi tetikleme girişi belirli bir süre için sıfır seviyesine çekilirse karşılaştırıcı B'nin çıkışı o süre kadar yüksek seviyeye çıkar ve FF'u kurar. Kurulan FF'un $\overline{Q}$ çıkışı yüksek seviyeden düşük seviyeye düşecektir. Düşüğe geçtiği andan, t_0 anı, itibaren Q_1 transistörü kesime geçer ve V_{CC} kaynağından ortak uca doğru akan I akımı kondansatör üzerinden devresini tamamlamak zorunda kalacaktır, bu arada kondansatör dolmaya başlayacaktır. t_0 anında $\overline{Q}$ çıkışı yüksekten düşüğe geçerken devre çıkışı düşükten yükseğe geçecektir. Kondansatör t_1 anında $2/3V_{CC}$ değerine yükseldiğinde karşılaştırıcı A çıkışı düşükten yükseğe geçecek ve FF'u silecektir, dolayısıyla, $\overline{Q}$ çıkışı düşükten yükseğe geçer ve Q_1 transistörünü iletime götürür. Transistör iletime geçtiğinde kondansatör transistör üzerinden boşalmaya başlar ve Şekil-4.5'te görüldüğü gibi bir I akımı transistör üzerinden ortak uca akar. Şekil-4.6'da görüldüğü gibi, t_1 anında $\overline{Q}$ çıkışı yükseğe çıkarken devre çıkışı düşüğe geçecektir ve bu durumunu bir dahaki tetikleme gelene kadar korur.

Kondansatörün şarj süresi aşağıdaki eşitlikte verildiği gibidir:

$$t_w = 1.1R_1C_1$$

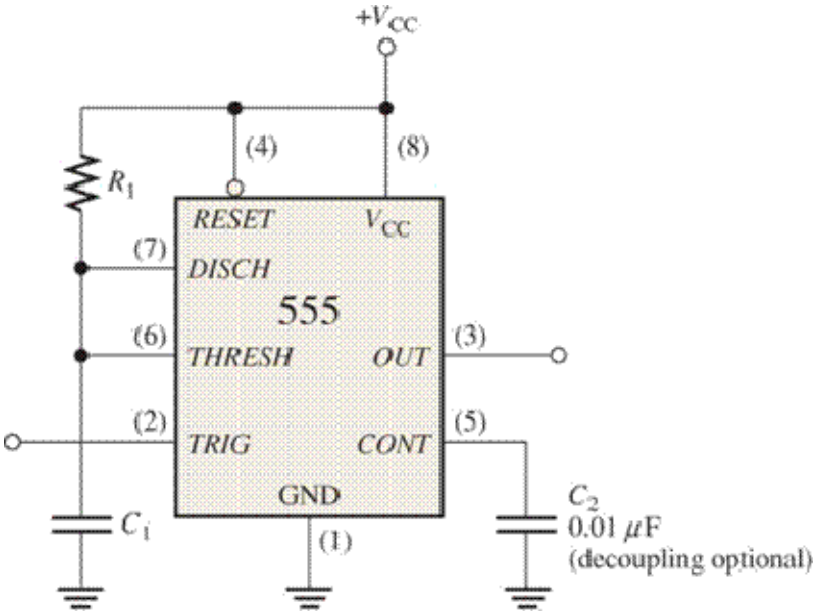


ŞEKİL-2.5 Tetikleme uygulandığında akımın yolu ve çıkışların durumu.



ŞEKİL-2.6 Kondansatör (2/3)V_{CC} değerine dolduktan sonraki (t_1 anında) akımın yolu ve çıkışların durumu.

Şekil-4.7’de 555’in tek kararlı modda (tek atımlı) olarak çalıştırılması için gerekli bağlantılar gösterilmiştir.



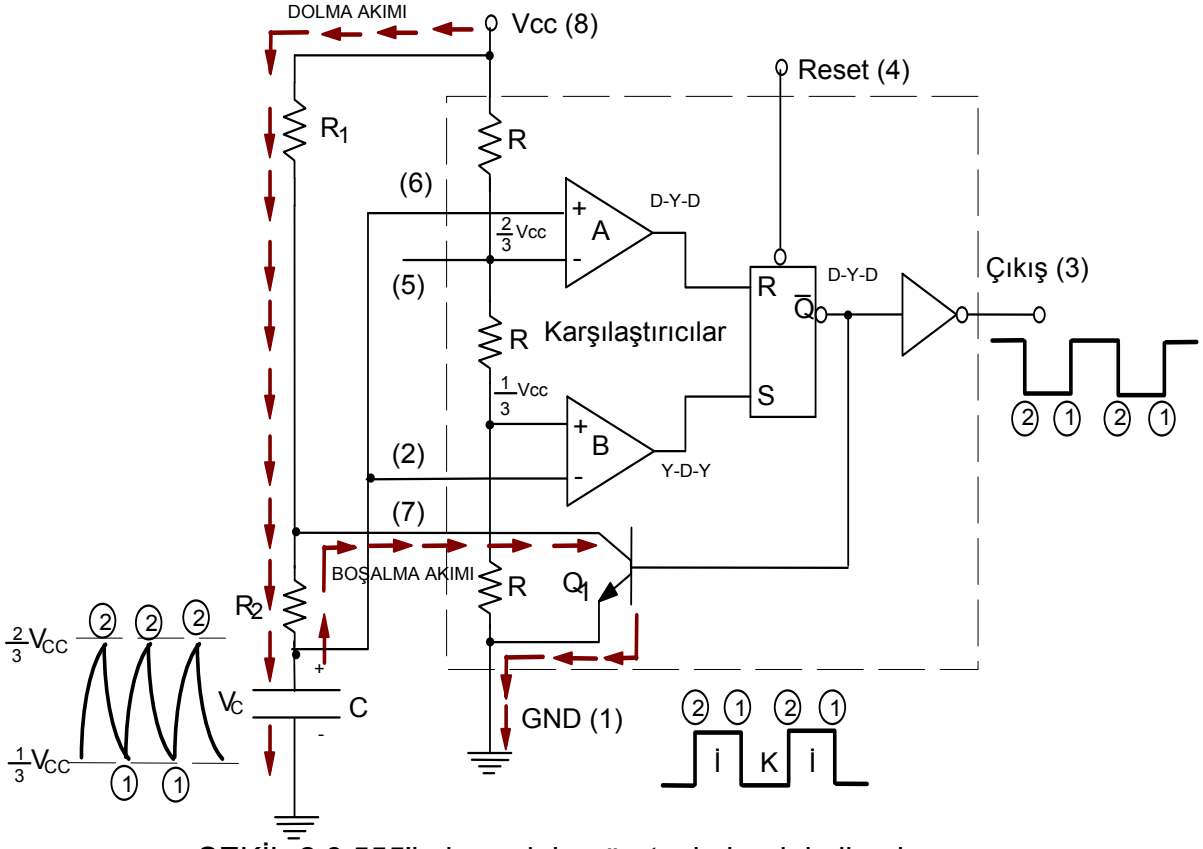
ŞEKİL-2.7 555'in tek atımlı olarak kullanılması.

555 kararsız kare dalga üreteci olarak kullanılabilir. Şekil-4.6'da görüldüğü gibi tetikleme ve eşik girişlerine kondansatör gerilimi bağlanmıştır. C_1 kondansatörü R_1 ve R_2 üzerinden dolarken sadece R_2 üzerinden boşalmaktadır. Böylece C_1, R_1 ve R_2 değerleri değiştirilerek üretecin frekansı ayarlanabilir.

Şekil-2.6'daki devreye güç uygulandığında kondansatör gerilimi (V_C) 2/3 V_{CC} değerine ulaşıncaya kadar çıkış ucunda yüksek seviye vardır. Kondansatör gerilimi (V_C) 2/3 V_{CC} değerine ulaşıncaya ((2) nolu noktaya ulaşmadan önce) kadar karşılaştırıcı A'nın çıkışı düşüktür ve karşılaştırıcı B'nin çıkışı yüksektir. Bu durum FF'u kuracaktır, FF'un değil çıkışı düşük seviye olacağından transistör kesimde olacak ve kondansatör dolmaya devam edecektir. Çıkış ucu ise yüksek seviyededir. Kondansatör gerilimi (V_C) (2/3)V_{CC} değerine ulaştığında (2) nolu noktaya ulaştığında) karşılaştırıcı B'nin çıkışı yüksekten düşüğe geçerken karşılaştırıcı A'nın artı girişine (2/3)V_{CC}’nin üzerinde bir gerilim uygulandığından düşükten yükseğe geçecektir ve flip-flop silinecektir.

Q çıkışı düşükten yükseğe geçecek ve transistörü iletime götürecektir. Kondansatör uçlarında toplanan enerji R_2 direnci ve transistör üzerinden ortak uca doğru bir boşalma akımı akıtacaktır. Bu durumda devre çıkışı yüksekten düşüğe geçecek ve düşük seviyesini kondansatör uçlarındaki gerilimin (1/3)V_{CC} 'ye düşünceye kadar devam edecektir. V_C (1/3)V_{CC}'ye ulaştığında karşılaştırıcı A'nın artı girişine (1/3)V_{CC}, eksi girişine (2/3)V_{CC} uygulandığından ve çıkışı yüksekten düşüğe geçecek, karşılaştırıcı B'nin eksi girişine sabit (1/3)V_{CC} uygulandığından artı girişine gelen gerilim 1/3V_{CC}'nin altına düşer düşmez((1) nolu durum) çıkışı düşükten yükseğe geçer ve FF'u kurar. Q çıkışı yüksekten düşüğe geçecek, transistörü kesime götürecektir. Bu durum V_C 'nin değeri 2/3V_{CC} değerini aşıncaya kadar devam eder. Bu değere ulaşıldığında tekrar FF silinir ve transistör iletime geçer ve kondansatör

tekrar boşalmaya başlar. Bu olaylar sürekli bir şekilde olduğundan çıkıştan sürekli bir kare dalga elde edilir. Kare dalganın düşük seviyesi kondansatörün 2/3V_{CC}'den 1/3V_{CC} değerine kadar boşalması sırasında geçen süre uzunluğundadır. Yüksek seviyesi ise kondansatörün 1/3V_{CC}'den 2/3V_{CC} değerine kadar dolması sırasında geçen süre uzunluğundadır. Yüksek seviye ile düşük seviye eşit değildir. Eşit olabilmesi için R_1 direncinin mümkün olduğu kadar küçük seçilmesi gerekir.



ŞEKİL-2.8 555'in kare dalga üreteci olarak kullanılması.

Yaklaşık olarak üretecin frekansı;

$$f = \frac{1.44}{(R_1 + 2R_2)C}$$

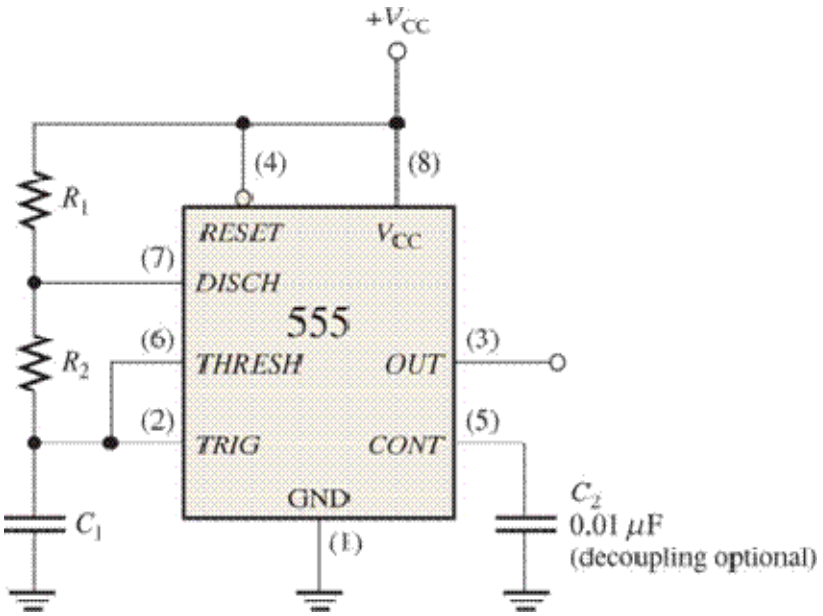
formülü ile hesaplanabilir. Kondansatör dolduğu sırada zamanlayıcı çıkışı yüksek seviyede olduğuna göre yüksek seviyede kaldığı süre (t_H);

$$t_H \cong 0.7(R_1 + R_2)C$$

Kondansatör boşalma sırasında zamanlayıcı çıkışı düşük seviyede olduğuna göre düşük seviyede kaldığı süre (t_L);

$$t_L \cong 0.7R_2C$$

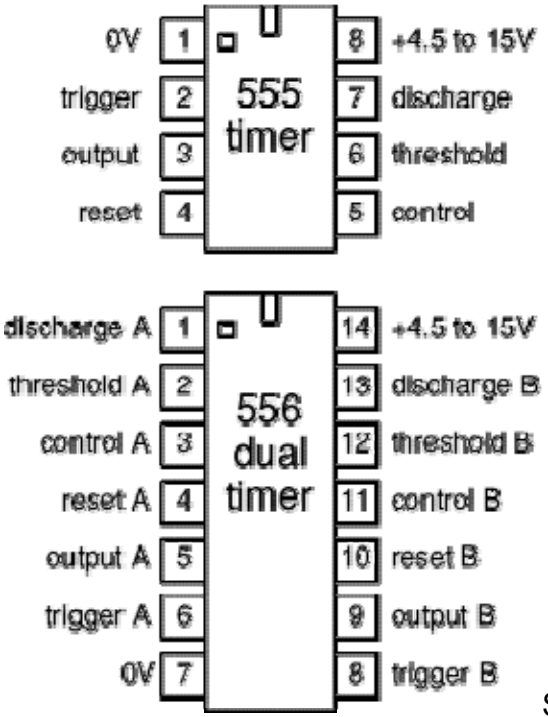
Şekil-4.9'da 555'in kararsız modda (kare dalga üreteci) olarak çalıştırılması için gerekli bağlantılar gösterilmiştir.



ŞEKİL-2.9 555'in kare dalga üreteci olarak kullanılması.

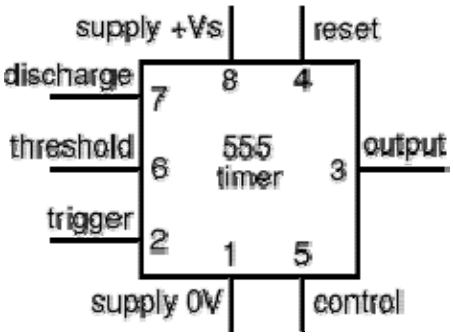
Kare dalga üreteçlerinde genellikle t_H ve t_L sürelerinin eşit olması istenir. Eşit yapmak için R_1 mümkün olduğu kadar küçük seçilmelidir. Bu süreleri eşit yapabilmek için R_2 direnci uçlarına dolma akımını üzerinden geçmesine izin verecek şekilde diyot bağlanır ve her iki direncin değeri eşit seçilir.

555 zamanlayıcının kullanılacağı zaman NE555 en çok kullanılan ve uygun olan tümdevredir (Şekil-4.10). 556 ise, 14-pin pakette aynı güç kaynağı bacaklarını paylaşan iki adet 555 içeren tümdevredir.



ŞEKİL-2.10 555 ve 556 tümdevreleri

Şekil-4.11'de devre simgesi verilen 555 ve 556 4.5 ile 15V arası (maksimum 18V) besleme gerilimi (Vs) ile çalışır.



ŞEKİL-2.11 555'in örnek devre simgesi

Standart 555 ve 556 TD'lerin çıkışı durum değiştirirken güç kaynağında önemli bir bozulma yaratır. Başka TD'lerin kullanılmadığı basit devrelerde bu nadiren bir sorun yaratır, fakat daha karmaşık devrelerde +Vs ve 0V arasına bir **filtre kondansatörü** (örn. 100µF) bağlanmalıdır.

555/556'nın Girişleri

Tetikleme(Trigger) girişi: Bu giriş < 1/3 Vs olduğunda ('etkin düşük') çıkışı "YÜKSEK" yapar (+Vs). Kararsız devrede zamanlama kondansatörünün deşarjını denetler. Yüksek bir giriş empedansı vardır: > 2MΩ.

Eşik (Threshold) girişi: Bu giriş > 2/3 Vs olduğunda ('etkin yüksek') çıkışı "DÜŞÜK" yapar (0V). Kararsız ve tek kararlı devrelerde zamanlama kondansatörünün şarjını denetler. Yüksek bir giriş empedansı vardır: > 10MΩ.

Reset girişi: Yaklaşık 0.7V'tan düşük olduğunda ('etkin düşük') diğer girişlere baskın gelerek çıkışı "DÜŞÜK" yapar (0V). Gerek duyulmadığında +Vs'ye bağlanmalıdır. Yaklaşık 10kΩ'luk giriş direnci vardır.

Kontrol girişi: Eşik gerilimini içeriden 2/3 Vs'ye ayarlamak için kullanılabilir. Genellikle bu fonksiyon gerekli değildir ve elektriksel gürültüden korunmak için kontrol girişi 0.01µF'lık kondansatör ile şaseye bağlanır. Elektriksel gürültünün sorun olmadığı uygulamalarda bağlanmayabilir.

Deşarj bacağı bir giriş değildir. Zamanlayıcı çıkışı düşük olduğunda 0V'a bağlanır ve kararsız ve tek kararlı devrelerde zamanlama kondansatörünün deşarjı için kullanılır.

555/556'NIN ÇIKIŞI

Standart 555 veya 556'nın çıkışı 200mA'e kadar olan akımları geçirebilir. Bu değer LED'ler (seri direnç ile), düşük akımlı lambalar, piezo transdüserler, hoparlörler (seri kondansatör ile), röle bobinler (diyot koruması ile) ve bazı motorlar (diyot koruması ile) çok sayıda elemanı sürmeye yeterli ve çoğu TD'ninkinden daha fazladır. Çıkış

gerilimi, özellikle yüksek akım çekildiğinde, 0V ve +Vs'ye kadar ulaşmaz. Daha yüksek akımların anahtarlanması için bir transistör bağlanabilir.

Bir kararsız multivibratör sayıcılar, kayar yazaçlar gibi devrelere **saat sinyali** sağlamak için kullanılabilir.

20Hz ile 20kHz arası bir **ses frekansı** kararsız multivibratörler aracılığıyla üretilerek bir hoparlör veya piezo transdüserden elde edilebilir.

R2'ye paralel diyodun kullanıldığı kararsız multivibratör devresi

%50'den daha düşük görev süresini elde edilmesi Şekil-4.12'de görüldüğü şekilde R2'ye paralel bir diyot bağlanarak sağlanır. Çevrimin şarj süresi boyunca diyot R2'yi baypas ederek t_H'nin sadece R1 ve C1'e bağlı olarak değişmesini sağlar:

t_H = 0.7 × R1 × C1 (diyot üzerindeki 0.7V ihmal edilir)

t_L = 0.7 × R2 × C1 (değişmez)

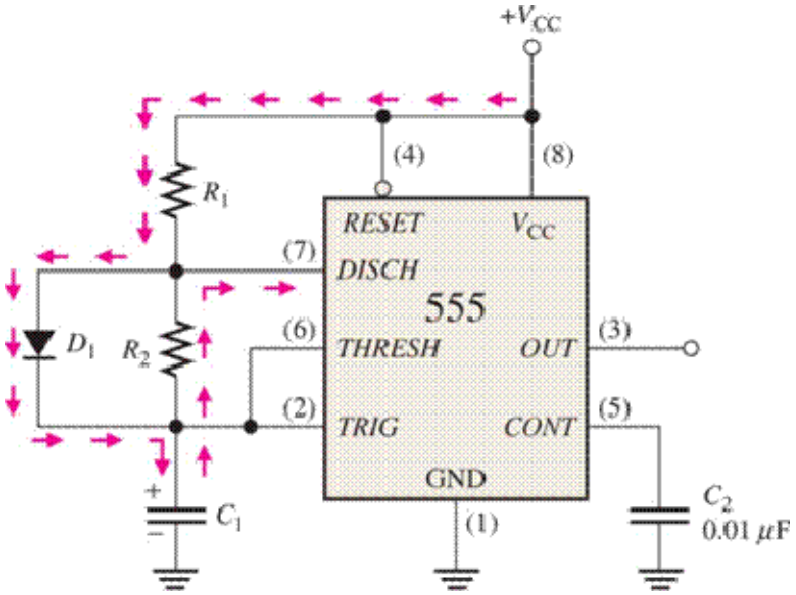
Yaklaşık olarak üretecin frekansı;

$$f = \frac{1.44}{(R_1 + R_2)C_1}$$

formülü ile hesaplanabilir. Görev süresi ise

$$\%D.C. = \frac{R_1}{R_1 + R_2}$$

olarak hesaplanır.



ŞEKİL-2.12 555'in %50'den düşük görev süreleri için baypas diyodu ile kullanımı

Baypas diyodu olarak 1N4148 gibi bir sinyal diyodu kullanılır.

ÜÇ-DURUMLU TAMPONLAR

Üç durumlu mantıkta üç düzey vardır: HI (“1”), LO (“0”) ve HE (açık devre-yüksek empedans). Üç-durumlu tampon İZİNlenince girişi çıkışına ulaşır. İZİN yokken çıkış ucu açık devredir. Üç-durumlu tampon-ÜÇ DURUMLU TUTUCU bilgisayarlarda iki-yönlü (bi-directional) ve çoğullanmış (multiplexed) yollarda çokça kullanılır. İki-yönlü yol, aynı iletim hattından ayrı zamanlarda ayrı yönlere veri iletebilmek için kullanılır. Çoğullanmış yol, birkaç bilgisayar aygıtının aynı yolu ortaklaşa kullanabilmesi (bir anda yalnız biri) için kullanılır. Üç-durumlu tamponun (Three State Buffer) birkaç çeşidi vardır. Tüm çeşitlerinin mantık simgeleri Şekil-4.13 ve 9.14’te gösterilmiştir. Doğruluk tabloları Tablo-9.1, 9.2, 9.3 ve 9.4’te verilmiştir.

Şekil-2.13 Terslemeyen çıkışlı DÜŞÜK seviye ve YÜKSEK seviye izinli üç durumlu tamponların mantık simgeleri.

Şekil-2.14 Tersleyen çıkışlı DÜŞÜK seviye ve YÜKSEK seviye izinli üç durumlu tamponların mantık simgeleri.

İZİN	GİRİŞ	ÇIKIŞ	YORUM
1	1	0	Girişin tersi çıkışa aktarılır.
1	0	1	Girişin tersi çıkışa aktarılır.
0	1	Y.E.	Çıkış açık devredir.
0	0	Y.E.	Çıkış açık devredir.

Tablo-2.1 İZİN girişi YÜKSEK seviyede etkin olan girişi tersleyen üç-durumlu tamponun doğruluk tablosu.

İZİN	GİRİŞ	ÇIKIŞ	YORUM
0	1	0	Girişin tersi çıkışa aktarılır.
0	0	1	Girişin tersi çıkışa aktarılır.
1	1	Y.E.	Çıkış açık devredir.
1	0	Y.E.	Çıkış açık devredir.

Tablo-2.2 İZİN girişi DÜŞÜK seviyede etkin olan girişi tersleyen üç-durumlu tamponun doğruluk tablosu.

İZİN	GİRİŞ	ÇIKIŞ	YORUM
1	1	1	Giriş aynen çıkışa aktarılır.
1	0	0	Giriş aynen çıkışa aktarılır.
0	1	Y.E.	Çıkış açık devredir.
0	0	Y.E.	Çıkış açık devredir.

Tablo-2.3 İZİN girişi YÜKSEK seviyede etkin olan girişi terslemeyen üç-durumlu tamponun doğruluk tablosu.

Verilen doğruluk tablolarından da görüldüğü gibi, İZİN girişi etkin kılınınca girişteki bilgi (boncuk varsa tümlenerek) çıkışa ulaşmaktadır. ÜÇ DURUMLU TUTUCUlar bilgisayar yollarında yaygın olarak kullanılmaktadırlar. Yol (bus), sayısal bilgilerin üzerinden iletildiği iletim hattıdır. Bilgisayar içinde veriler ve adresleri birimler arasında gerek duyuldukça alınıp, gönderilir. Bu iletim 8, 16 yada 32 bitlik paralel hatlar üzerinden yapılır ve aynı kablolar bilginin hem gönderilmesi hem de alınması için kullanılır.

İZİN	GİRİŞ	ÇIKIŞ	YORUM
0	1	1	Giriş aynen çıkışa aktarılır.
0	0	0	Giriş aynen çıkışa aktarılır.
1	1	Y.E.	Çıkış açık devredir.
1	0	Y.E.	Çıkış açık devredir.

Tablo-2-4 İZİN girişi DÜŞÜK seviyede etkin olan girişi terslemeyen üç-durumlu tamponun doğruluk tablosu.

İki türlü yol vardır: İki-yönlü ve çoğullanmış. İki-yönlü yollar verinin her iki yöne doğru akmasına izin verir. İki-yönlü bilgisayar yollarına en iyi örnek veri yoludur (data bus). Çevre aygıtlar (peripheral devices) bu yola veri yazarak MİBe (Merkezi İşlem Birimi-CPU-Central Processing Unit) veri gönderirler. MİB bu verileri gerektiği gibi işleyip gereksinen çevre aygıtlara yine aynı veri yolu üzerinden gönderir. MİBe veri gönderen çevre aygıtlar, RAM, ROM, klavye, floppy disk driver, hard disk driver, tape driver, modem, scanner, digitizer, mouse, lite pen, ve trackball olarak; işlemcinin veri yolladığı çevre aygıtlar da, tape, floppy & hard disk drivers, RAM, modem, lite pen, printer, plotter ve video card olarak sıralanabilir.

Çoğullanmış bir yolda veri yalnızca bir yönde akabilir ama birkaç ayrı birim aynı yola (tabii ki ayrı zamanlarda) veri yazabilirler. Çoğullanmış yol için örnek olarak adres yolunu verebiliriz. MİB bu yol üzerinden bütün adresli çevre aygıtlarına (bellekler) yazılacak ve/veya okunacak verilerin adreslerini iletir. Yolun çoğullanmasının temel amacı, MİBin adres çıkış iskelesinin elektriksel olarak yüklenmesini önlemektir. Zaten adres bilgilerinin tüm çevre birimlere ayrı ayrı gitmesi de istenmektedir, çünkü her birinin adres yapılandırması değişik olabilir.

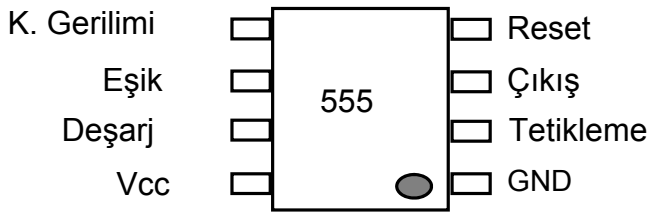
SORULAR

1. Kararsız durumda (osilatör olarak) çalışan 555 zamanlayıcısına bağlanan direnç ve kondansatör değerlerine göre frekansını hesaplayın.

a. $R_1 = 1k\Omega$, $R_2 = 2k\Omega$, $C = 0.01\ \mu F$

b. $R_1 = 2k\Omega$, $R_2 = 4k\Omega$, $C = 0.001\ \mu F$

2. 555 tüm devresini kullanarak $t_H/\ t_L$ oranı 0.8 , f=500kHz olan kararsız zamanlayıcı devresini 10nF, 1nF, 100nF'lık kondansatörlerden uygun olanı kullanarak tasarlayın. (Devresi çizilerek eleman değerleri devre üzerinde gösterilecek.)



BÖLÜM 3

SAYICILAR (COUNTERS)

Sayıcılar sayısal elektroniğin temel devreleridir. Sayıcılar istenilen aralıkta her saat darbesinde ileri veya geri doğru sayma yaparlar. Sayıcılar flip-flop kullanılarak yapılır, kullanılan flip-flop sayısı sayıcının sayma aralığını belirler. Örneğin 4 flip-flop kullanılırsa sayılacak durum sayısı 2^4'tür ve sayma aralığı 0000_2 - 1111_2'dir. Sayıcılar iki ana gruba ayrılır, eş zamansız anlamında asenkron ve eş zamanlı anlamında senkron. Asenkron sayıcılar aynı zamanda ripple (dalgacık) sayıcı olarak da adlandırılırlar.

ASENKRON SAYICILAR

Asenkronun kelime anlamı eş zamanda olmayan demektir. Sayıcılara bu adın verilmesinin sebebi ise, sayıcıyı oluşturan Flip-Flopların durum değiştirme anlarının birbirleri ile aynı olmayışıdır. Bu sayıcıları oluşturan Flip-Flopların saat girişleri aynı işaret ile tetiklenmez.

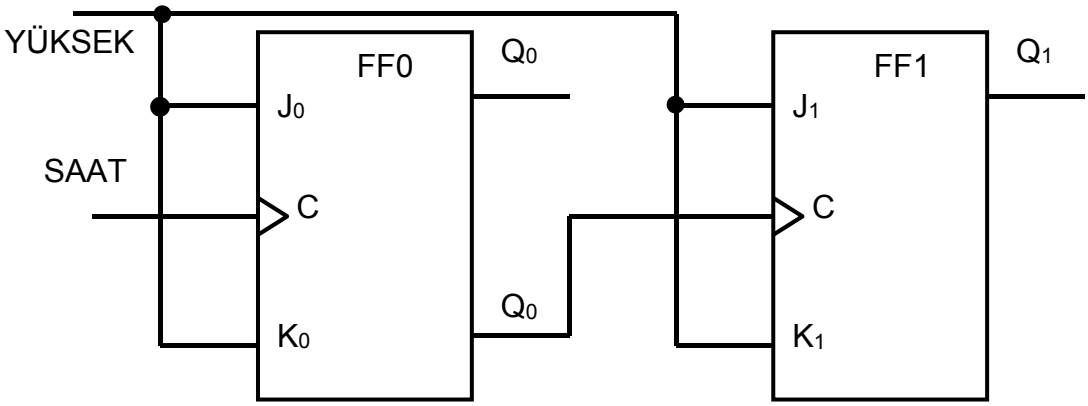
2 BİT ASENKRON SAYICI

Şekil-3.1'de 2 bit asenkron sayıcının bağlantısı verilmiştir. Saat işareti, bu işaret sayma hızını belirler, sadece FF0'ın saat girişine bağlanmıştır. FF1'nin saat girişine ise FF0'ın Q' çıkışı bağlanmıştır. Saat işaretinin yükselen kenarında FF0 tetiklenirken FF1 ise FF0'ın Q' çıkışında oluşan yükselen kenar ile tetiklenerek durum değiştirir. FF0 tetiklendikten belirli bir süre sonra ve sadece yükselen kenarlarda, o da ancak iki saat işaretinde bir gerçekleşir, girişe gelen saat işareti yayılma gecikmesi kadar geç çıkışa ulaştığından dolayı aynı anda tetikleme hiçbir zaman gerçekleşmez.

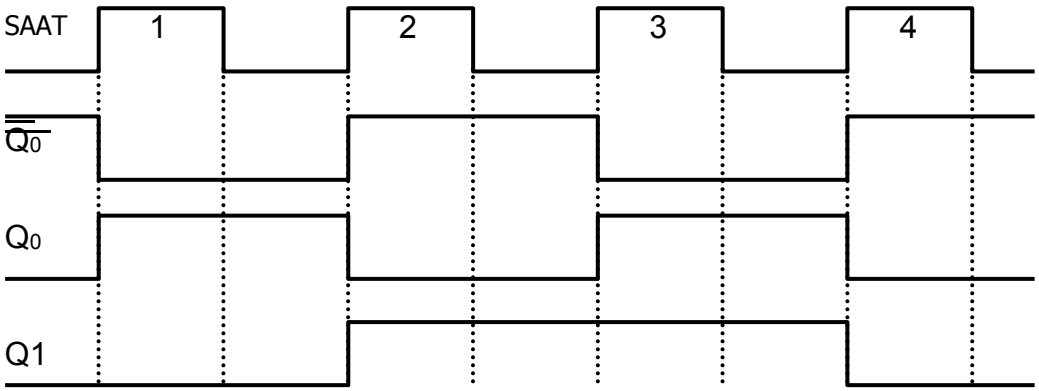
Şekil-3.2'de sayıcının zamanlama diyagramı verilmiştir. Birinci saat vurusunda FF0 yükselen kenar ile tetiklenmiştir. Q çıkışı düşükten yükseğe geçerken Q' çıkışında bir düşen kenar oluşmuştur. FF1 Q' yükselen kenarı ile tetiklendiğinden durum değiştirmemiştir. İkinci sat vurusunda FF0 durum değiştirmiştir, dolayısıyla Q' çıkışında bir yükselen kenar oluştuğundan FF1 tetiklenmiş ve durum değiştirmiştir. Üçüncü saat vurusunda FF0 yine durum değiştirir fakat Q' çıkışında düşen kenar oluştuğu için FF1'de durum değişikliği olmaz.

SAAT VURUSU	Q_1	Q_0
Başlangıç	0	0
1	0	1
2	1	0
3	1	1
4	0	0

Tablo-3.1 İki bit asenkron sayıcının durum değişimi.



Şekil-3.1 İki bit asenkron sayıcı.



Şekil-3.2 İki bit asenkron sayıcının zamanlama diyagramı.

Dördüncü ve son saat vurusunda ise FF0 durum değiştirir, Q' çıkışında oluşan yükselen kenar FF1'in durun değiştirmesine neden olur. Sayıcının saat vurularına göre durum değiştirmesi Tablo-3.1'de verilmiştir.Sayıcı iki bit olduğu için çıkışların alabileceği durum sayısı dörttür, beşinci çevrimde başlangıç değerine geri dönecektir. Q_1 YÜKSEK değerlikli bit Q_0 ise DÜŞÜK değerlikli biti gösterir.

3 BİT ASENKRON SAYICI

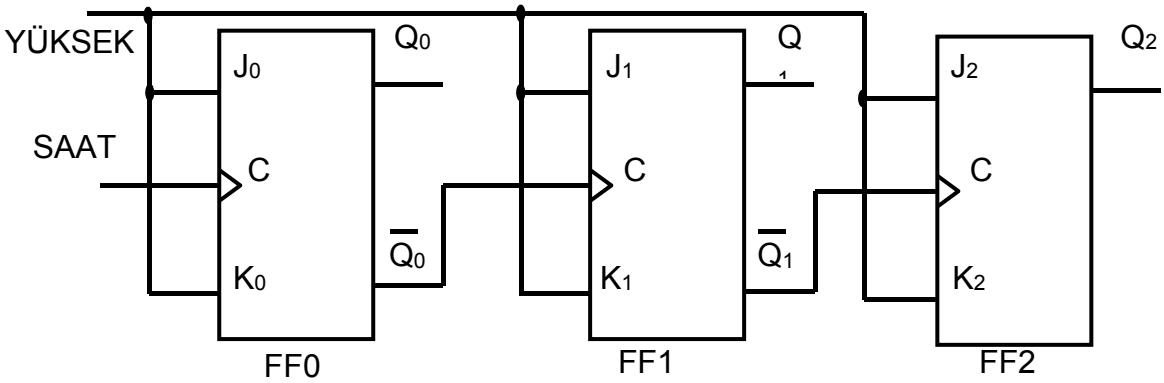
3 bit asenkron sayıcı bağlantısı Şekil-4.3(a)'da gösterilmiştir. 2 bit sayıcı ile aynı şekilde çalışır. Farklı olarak 8 çıkış durumu vardır, bir çevrimi 8 makine vurusunda

tamamlayacaktır. Şekil-4.3(b)'de gösterilmiştir. 3 bit sayıcıda 8 çıkış durumu oluşacaktır, bu durumlar saat saykılına göre Tablo-3.2'de gösterilmiştir.

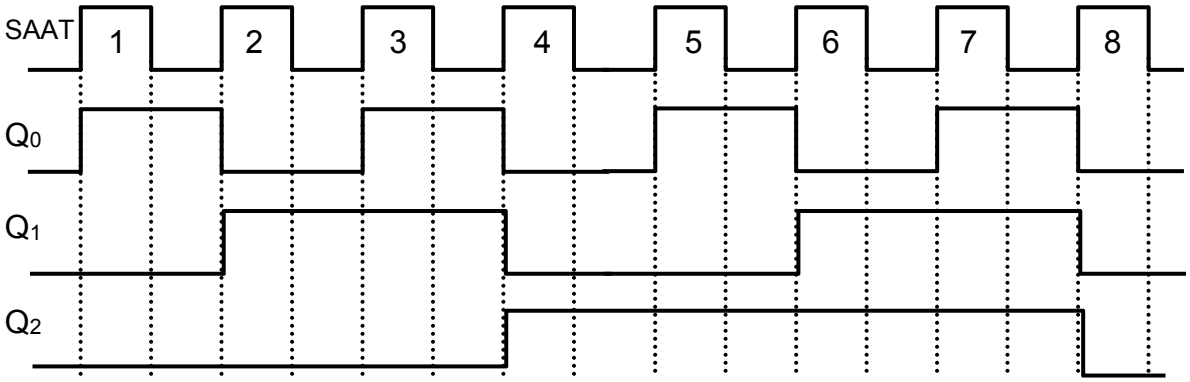
SAAT VURUSU	Q_2	Q_1	Q_0
Başlangıç	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

Tablo-3.2 3 bit asenkron sayıcının durum değişimi.

Daha önce bu sayıcıların diğer bir adının ripple sayıcı olduğunu söylemiştik. Bunun nedeni Şekil-3.4'te gösterilmiştir. Birinci saat vurusunda sadece Q_0 çıkışında saat işaretine göre bir gecikme olacaktır. Diğer çıkışlarda ise değişme olmadığı için gecikme olmayacaktır. İkinci saat vurusunda Q_0 çıkışında bir gecikme olacak, aynı zamanda Q_0' ile Q_1 arasında bir gecikme oluşacaktır. Dördüncü saat vurusunda Q_2 çıkışı da Q_1'e göre gecikecektir. Sonuç olarak çıkışlar aynı ayda oluşmayacak her çıkış bir DÜŞÜK değerli çıkışın durum değiştirmesini bekleyecektir. Sonucun bu şekilde dalgalar halinde gerçek değerini almasından dolayı bu sayıcılara dalgacık anlamına gelen ripple adı verilmiştir. Bu gecikmeler hızlı çalışan sayısal dizgelerde sorun olabilir.

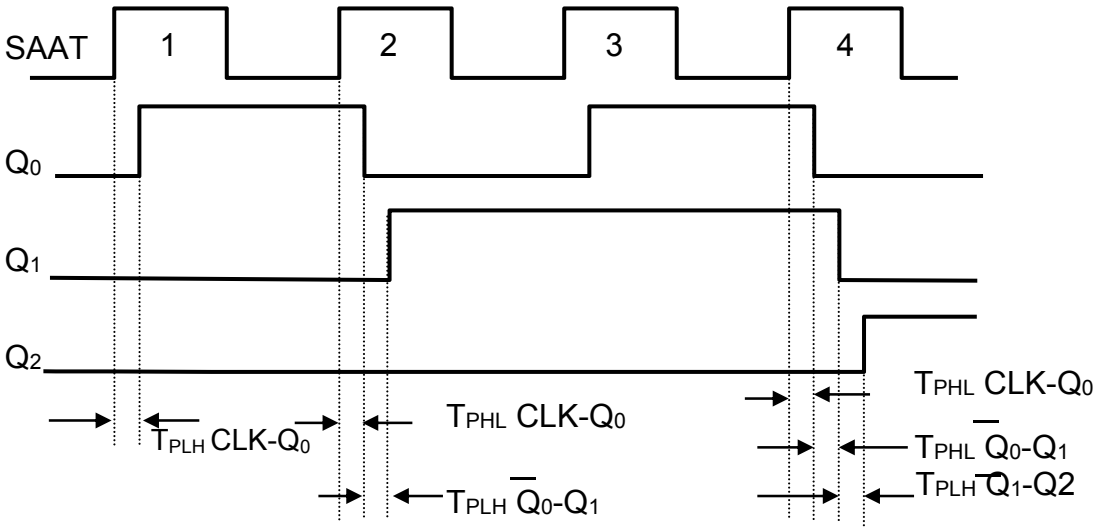


(a)



(b)

Şekil-3.3 3 bit asenkron sayıcı bağlantısı ve zamanlana diyagramı.

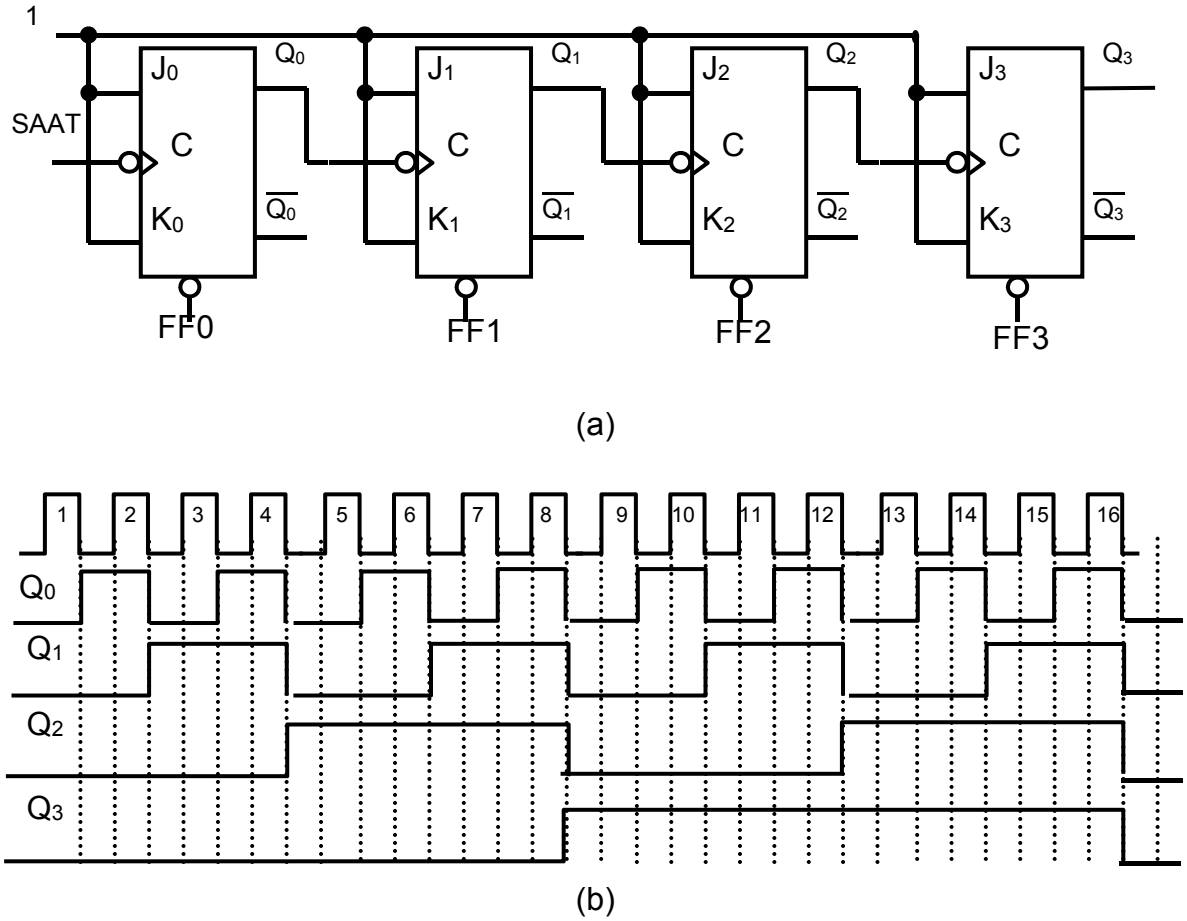


Şekil-3.4 3 bit asenkron sayıcının yayılma gecikmesi.

ÖRNEK 1

ŞEKİL-3.5'de 4 bit asenkron sayıcı bağlantısı verilmiştir. Her flip-flop düşen kenar tetiklidir ve yayılma gecikmesi süresi 10ns'dir. Her flip-flopun Q çıkışını saat vurusuna göre değişimini gösteren zamanlama diyagramını çizin. Toplam gecikmeyi hesaplayın.

Çözüm:

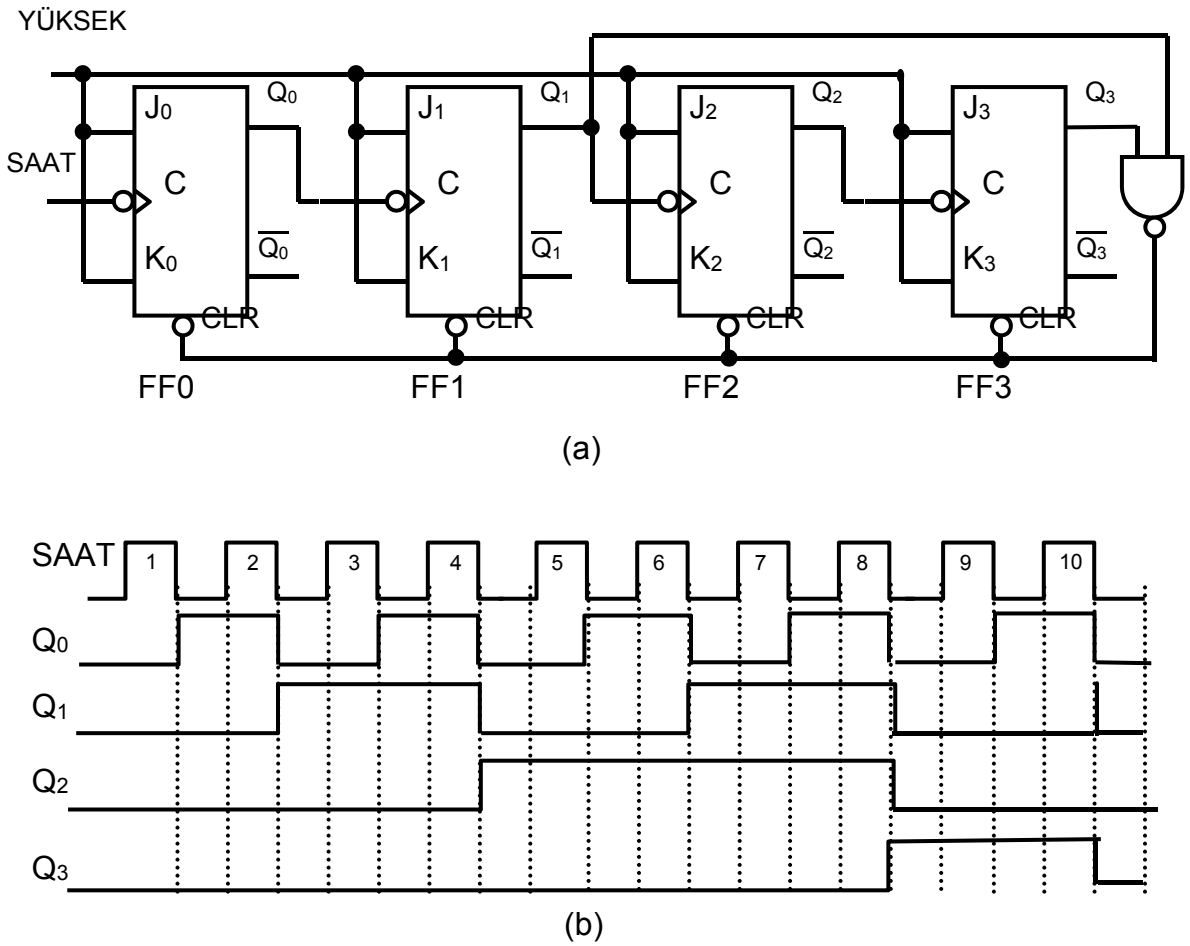


Şekil-3.5 4 bit asenkron sayıcı (a) bağlantısı, (b) zamanlana diyagramı.

T_p=ax10 ns =40ns

ASENKRON ONLUK SAYICI

İkilik sayıcılar olası tüm durumları verilen saat vurularına göre çıkışlarında oluştururlar. Bu tür sayıcılarda maksimum durum sayısı 2^n formülü ile hesaplanabilir, burada *n* flip-flop adedidir. Maksimum durumundan daha az sayan sayıcı tasarlanabilir. Günlük yaşamda kullanılan sayı sistemi olan onluk saymayı yaptırmak için mod 10 sayan sayıcı tasarlanabilir. Genel mantığı, bu çıkış durumu algılandığında flip-flopların asenkron girişlerine etkin seviye uygulanarak çıkışlar ya sıfırlanır veya birlenir. Sıralı 10 kesen asenkron sayıcılara ***onluk sayıcı*** (decade counter) adı verilir. Onluk sayıcı çıkışlarında 1010 durumunu algılayınca flip-flopun CLR girişlerine bir sıfır seviye uygulanarak sayma işlemi başlangıç durumuna getirilir. 10'da kesme yapabilmek için Q_1 ve Q_3 çıkışlarının her ikisinin birden bir olduğu durum bir VED geçidi ile gözlenir. Bu durum geldiğinde VED geçidi çıkışı "0" olur ve bu sıfır Flip-Flopların CLR girişlerine uygulanarak tüm Q çıkışları sıfırlanır. Sayma işlemi bir sonraki saat vurusunda tekrar başlar. Çıkışlarda 1010 (on) durumu çok kısa süreli oluşur. Q_1 çıkışı bu durumda sıfırdan bir seviyesine çıktığından bu çıkışta çok kısa süreli iğne dalgacık oluşur. Şekil-4.6'da onluk asenkron sayıcının bağlantısı ve zamanlama diyagramı verilmiştir.



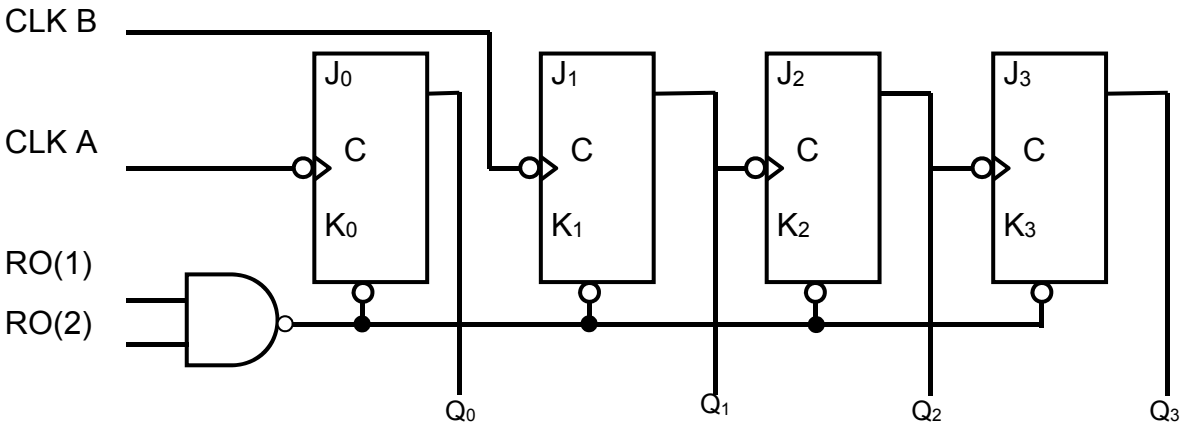
Şekil-3.6 4 bit asenkron sayıcı (a) bağlantısı, (b) zamanlana diyagramı.

İKİLİK ASENKRON SAYICI TÜMDEVRESİ

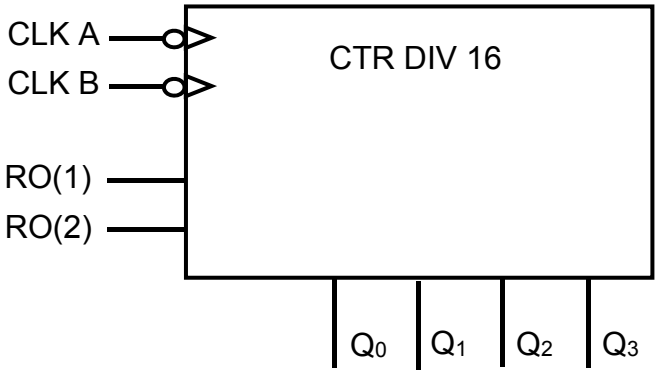
Genel formülünü yazacak olursak n adet flip-flop kullanıldığında saydığı durum sayısı 2^n saydığı en yüksek sayı ise 2^{n-1} 'dir. Şekil-4.1'deki devrede J-K flip-floplar kullanılarak gerçekleştirilmiş 4 bit sayıcı devresi gösterilmiştir. 4 flip-flop kullanıldığına göre saydığı durum sayısı 2^4=16'dır, sayma aralığı 0000_2-1111_2'dir. Asenkron sayıcılarda sadece ilk flip-flop girişine saat darbesi dışarıdan uygulanır, diğerlerinin saat girişlerine bir önceki flip-flopların çıkışları uygulanır. Tüm J-K girişleri YÜKSEK seviyede tutulur. Şekil-3.7'de ikilik yukarı doğru sayan asenkron sayıcının şekli görülmektedir. İkilik sayıcılar flip-floplar kullanılarak yapılabileceği gibi bu işlemi yapan tümdevreler de vardır. Dışarıdan yapılan birkaç bağlantı ile istenilen nitelikte sayıcı bu tümdevreler kullanılarak elde edilebilir.

ŞEKİL-3.8'de deney setinde kullanılan 7493 tümdevresinin bacak bağlantısı verilmiştir. Bu tümdevre içerisinde dört adet J-K flip-flop vardır, bu flip-flopların üç tanesi asenkron sayıcı olarak içeriden bağlantıları yapılmıştır. Diğer flip-flop ise tek başına kullanılabilecek şekilde diğerlerinden bağımsızdır. 7493 tümdevresinin iç bağlantısı ŞEKİL-10.9'da gösterilmiştir. Şekilden de anlaşılacağı gibi bu tümdevre 3 bit veya 4 bit ikilik asenkron sayıcı olarak kullanılabilir. 3 bitlik sayıcı olarak

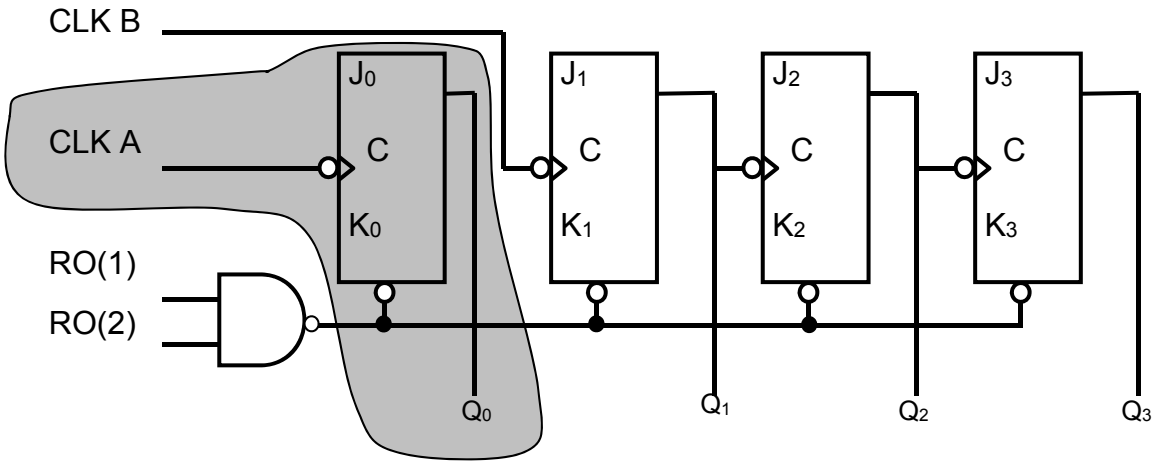
kullanıldığında CLKB girişi saat girişi olarak kullanılacaktır. 4 bitlik sayıcı olarak kullanılırken saat girişi olarak CLKA kullanılacak ve CLKB girişi QA çıkışına bağlanacaktır.



Şekil-3.7 4-bit yukarı doğru sayan asenkron sayıcı.

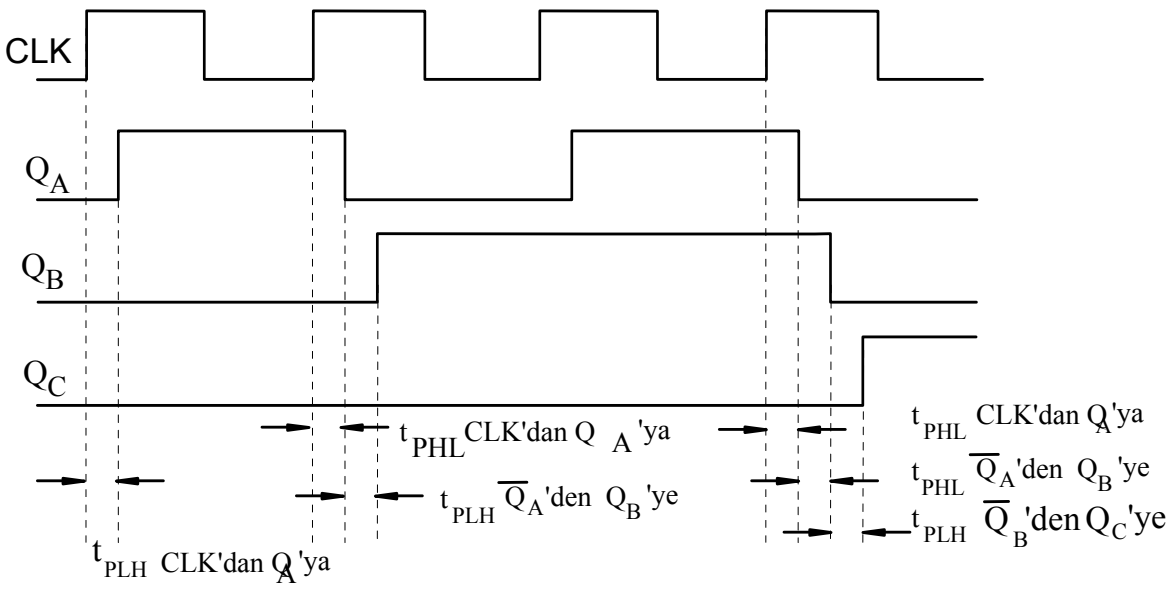


Şekil-3.8 7493 asenkron sayıcının mantık simgesi.



Şekil-3.9 7493'ün 3 bit sayıcı bağlantısı.

Asenkron sayıcıların tasarımı kolaydır ve özel durumlar istenmediğinde dışarıdan başka eleman bağlamak gerekmez. Asenkron sayıcılarda girişten uygulanan saat işareti önce FF0'a sonra FF1'e ve sonra FF2'ye ulaşır. Girişten verilen saat işaretinin çıkıştan elde edilmesi için 4 saat işaretine gerek vardır. Giriş işaretinin dalgalar halinde çıkışa iletilmesinden dolayı bu tür sayıcılara *Ripple sayıcılar* adı da verilir. Bir öncekinin çıkışı bir sonrakinin saat girişi olduğu için giriş ile çıkış arasında propagasyon (yayılma) gecikmeleri toplanarak en son çıkışa aktarılacaktır. FF1 saat vuruşunun tetikleme kenarı ile durum değiştirirken FF3 tetikleme kenarında hemen durum değiştirmeyecek belirli bir gecikme sonunda durum değiştirecektir. Şekil-3.9'da 7493 tümdevresinin 3 bit asenkron sayıcı olarak bağlantısı verilmiş ve Şekil-3.10'da ise bu sayıcıya ait çıkış dalga şekilleri gösterilmiştir. (Gecikmeler olayın anlaşılabilmesi için biraz fazla gösterilmiştir.)

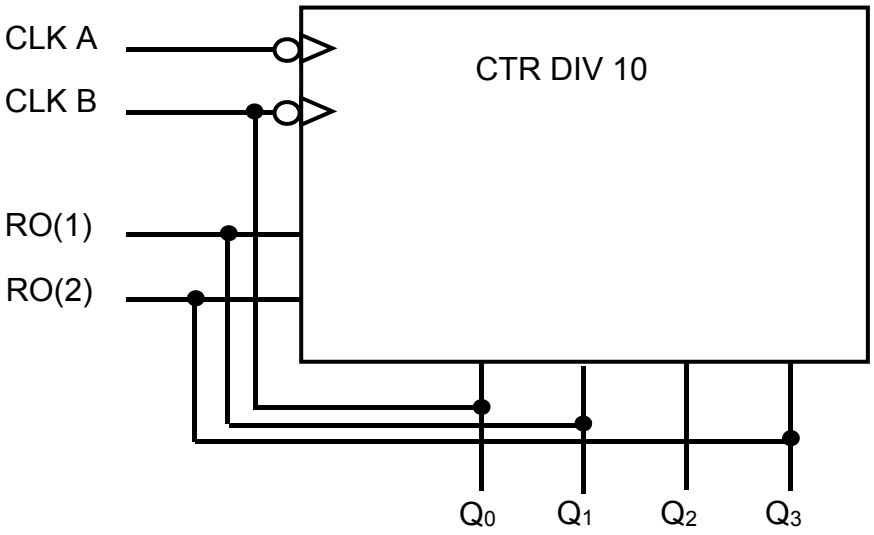


Şekil-3.10 3 bit asenkron sayıcı devresi ve çıkış dalga şekilleri.

7493'ün RO(1), RO(2) girişleri kullanılarak dışarıdan herhangi bir geçit bağlantısına gerek duymadan istenilen modda sayıcı elde edilebilir. Fakat 3 adetten veya daha fazla YÜKSEK seviye çıkışını denetlemek isterseniz bu modu gerçekleyemezsiniz. Örneğin 11, 13, 14 gibi.

SENKRON SAYICILAR

Senkron'un kelime anlamı aynı anda gerçekleşen veya eş zamanlı demektir. Sayıcılarda ise tüm Flip-Floplar aynı saat vurusu ile tetiklenir ve çıkışları durumlarını aynı anda değiştiriyorlarsa senkron sayıcı adı verilir.



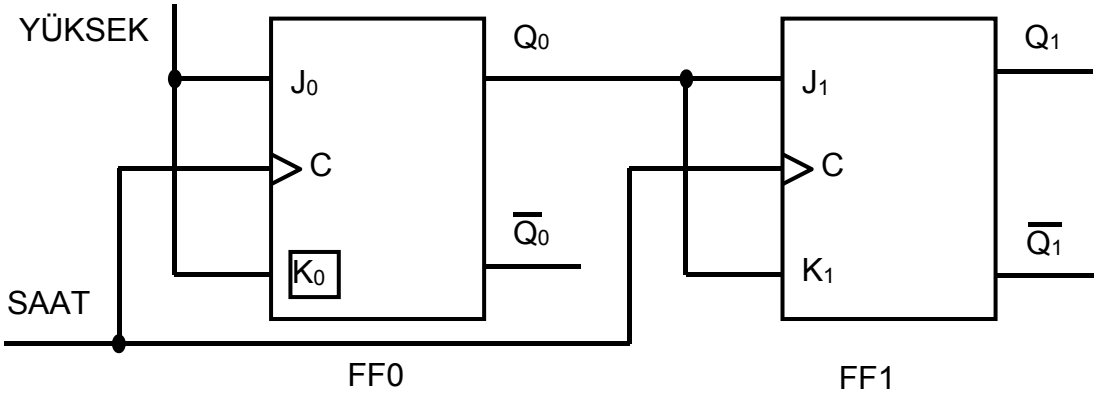
Şekil-3.11 7493'ün onluk sayıcı olarak kullanılması.

2 BİT SENKRON SAYICI

Şekil-3.12'de 2 bit senkron sayıcının Flip-Floplarla bağlantısı verilmiş-tir. Asenkron sayıcıdan farkı saat girişlerinin ortak kullanılmasıdır. Ayrıca Q_0 çıkışı J_1,K_1 girişlerine uygulanmıştır.

Başlangıç olarak her iki Flip-Flopun çıkışının sıfır durumunda olduğunu varsayalım. İlk saat vurusunda FF0 tümleyen modda çalışacak ve Q_0 YÜKSEK seviyeye gelecektir. FF1'de çıkışlar eski durumunu koruyacaktır. Çünkü saat vurusunun yükselen kenarı geldiğinde daha J_1 ve K_1 girişlerine DÜŞÜK seviye uygulanıyor olacaktır. Flip-Flopların yayılma gecikmesinden dolayı çıkışlarını saat vurusu geldikten belli bir süre sonra yenilediklerini hatırlayın. Saat vurusu 1'in sonunda Q_0=1 ve Q_1=0 olacaktır, bu da ikilik 1 sayısını gösterir.

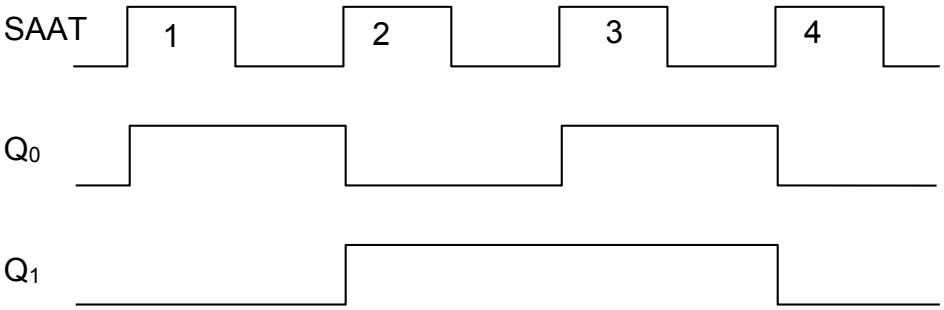
Saat vurusu 2 Flip-Floplara uygulandığında FF0 tümleyen modda çalışacak ve Q_0 düşük seviyeye gelecektir. FF1'de ise J_1 ve K_1 girişleri YÜKSEK seviye olduğundan tümleyen modda çalışacak ve Q_1 YÜKSEK seviyeye gelecektir. Saat vurusu 2'nin sonunda Q_0=0 ve Q_1=1 olacaktır, bu da ikilik 2 sayısını gösterir.



Şekil-3.12'de 2 bit senkron sayıcı

Saat vurusu 3 Flip-Floplara uygulandığında FF0 tümleyen modda çalışacak ve Q_0 YÜKSEK seviyeye gelecektir. FF1'de ise J_1 ve K_1 girişleri DÜŞÜK seviye olduğundan çıkış eski durumunu korur ve Q_1 YÜKSEK seviyeye kalır. Saat vurusu 2'nin sonunda Q_0=1 ve Q_1=1 olacaktır, bu da ikilik 3 sayısını gösterir.

Saat vurusu 4 Flip-Floplara uygulandığında FF0 tümleyen modda çalışacak ve Q_0 düşük seviyeye gelecektir. FF1'de ise J_1 ve K_1 girişleri YÜKSEK seviye olduğundan tümleyen modda çalışacak ve Q_1 DÜŞÜK seviyeye gelecektir. Saat vurusu 2'nin sonunda Q_0=0 ve Q_1=0 olacaktır, bu da ikilik 0 sayısını gösterir. 4 saat vurusu sonunda sayıcı başlangıç konumuna geri dönecektir. Şekil-4.13'de zamanlama diyagramı verilmiştir.



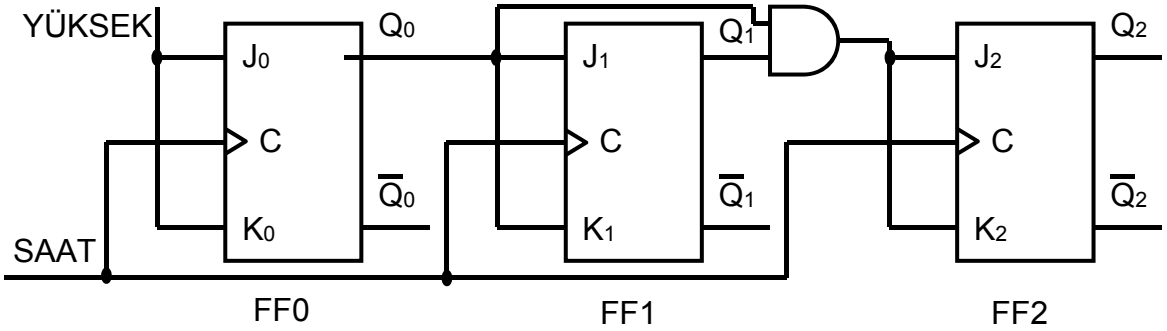
Şekil-3.13 2 bit senkron sayıcı zamanlama diyagramı

Senkron sayıcılarda yayılma gecikmesi asenkron sayıcılarda olduğu gibi YÜKSEK değerlikli bitlere doğru gidildiğinde artmayacaktır. Her çıkışın yayılma gecikmesi sabit olacaktır.

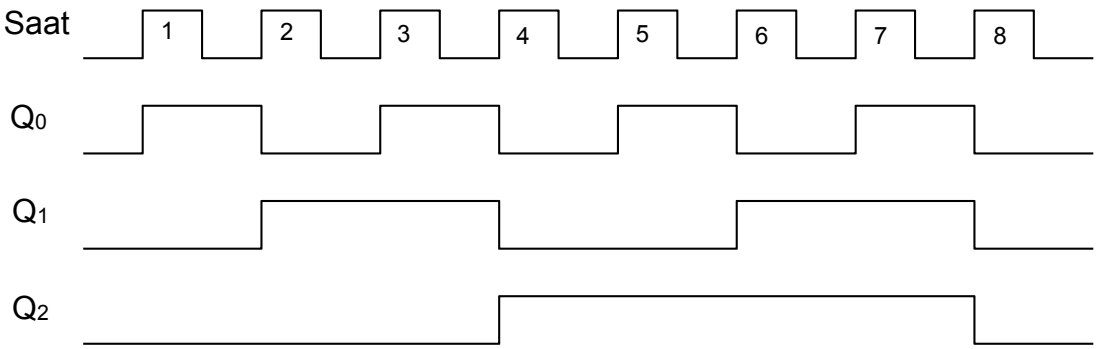
3 BİT SENKRON SAYICI

3 bit senkron sayıcı bağlantısı Şekil-4.14'te zamanlama diyagramı ise Şekil-3.15'te verilmiştir. Çalışmasını anlamak için her saat vurusuna göre çıkışların değişimini incelemek gerekir. 3 bit sayıcının çıkışlarının her saat vurusuna göre değişimi Tablo-10.3'te verilmiştir. Öncelikle Q_0'a bakalım, bu çıkış başlangıç durumunda başlayarak her saat vurusunda durum değiştiriyor. Bu çıkışı elde edebilmek için FF0'ın tümleyen kipte tutulması gerekir. Bunun için de J_0 ve K_0 sürekli YÜKSEK seviyede

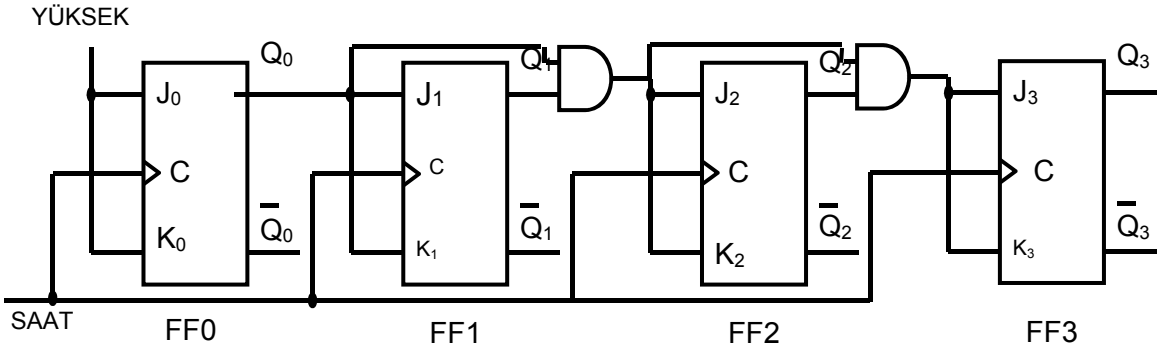
tutulmalıdır. Q_1 çıkışı ise Q_0'ın YÜKSEK olmasını takip eden saat vurularında durum değiştirir. Durum değiştirme 2, 4,6,8, nolu saat vurularında gerçekleşir. Bu değişimi sağlamak için J_1 ve K_1 girişlerine Q_0 bağlanır. Q_0=1 ve saat vurusunun yükselen kenarı geldiğinde FF1 tümleyen kipte çalışır. Q_2'ye bakacak olursak bu çıkış sadece Q_0 ve Q_1 çıkışlarının her ikisi birden YÜKSEK olduğunda durum değiştirmiştir. J_2 ve K_2 girişlerine bu iki çıkışın VE'lenmiş hali uygulanmalıdır. Ne zamanki Q_0 ve Q_1 çıkışlarının her ikisi birden YÜKSEK olursa VE geçidi çıkışı 1 olur ve bu 1 J_2 ve K_2 girişlerine uygulanarak FF2'nin tümleyen kipte çalışmasını sağlar. Çıkışlardan herhangi biri sıfır olduğunda J_2 ve K_2 girişlerine sıfır uygulandığından FF2 değişmez kipinde çalışacak ve Q_2 durum değiştirmeyecektir.



Şekil-3.14 3 bit senkron sayıcı



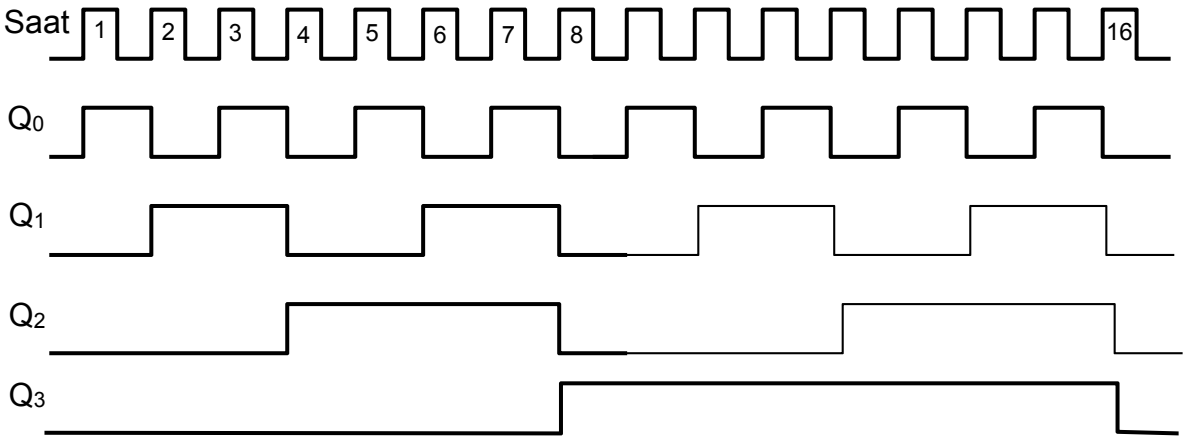
Şekil-3.15 3 bit senkron sayıcı zamanlama diyagramı.



Şekil-3.16 4 bit senkron sayıcı

4 BİT SENKRON SAYICI

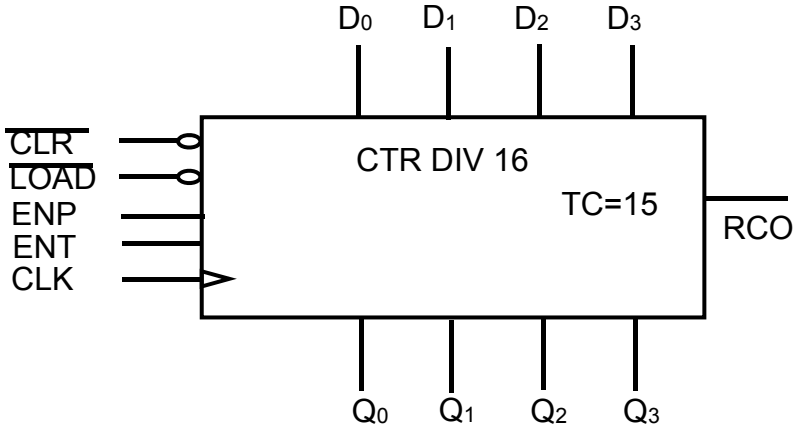
Şekil-4.16'da 4 bit senkron sayıcının bağlantısı, Şekil-4.17'de zamanlama diyagramı gösterilmiştir. İlk üç Flip-Flop da herhangi bir değişik bağlantı yoktur, 3 bit senkron sayıcı da olduğu gibi yapılmıştır. Dördüncü Flip-Flopta durum değişimi diğer üç Flip-Flopun çıkışları YÜKSEK olduğunda gerçekleşir. Q_0 Q_1 çıkışları VE'lenmişti. Bu geçidin çıkışını Q_2 ile VE'lediğimizde J_3 ve K_3 için gerekli olan YÜKSEK seviye elde edilir.



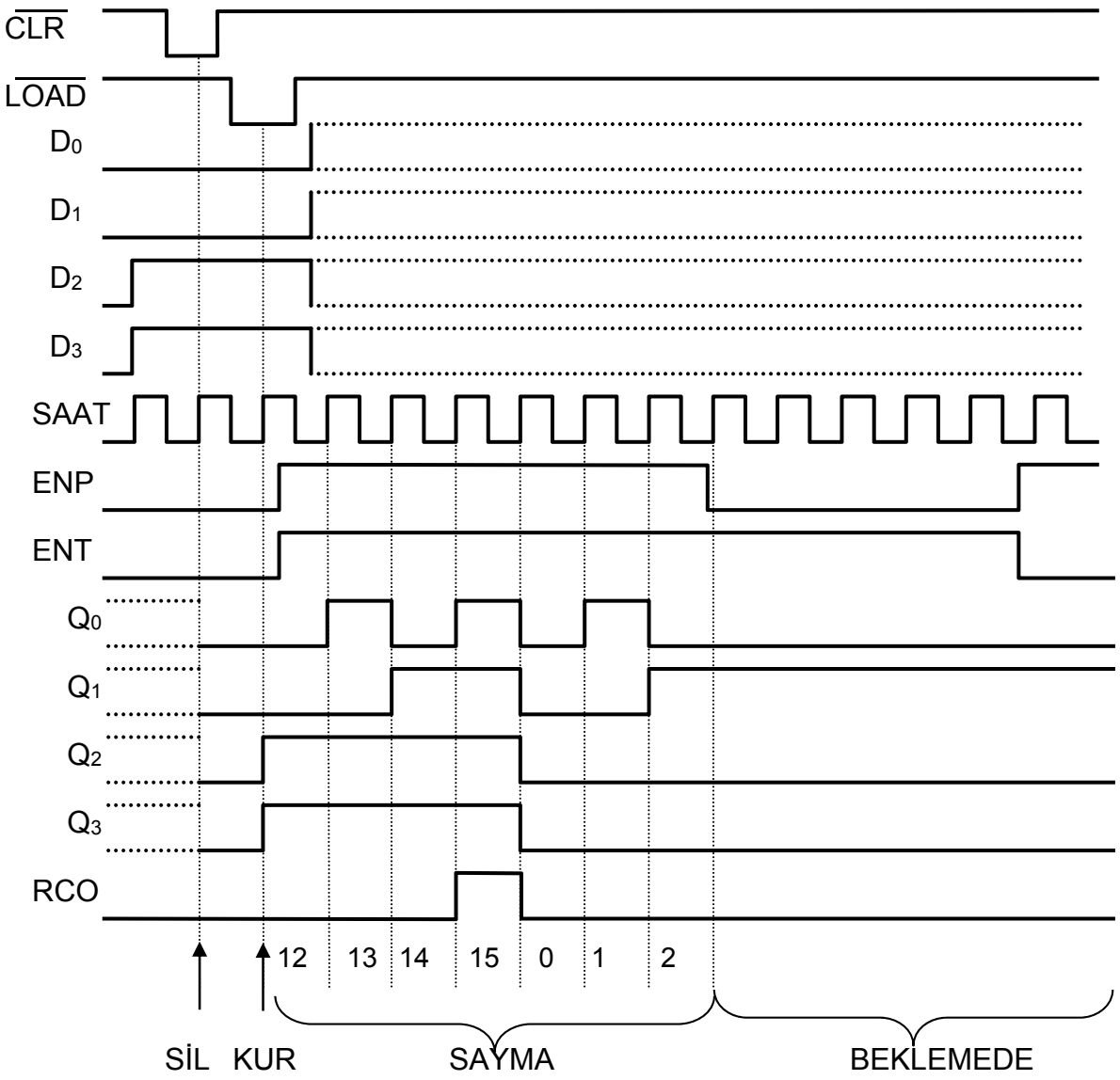
Şekil-3.17 4 bit senkron sayıcı zamanlama diyagramı.

74LS163A 4 BİT İKİLİK SENKRON SAYICI

74LS163A ikilik senkron sayıcı olarak üretilmiş bir tümdevredir. Bu tümdevre daha önce açıklanan senkron sayıcı özelliklerine ek olarak bir çok özelliğe sahiptir. Şekil-4.18'de mantık sembolü gösterilmiştir. Bunlardan bir tanesi sayıcı başlangıç değeri olarak sayıcının sayma aralığında herhangi bir sayıya ayarlanabilir. Bu işlem için paralel veri girişlerine istenilen sayı, LOAD girişine de bir DÜŞÜK seviye uygulanmalıdır. Bu işlem sonrası bir sonraki saat vurusunda girilen bu değer sayıcının çıkış durumu olacaktır.



Şekil-3.18 74LS163A'nın mantık gösterimi.



Şekil-3.19 74LS163A'nın çalışmasına bir örnek.

Aktif DÜŞÜK CLR girişi tüm Flip-Flopları sıfırlar. İki adet İZİN girişi, ENP ve ENT sayıcının normal sırada sayabilmesi için YÜKSEK'te tutulmalıdır. Kas kat bağlama sırasında bir üst basamağa izin vermek için bu İZİN girişleri kullanılacaktır. Ripple clock output (RCO) çıkışı ise sayma değeri en büyük duruma ulaştığında bir YÜKSEK seviyeli vuru üretir. Bu sayıcı için en büyük sayma durumu $(1111)_2$, yani onluk 15'tir.

YUKARI/AŞAĞI SENKRON SAYICILAR

Aşağı/yukarı sayıcılar belirlenen şekilde ileri ve geri doğru sayabilirler. Bazı kaynaklarda çift yönlü (bidirectional) sayıcı adı da verilir. Aşağı/yukarı sayıcıdan beklenen sayma durumunun her hangi birinde geri doğru sayabilmesidir. Aşağıda sayıcıdan beklenen davranış onlu sayılar ile örneklenmiştir.

YUKARI YUKARI

1,2,3,4,5,4,3,2,3,4,5,6,7,6,5, gibi

AŞAĞI AŞAĞI

Tablo-10.4'te 3 bitlik bit senkron aşağı/yukarı sayıcının tablosu verilmiştir. Oklar sayıcının bulunduğu durumdan verilen yöne göre hangi yöne doğru sayma yapacağını gösterir. Q_0 çıkışı incelendiğinde her iki yönde de FF0'ın tümleyen kipte çalışması gerektiği sonucu çıkmaktadır.

$J_0=K_0=1$

Yukarı doğru saymada Q_1 durumunu $Q_0=1$ durumunu takip eden saat vurularında değiştirir. Aşağı doğru saymada ise Q_1 durumunu $Q_0=0$ durumunu takip eden saat vurularında değiştirir. FF1'in J_1 ve K_1 girişleri aşağıdaki eşitliğe göre YÜKSEK olmalıdır.

Saat Vurusu	Yukarı	Q_2	Q_1	Q_0
0		0	0	0
1		0	0	1
2		0	1	0
3		0	1	1
4		1	0	0
5		1	0	1
6		1	1	0
7		1	1	1

Tablo-3.4

$$J_1 = K_1 = Q_0\overline{Q}_3$$

Yukarı doğru saymada Q_2 durumunu $Q_0= Q_1=1$ durumunu takip eden saat vurularında değiştirir. Aşağı doğru saymada ise Q_2 durumunu $Q_0= Q_1=0$ durumunu takip eden saat vurularında değiştirir. FF1'in J_1 ve K_1 girişleri aşağıdaki eşitliğe göre YÜKSEK olmalıdır.

$$J_2 = K_2 = Q_0Q_1$$

Bu eşitliklerden yola çıkarak 3 bit senkron yukarı/aşağı sayıcı devresi Şekil-4.20'de gösterilmiştir. Yukarı/aşağı girişi DÜŞÜK olduğunda aşağı, YÜKSEK olduğunda yukarı sayma yapacaktır.

$$J_3 = K_3 = Q_0Q_1Q_2 + Q_0Q_3$$

Örnek:

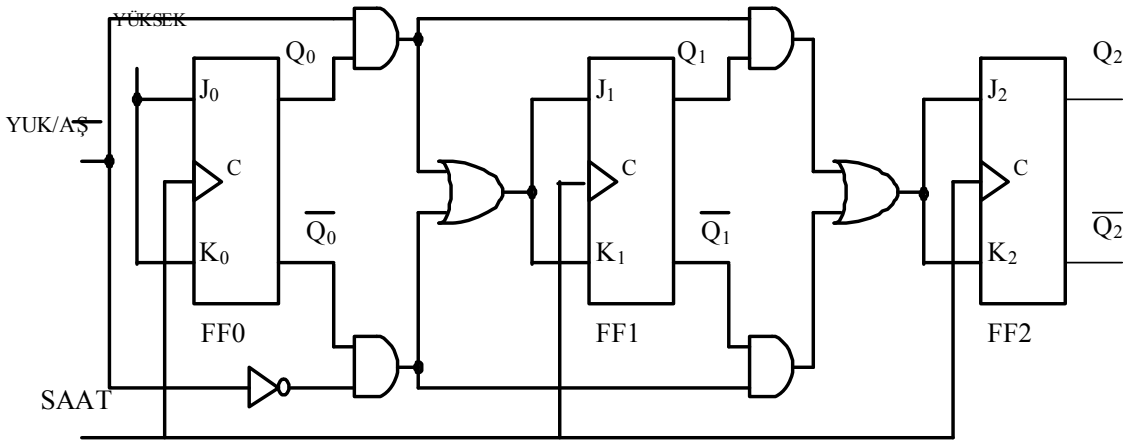
Şekil-4.21'de yukarı/aşağı ve saat işaretleri verilen 4 bit senkron yukarı/aşağı sayıcının çıkış dalga şekillerini ve durum değişim tablosu çizin. Sayıcı 0000 durumundan saymaya başlar ve Flip-Floplar yükselen kenar tetiklemelidir.

ÇÖZÜM:

Saat Vurusu	Q_3	Q_2	Q_1	Q_0
Başlangıçta	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	0	1	1
6	0	0	1	0
7	0	0	0	1
8	0	0	0	0
9	1	1	1	1
10	0	0	0	0
11	0	0	0	1

Tablo-3.5 Yukarı/aşağı sayıcının sayma adımları

4 bit senkron yukarı/aşağı sayıcının çıkış dalga şekilleri Şekil-4.21'de çizilmiştir. Sayıcının durum değiştirme tablosu Tablo-10.5'te gösterilmiştir.

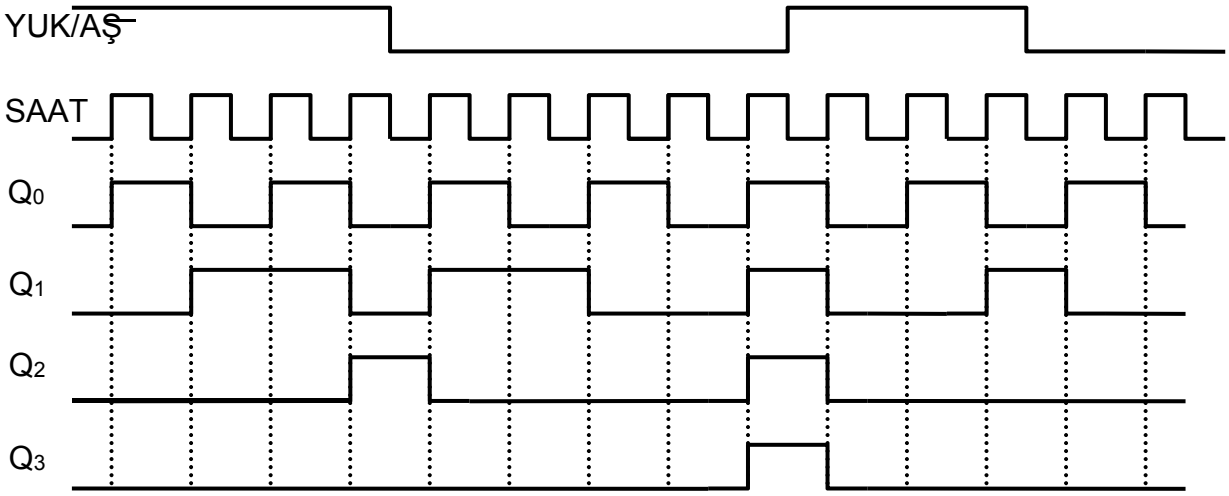


Şekil-3.20 Senkron Aşağı/Yukarı sayıcı

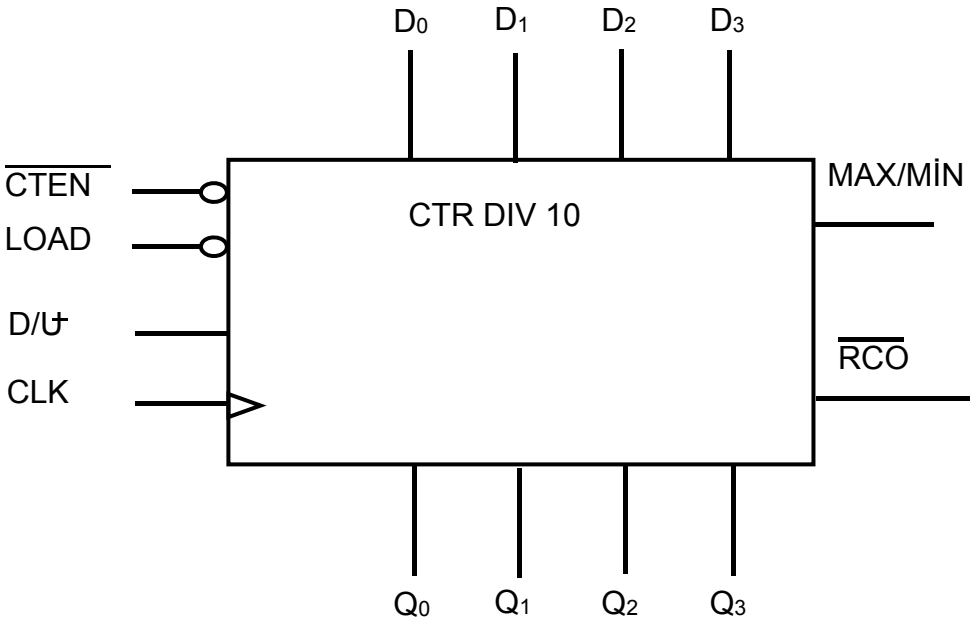
74190 YUKARI/AŞAĞI İKO (BCD) SAYICI

Bizler onluk sayı düzenini kullanmaya alışkın olduğumuzdan ikilik sayı düzenini kullanan sayısal devreler bu onluk sayıları ikilik düzene dönüştürüp işlemleri yaptıktan sonra yeniden onluk düzene çevirmek zorundadır. Onluk sayıları ikilik sayılara çevirmek için sayısal devrelerin en çok kullandığı kodlardan biri İkilik

Kodlanmış Onluk (İKO) [Binary Coded Decimal (BCD)] 'dir. Bir İKO sayıcı her saat darbesi ile İKO düzende sayma yapan bir devredir. Çıkışı İKO biçimindedir ve başka bir devre aracılığıyla sayısal formda kodlanması gerekir.



Şekil-3.21 4 Bit senkron yukarı/aşağı sayıcı.



Şekil-3.23 74LS190'ın mantık gösterimi.

74190 tümdevresi bir senkron yukarı/aşağı İKO (BCD) sayıcıdır.

A, B, C, D girişler: Sayıcıya LOAD ile bu girişlerdeki İKO sayı yüklenebilir ve sayma bu değerden başlar.

Q_A, Q_B, Q_C, Q_D çıkışlar: Sayma değerleri bu çıkışlardan alınır.

$\overline{CTEN}$ (CounTer ENable): Saymaya İZİN verme girişi, aktif-düşük seviyeli

$\overline{RCO}$ ***(Ripple Clock Output):*** Son sayma değerine ulaşıldığında DÜŞÜK seviyeye geçen bu çıkış $\overline{CTEN}$ girişi ve MAX/MIN çıkışı ile birlikte kaskat bağlantılar için kullanılmaktadır. Aktif-DÜŞÜK seviyelidir.

MAX/MIN: Yukarı sayma kipinde 9 (1001), aşağı sayma kipinde 0 (0000) sayma değerine ulaşıldığında bir YÜKSEK seviyeli vuru üreten çıkış.

D/$\overline{U}$: Yüksek seviyeli iken aşağı, düşük seviyeli iken yukarı sayma yaptıran denetim girişi.

CLK : Saat girişi

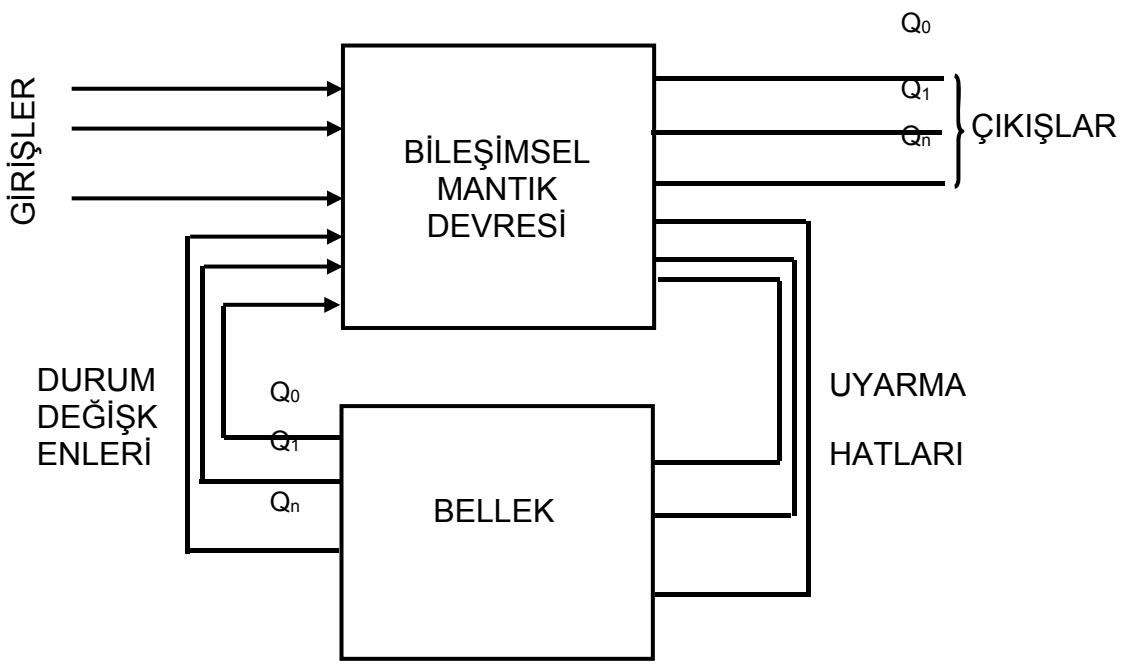
$\overline{LOAD}$ ***(YÜKLE):*** Düşük seviyeli olduğunda A-D arası girişlerdeki bilgiyi sayıcıya yükler.

NOT: 74190 tümdevresinin zamanlama grafiği için veri yapraklarına bakınız.

SENKRON SAYICI TASARIMI

SIRALI ARDIL (SEQUENTIAL) DEVRE MODELİ

Sıralı ardıl devre birleşimsel mantık devresi ve bellek kısmından oluşur. Sıralı ardıl devrenin saat girişi bellek kısmına uygulanır. Bir sonraki durumda gerekli sonuçlar bellek kısmında saklanır. Saklanan bilgiler ile girişe uygulanan işaretler birleşimsel mantık devresinde uygun mantık işlemine sokulur ve sonraki durum elde edilir. Saklanan duruma *şimdiki durum* mantık işlemi sonrası oluşan duruma ise *gelecek durum* adı verilir. Şekil-3.24'te ardıl devrenin blok bağlantısı verilmiştir.



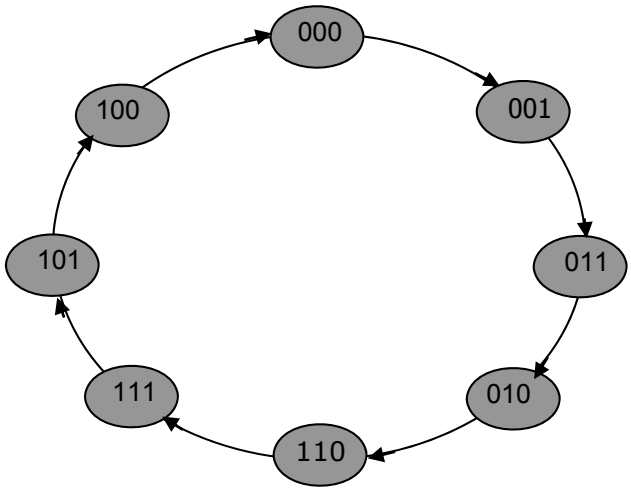
Şekil-3.24 Sıralı ardıl devre modeli.

Bu model tüm ardıl devrelerde geçerlidir. Sayıcılar ise ardıl devrelerin özel bir uygulamasıdır. Durumlarını saat işaretine göre değiştirirler. Şimdi senkron sayıcı tasarlamanın adımlarını öğrenelim.

Q_3	Q_2	Q_1	Q_0	
0	0	0	0	
0	0	0	1	
0	0	1	0	**Yukarı**
0	0	1	1	
0	1	0	0	
0	0	1	1	
0	0	1	0	
0	0	0	1	**Aşağı**
0	0	0	0	
1	1	1	1	
0	0	0	0	
0	0	0	1	**Yukarı**
0	0	1	0	
0	0	0	1	**Aşağı**
0	0	0	0	

Tablo-3.6

ADIM 1: DURUM DİYAGRAMININ ÇİZİMİ



Şekil-3.25 5 durum diyagramı.

Durum diyagramında sayıcının her saat vurusu geldiğinde ilerleyeceği durumlar sıra ile gösterilir. Şekil-3.25'te gram kodunda sayan sayıcının durum diyagramı gösterilmiştir. Bu devrenin saat vurusundan başka girişi, Flip-Flop çıkışlarından başka çıkışı yoktur.

ADIM 2: GELECEK DURUM TABLOSUNUN ELDE EDİLMESİ

Gelecek durum tablosu durum diyagramından elde edilir. Başlangıç değeri şimdiki değer olarak tablonun birinci satırına yazılır. Saat vurusu uygulandığında oluşacak durum gelecek durum olarak ikinci satıra yazılır. İkinci saat öncesi bu durum şimdiki durumdur, gelecek durum ise ikinci saat vurusu geldiğinde oluşacak durum olarak üçüncü satıra yazılır. Diğer satırlarda aynı mantığa göre düzenlenir.

ŞİMDİKİ DURUM			GELECEK DURUM		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0

Tablo-3.7 3 bit gram sayıcının gelecek durum tablosu

ADIM 3: GEÇİŞ TABLOSU

Tablo-10.8'de J-K Flip-Flopun geçiş tablosu verilmiştir. Devrelerin çalışması incelenirken giriş değerlerine göre çıkışı belirlenir. Sayıcı tasarımında çıkış bellidir. Bu çıkışın elde edilebilmesi ve sayma işleminin istenilen sırada olması için girişe verilmesi gerekli değerler belirsizdir. Flip-Flop geçiş tabloları kullanılarak giriş değerleri bulunur. Tabloda Q_N şimdiki çıkış durumunu, Q_{N+1} ise gelecek çıkış

durumunu gösterir. J ve K Flip-Flopun girişleri , X fark etmez durumları için kullanılmıştır.Tablo-10.7 ile Tablo-10.8 birleştirirsek her Flip-Flop için giriş J, K değerlerini belirleyebiliriz. Tablo-10.9 bu değerler verilmiştir.

Q_N	Q_{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

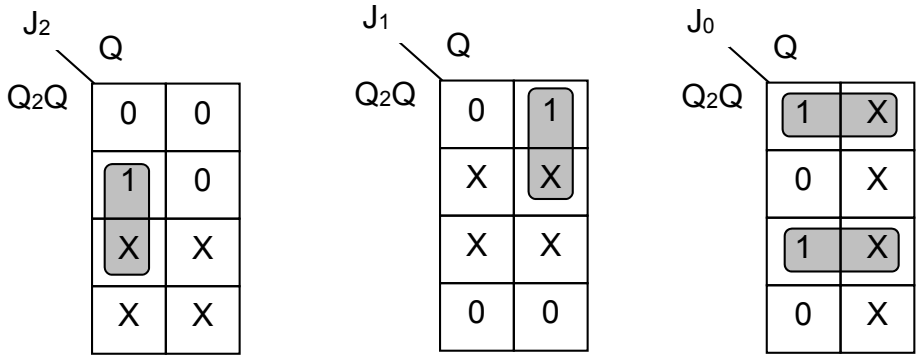
Tablo-3.8 J-K Flip-Flop geçiş tablosu

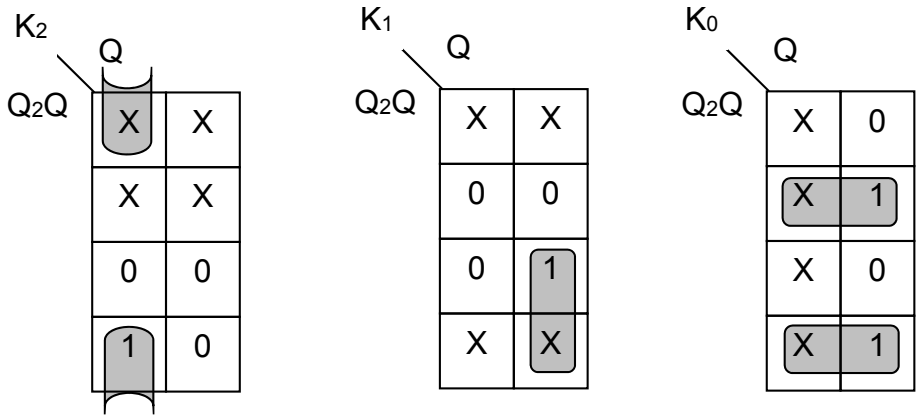
ŞİMDİKİ DURUM			GELECEK DURUM			FF2		FF1		FF0	
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	1	0	X	1	X	X	0
0	1	1	0	1	0	0	X	X	0	X	1
0	1	0	1	1	0	1	X	X	0	0	X
1	1	0	1	1	1	X	0	X	0	1	X
1	1	1	1	0	1	X	0	X	1	X	0
1	0	1	1	0	0	X	0	0	X	X	1
1	0	0	0	0	0	X	1	0	X	0	X

Tablo-3.9 Flip-Flop girişlerinin belirlenmesi

ADIM 4: KARNAUGH HARİTALARI

Her Flip-Flop J ve K girişlerinin en sade fonksiyonlarını Karnaugh haritası ile elde edebiliriz. Her giriş Karnaugh haritasına yerleştirildikten sonra en büyük gruplar seçilir ve en sade fonksiyonu yazılır. Şekil-4.26'da tüm Karnaugh haritaları ve gruplamalar gösterilmiştir.





Şekil-3.26 J, K girişleri işin Karnaugh haritaları

ADIM 5: EŞİTLİKLERİN ELDE EDİLMESİ

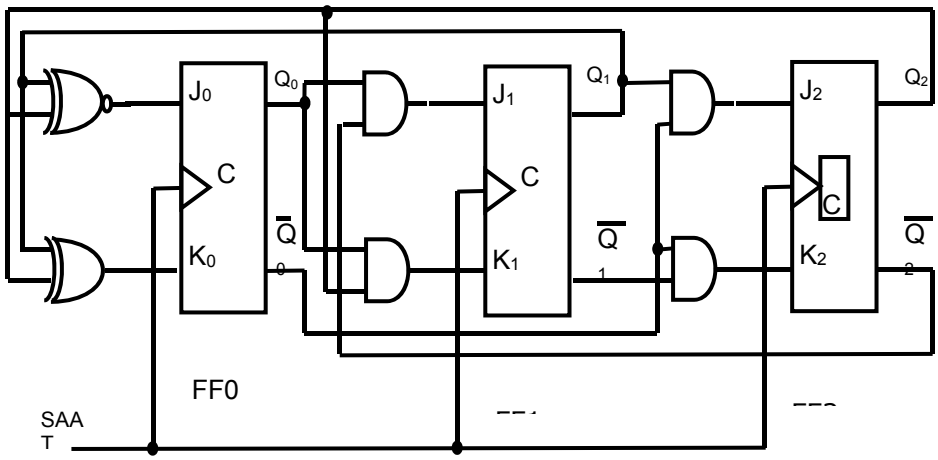
Elde edilen eşitlikler yanda verilmiştir. J_0 ve K_0 girişleri EXOR geçitleri ile yapılırsa daha az geçit kullanarak çizilebilir. Diğer giriş eşitlikleri tek geçitle elde edilebilir.

$$J_0 = Q_1Q_2 + \overline{Q}\ \overline{Q}_2 = \overline{Q_1 \oplus Q_2}\ ,\ K_0 = Q_1\overline{Q_2} + \overline{Q_1}Q_2 = Q_1 \oplus Q_2$$

$$J_1 = \overline{Q_2}Q_0,\ K_1 = Q_0Q_2$$

$$J_2 = Q_1\overline{Q_0},\ \ K_2 = \overline{Q}_1\overline{Q_0}$$

ADIM 6: DEVRE ÇİZİMİ

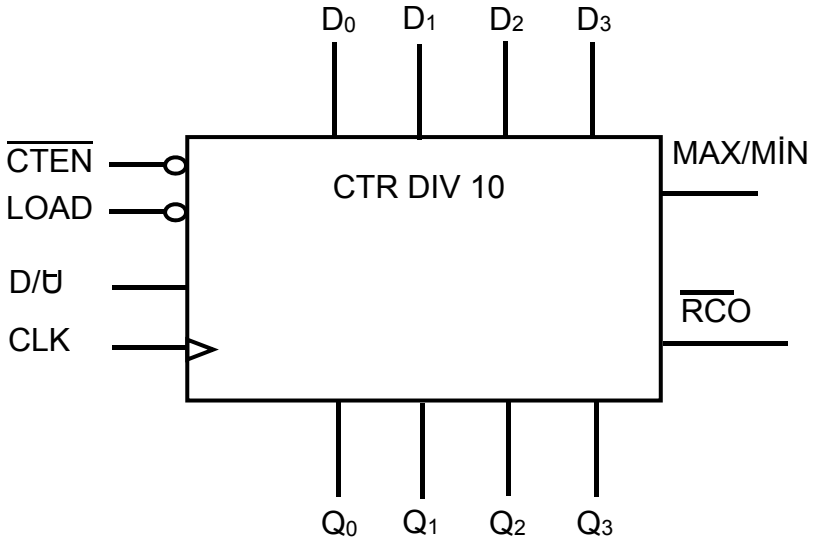


Şekil-3.27 3 bit gray sayıcı

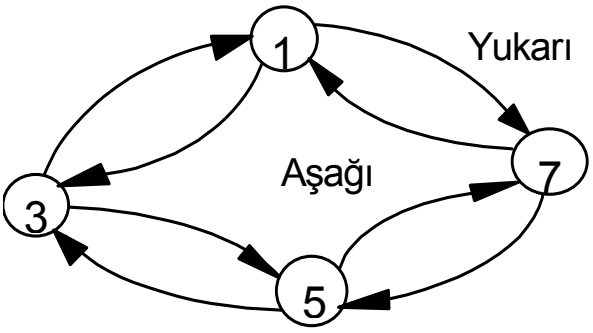
SORULAR

1. Bir oto parkın giriş ve çıkış olmak üzere iki kapısı vardır. Giriş kapısında içeriye kaç arabanın daha girebileceğini belirten gösterge vardır. Her iki kapıda ayrı iki sensör kullanıldığını ve ters kapıdan giriş ve çıkışın mümkün olmadığını varsayarak bu işlemi yapan devreyi yanda mantık sembolü verilen 74190 tüm devresini kullanarak tasarlayınız. Oto parkın kapasitesi 78 arabadır.

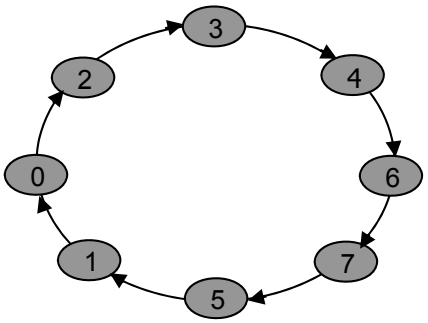
2. Her defasında $(1011)_2$ sayısını algıladığında bir YÜKSEK seviye üreterek bir LED göstergeyi yakan ve bu sayı 3. defa algılandıktan sonra sayıcının içeriğini sıfırlayan asenkron sayıcı devresini tasarlayarak nasıl çalıştığını kısaca açıklayın.



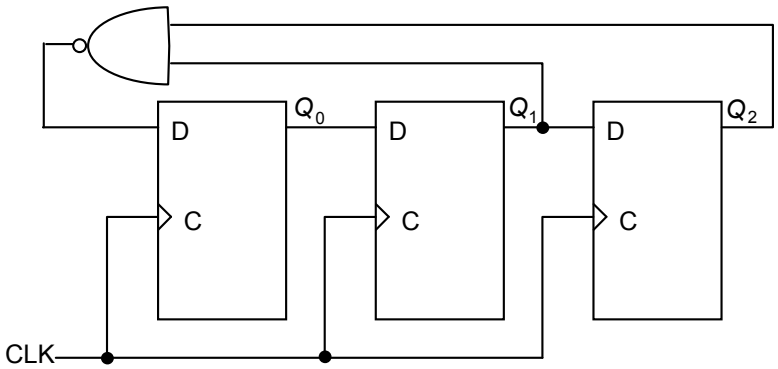
3. Aşağıda durum diyagramı verilen senkron sayıcıyı tasarlayın.



4. Durum diyagramı aşağıda verilmiş senkron sayıcıyı tasarlayın, devresini çizin.



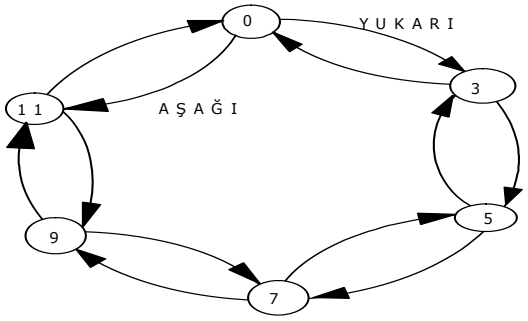
5. Aşağıdaki şekilde sayıcının sayma sırasını belirleyiniz.



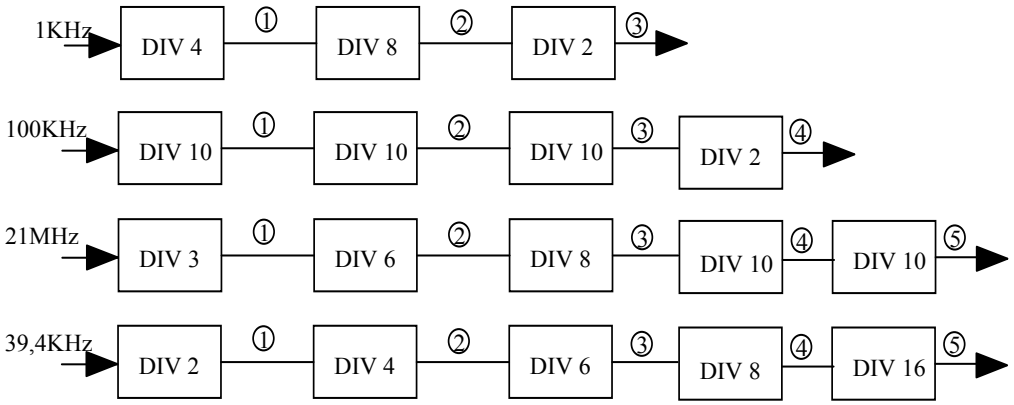
6. J-K flip-floplar kullanarak aşağıdaki sıraya göre sayan sayıcı devreyi tasarlayın.
00, 10, 01, 11, 00,.....

7. J-K flip-floplar kullanarak aşağıdaki sıraya göre sayan ikili sayıcı devreyi tasarlayın.
0, 9, 1, 8, 2, 7, 3, 6, 4, 5, 0 .....

8. Aşağıdaki durum diyagramına göre sayan sayıcı devreyi tasarlayın.



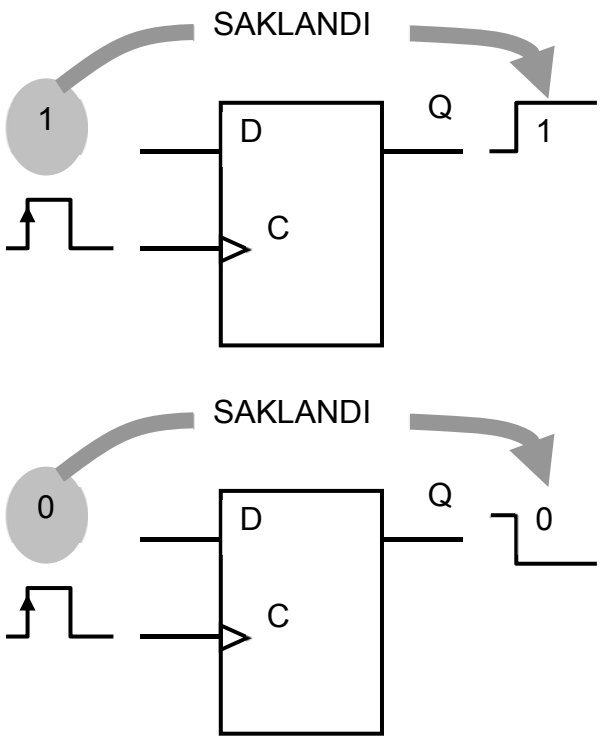
9. Şekilde gösterilen kaskat sayıcıların yuvarlak içinde numara ile belirtilen noktalarındaki frekans değerlerini yazınız.



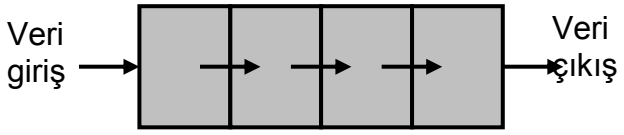
BÖLÜM 4

KAYAR YAZAÇLAR

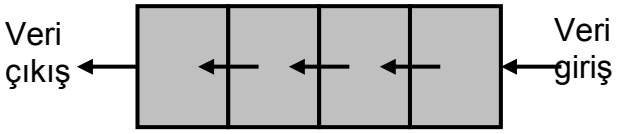
Yazaçlar flip-floplardan oluşur ve sayısal veriyi saklamak ve/veya işlemek için kullanılmaktadır. Her flip-flop bir bitlik veri saklama kapasitesine sahip olduğundan bir yazaçtaki flip-flop sayısı saklanacak veya işlenecek bit sayısı kadardır. Tümdevre yazaçların bit sayısı 4 bitten 4000 bite kadar değişmektedir.



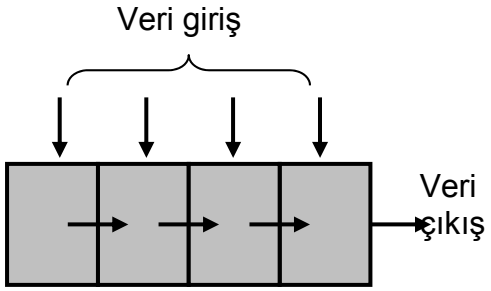
Şekil-4.1 “0” ve “1” bilgisinin flip-flopta saklanması.



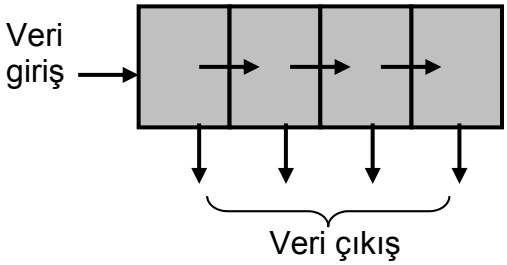
(a) Seri giriş-sağa ötele-seri çıkış.



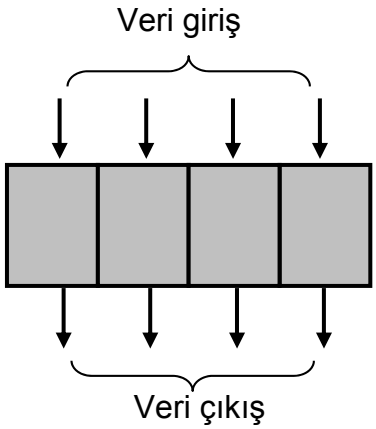
(b) Seri giriş-sola ötele-seri çıkış.



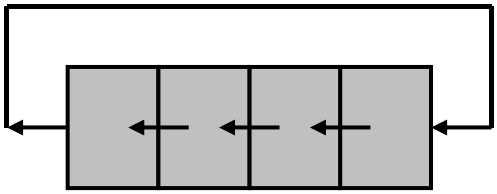
(c) Paralel giriş-sağa ötele-seri çıkış.



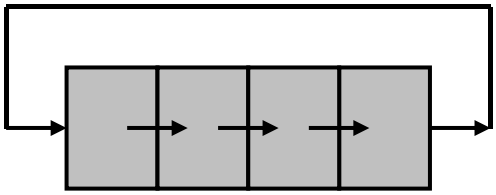
(d) Seri giriş-sağa ötele- Paralel çıkış.



(e) Paralel giriş- Paralel çıkış.



(g) Sola döndür.



(f) Sağa döndür.

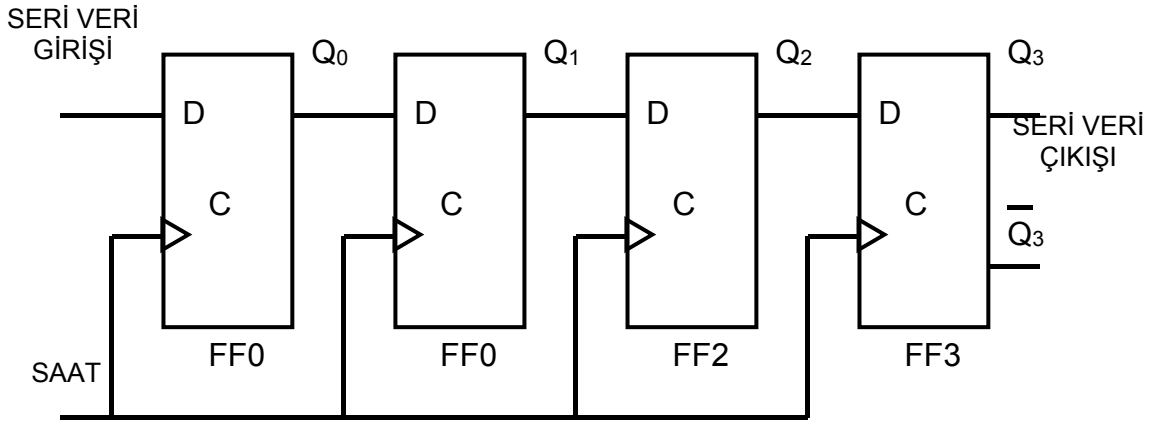
Şekil-4.2 Temel öteleme ve döndürme işlemleri

Yazaçlar iki ana grupta incelenirler. Birinci grup saklama yapan yazaçlar, ikinci grup ise öteleme yapan yazaçlardır. Bir saklama yazacı gerek duyulana kadar sayısal veriyi saklar. Ötelemeli yazaç ise, veriyi bir flip-floptan bir sonrakine öteleyerek işler. Devrenin yapısına bağlı olarak, veri sağa, sola veya hem sağa hem de sola saat darbesiyle, eşzamanlı olarak ötelenir. 4 bit yazaçta öteleme çeşitleri Şekil-4.2'de gösterilmiştir. Bir saklama yazacına veri aynı anda girilir (paralel giriş) ve çıkıştan aynı şekilde alınır (paralel çıkış). Ötelemeli yazaçta veri tek bir hattan her seferinde bir bit girilir veya çıkıştan aynı şekilde alınır (seri giriş veya seri çıkış) veya hepsi bir defada girilir veya çıkıştan alınır (paralel giriş veya paralel çıkış). Dört giriş/çıkış düzenlemesi şöyledir: Seri giriş/seri çıkış (SISO), seri giriş/paralel çıkış (SIPO), paralel giriş/ paralel çıkış (PIPO), paralel giriş/seri çıkış (PISO). Yazaçlar bir

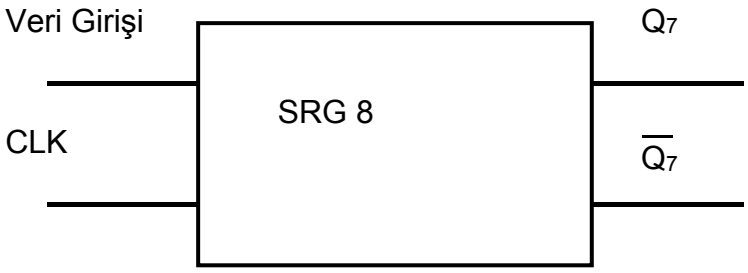
bilgisayarda pek çok işlemi yerine getirmek için kullanılırlar. Ötelemeli yazaçlar veriyi bir flip-floptan diğerine ötelerken çarpma ve bölme işlemlerini yerine getirmektedir. Saklama yazaçları ise komutları ve veriyi bilgisayarın bir başka bölümüne iletilene kadar saklarlar. Ötelemeli yazacın saklama yazacından farkı her flip-flopun veri girişinin önceki flip-flopun çıkışından alınması için bağlı olmasıdır. Bu da verinin flip-floplar içinde kaydırılmasını sağlar. Bilgisayar işlemlerinde bilginin seri formdan paralele veya paralel formdan seriye dönüştürülmesi önem taşımaktadır.

SERİ GİRİŞLİ-SERİ ÇIKIŞLI KAYAR YAZAÇLAR

Şekil-4.3'te seri girişli seri çıkış yazaç 4 adet d flip-flop ile elde edilmiştir. FF0'ın D girişinden girilen veri 4 saat vurusu sonunda FF3'ün Q çıkışından aynen Q' çıkışından terslenerek alınır. Bu tür devreler veriyi belirli bir süre bekletmek amacıyla kullanılır. Şekil-4.4'te 8 bit SISO kayar yazacın mantık simgesi gösterilmiştir.



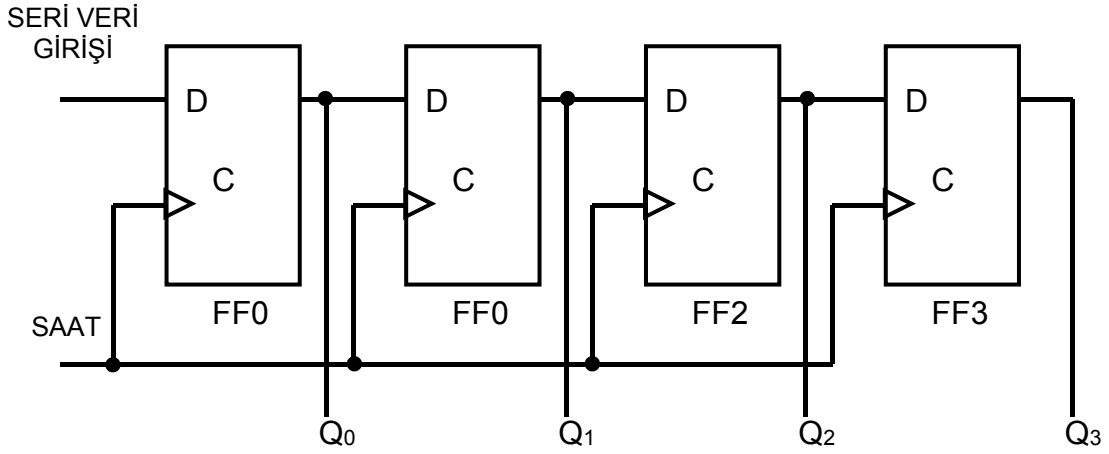
Şekil-4.3 Seri giriş seri çıkış kayar yazaç. (SISO)



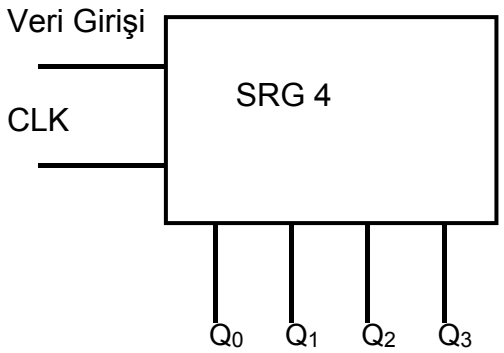
Şekil-4.4 8 bit SISO'nun mantık simgesi.

SERİ GİRİŞLİ PARALEL ÇIKIŞLI KAYAR YAZAÇLAR

Veri biti seri olarak birinci flip-flop'un D girişinden girer birinci saat vurusunda FF0'in Q_0, ikincide FF1'in Q_1 , üçüncüde FF2'nin Q_1 ve dördüncüde FF3'nin Q_3 çıkışına ulaşır. Veriler düz sırada alınmak isteniyorsa ters sırada kayar yazaca girilmelidir. Şekil-4.5'te D flip-floplarla elde edilmiş 4 bit SIPO yazacın mantık diyagramı verilmiştir. Şekil-4.6'da ise 4 bit SIPO kayar yazacın mantık simgesi verilmiştir.



Şekil-4.5 Seri giriş paralel çıkış kayar yazaç. (SIPO)

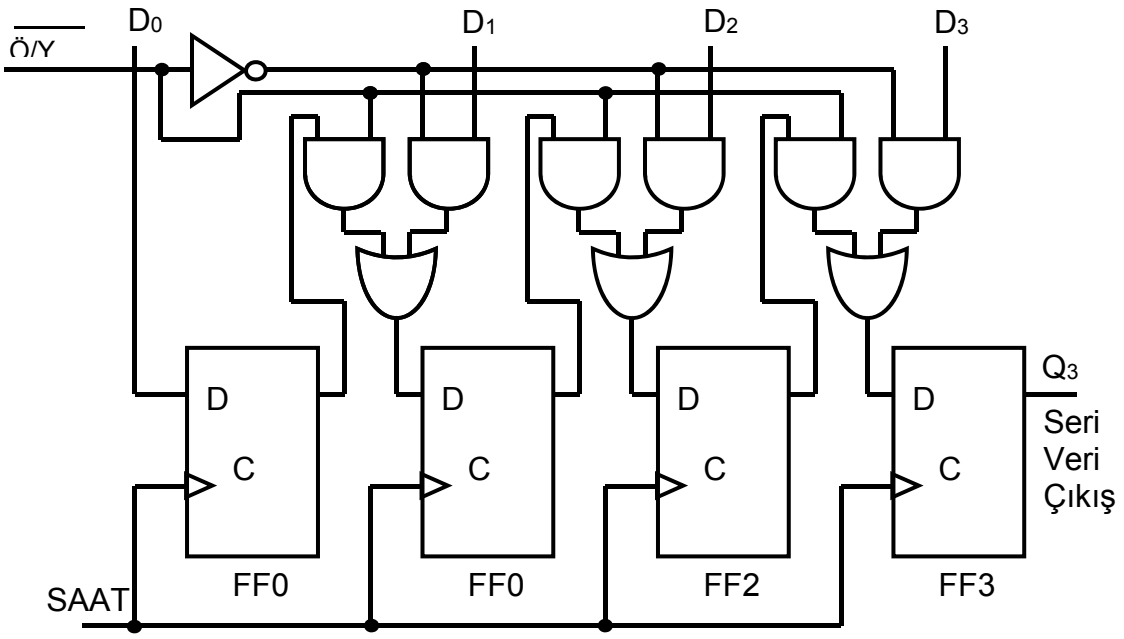


Şekil-4.6 4 bit SIPO'nun mantık simgesi.

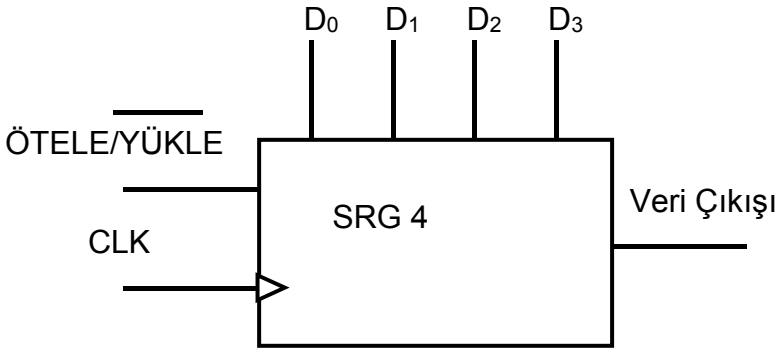
Bu tür yazaçlar seri formda saklanmış verileri veya seri formda gelen verileri paralel hale getirmek için kullanılır. Dijital sistemlerde kaliteli veri ancak bit sayısı artırılarak elde edilebilir. Fakat bit sayısı fazla olan sistemlerde veri iletimi çok fazla taşıyıcı hat gerektirdiğinden sistemi özellikle baskı devre kartını karmaşık hale getirir. Bunu engellemek için iki birim arasında veri iletimi hız engeli yoksa seri olarak yapılarak bu kargaşanın önüne geçilebilir. Seriye dönüştürülen veriler SIPO kullanılarak tekrar paralele dönüştürülür. Çünkü bir çok sistem veriyi paralel olarak kullanırlar.

PARALEL GİRİŞLİ SERİ ÇIKIŞLI KAYAR YAZAÇLAR

Bir önceki kısımda SIPO yazaçların seri veriyi paralel kullanan sistemler için paralele dönüştürdüğünü sebepleri ile birlikte açıklamıştık. Paralel girişli seri çıkışlı yazaçlarda SIPO'nun tersini yapar. Birden fazla bitten oluşan veri kelimelerinin seri olarak tek hat üzerinden başka birime iletimi sağlamak amacıyla paralel girişli seri çıkışlı (PISO) kayar yazaçlar kullanılır. Genellikle seri veri iletim sistemini verici kısmında PISO alıcı kısmında ise SIPO yer alır.



Şekil-4.7 Paralel giriş seri çıkış kayar yazaç. (PISO).

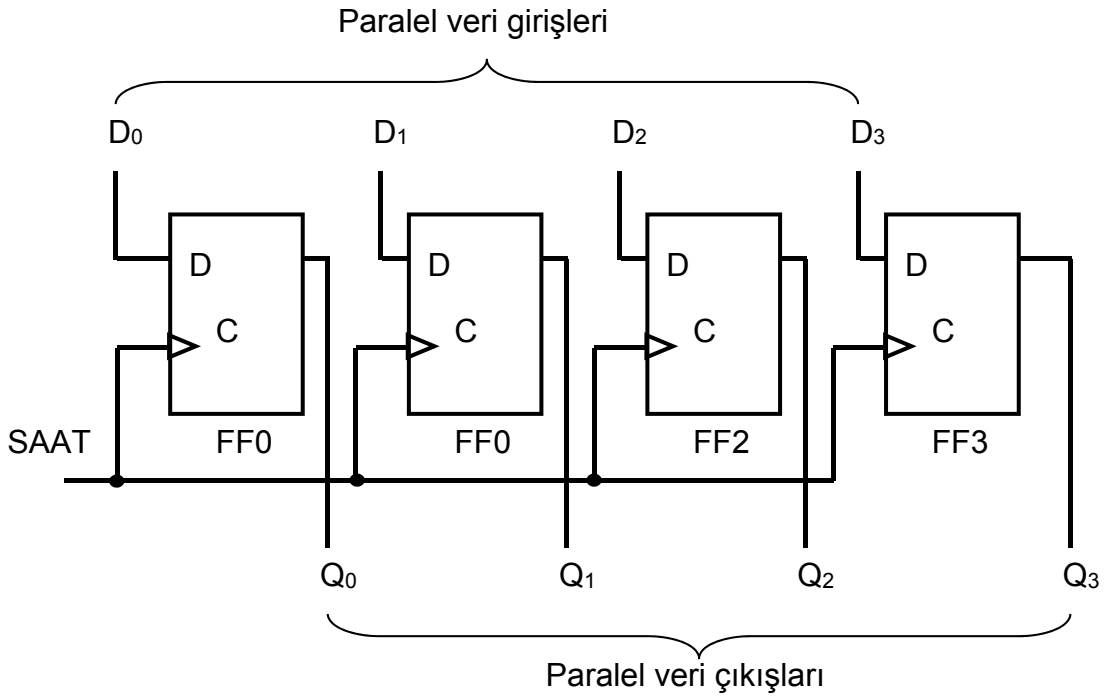


Şekil-4.8 4 bit PISO'nun mantık simgesi.

Şekil-4.7'de PISO kayar yazacın mantık simgesi gösterilmiştir. Şekil-4.8'de ise PISO kayar yazacın mantık diyagramı verilmiştir. Bu yazacın paralel girişlerindeki veri ÖTELE/$\overline{YÜKLE}$ girişi "00 yapılarak ilgili D flip flop girişlerine yüklenir. Bu giriş "1" yapıldığında D girişlerindeki veriler çıkışlarına ötelenir. Paralel girişteki veri ile ötelenen verinin karışmasını engellemek için geçitler kullanılmıştır.

Paralel Girişli Paralel Çıkışlı Kayar Yazaçlar

Paralel girişli paralel çıkışlı kayar yazaç kısa süreli veri saklama amaçlı kullanılan yazaç türüdür. Aslında bu tip yazaçlara kayar yazaç adı verilmez sadece yazaç olarak adlandırılır. Şekil-4.9'da 4 bitlik paralel girişli paralel çıkışlı (PIPO) kayar yazacın mantık diyagramı, Şekil-4.10'da ise 74195 kayar yazacının mantık simgesi gösterilmiştir.

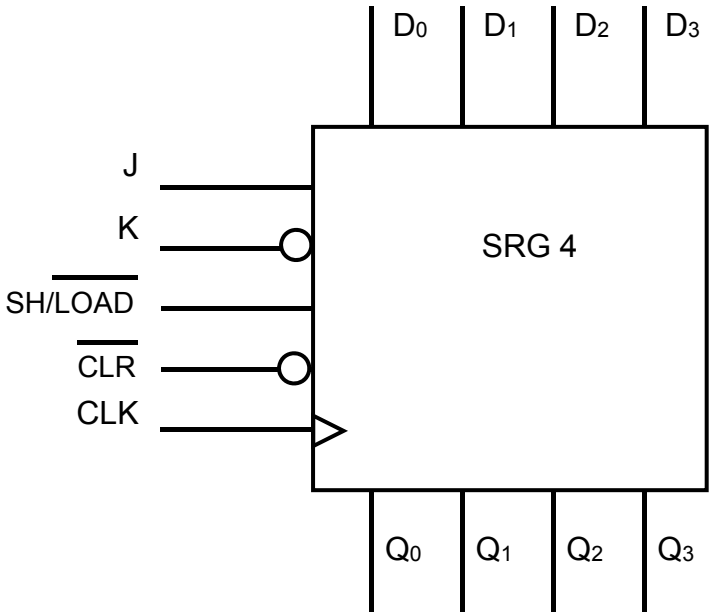


Şekil-4.9 Paralel giriş Paralel çıkış kayar yazaç. (PIPO)

74195 tümdevresinin iki adet seri veri giriş hattı, 4 adet paralel girişi ve 4 adet paralel çıkışı vardır. Bu giriş ve çıkışlar kullanılarak bu tüm devre ile seri giriş seri çıkış , seri giriş paralel çıkış, paralel giriş paralel çıkış, paralel giriş seri çıkışlı kayar yazaç elde etmek mümkündür. Bu tüm devre sadece sağa doğru öteleme yapabilir.

74194 SH/$\overline{\text{LOAD}}$ girişine DÜŞÜK seviye uygulandığında paralel girişlerde yer alan veri bitleri saat vurusuyla senkron olarak ilgili flip-flop'un çıkışına aktarılır. Bu giriş eğer YÜKSEK seviye yapılırsa yüklenmiş veriler bir bit sağa ötelenir.

CLR girişi asenkron giriş olup, DÜŞÜK seviye uygulandığında paralel çıkışları temizler. J ve K girişleri seri veri girişi olarak kullanılır. Q_3 çıkışı seri veri çıkışı olarak kullanılabilir.



Şekil-4.10 74195 4 bit PIPO kayar yazacın mantık simgesi.

ÜNİVERSAL KAYAR YAZAÇ

Sağa sola ötelemenin her ikisini yapabilen kayar yazaçlara universal kayar yazaç adı verilir. 74194 yazacı bu tür bir yazaçtır. Bu yazaçta veri giriş çıkış hatlarının yanı sıra iki adet veri akışını veya kayar yazacın çalışmasını denetleyen iki adet giriş hattı vardır. Tablo-11.1'de bu girişlerin işlevleri verilmiştir.

Yazaçlara veri paralel olarak seri olarak da sağ ve soldan olmak üzere üç şekilde yapılabilir. Yükleme çeşidi S0 ve S1 girişleri ile belirlenebilir, Tablo-11.1'de yükleme çeşidine göre anahtarların alması gereken durumlar verilmiştir.

S1	S0	İşlem	Açıklama
0	0	İşlem yapma	Sıfırlama haricinde tüm işlemler engellenir.
0	1	Sağa kaydır	Bilgi girişi sol taraftaki bilgi girişinden yapılır.
1	0	Sola kaydır	Bilgi girişi sağ taraftaki bilgi girişinden yapılır.
1	1	Paralel yükleme	Bilginin tamamı aynı anda paralel olarak yüklenir.

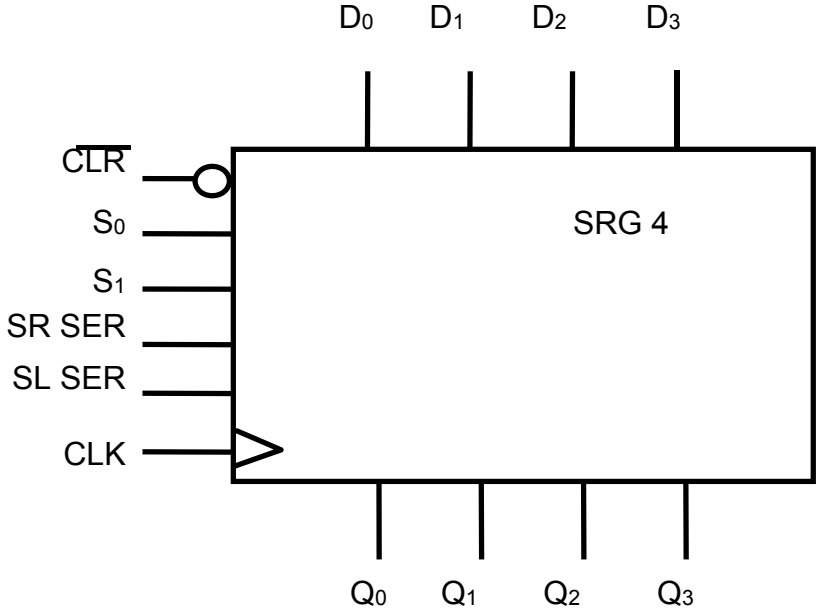
Tablo-4.1 Yazaca veri yüklenmesi.

Girişlerin her ikisi 0 olduğunda yazaç temizleme dışındaki tüm işlemleri yapmaz. Bu durum yazacı başlangıç durumuna getirmek için kullanılır. S1 girişi 0, S0 girişi 1 olduğu durumda sol seri girişte bulunan veri alınır ve diğer Flip-Flop çıkışlarındaki veriler bir sağa ötelenir. En sağdaki Flip-Flop çıkışındaki veri eğer başka devreye bağlı değil ise kaybolur. Bu çalışma modunda seri girişe 0 yazıldığında her ötelemede yazaçta yüklü sayı 2'nin üstlerine bölünür. Bir ötelemede yapıldığında

2^1'e, iki öteleme yapıldığında 2^2'ye, üç öteleme yapıldığında 2^3'e böler... v.b.

Tam bölme olmadığında kalanın saklanabilmesi için en sağdan çıkan veriyi saklayacak yine seri girişli bir yazaca gereksinim vardır. Üçüncü çalışma modunda, S1 girişi 1 ve S0 girişi 0 olduğu durum, en sağda seri girişteki bilgi alınır ve bir sola ötelenir. Eğer seri girişe 0 verisi girilirse her öteleme sonucunda yazaçta yüklü olan sayı 2 ile çarpılır. Çarpma sonucu 4 bitten büyük olursa en değerlikli bittin (en soldaki bit) başka bir yazaca kaydedilmesi gerekir. Dördüncü çalıma modunda, her iki giriş 1 olduğunda, paralel yükleme için kullanılır. Bu çalışma modu bölünecek çarpılacak sayının yüklemesi için kullanılır.

Ötelemeli yazaçların diğer bir kullanım alanı da seri veri iletişimidir. Verici ile alıcı arasındaki mesafenin uzak olduğu sayısal sistemlerde ikili tabandaki verilerin iletimi için kablo maliyetini düşürmek için seri iletişim kullanılır. Paralel veri iletiminde iletilecek verini genişliği kadar (kaç bitten oluşuyorsa) hat kullanılması gerekir. Oysa seri iletişimde kaç bitlik olursa olsun tüm veri tek hattan vericiden alıcıya ulaştırılabilir. Seri iletişim sistemin hızını düşürebilir fakat kablo maliyetini düşürdüğü için tercih edilmektedir ve yaygın olarak kullanılmaktadır.



Şekil-4.11 74194A Üniversal 4 bit kayar yazaç.

Alıcı ile vericinin senkronize çalışabilmesi için seri iletişim yapan sistemlerde saat işaretinin de vericiden alıcıya iletilmesi gerekir. Paralel yükleme modunda gönderilecek olan sayı yazaca bir saat vurusu ile yüklenir ve daha sonra en yüksek değerli bit birinci sırada gönderilecek ise sola doğru kaydırma yapılır, eğer en düşük değerli bit birinci sırada gönderilecekse sağa kaydırma yapılır. Alıcı kısmı da verici kısmına göre değiştirilmelidir. Dört bitlik veri iletimi için dört bitlik yazaç kullanılırsa yükleme vurusu ile birlikte birinci veri alıcıya gönderilir. Eğer bu durum sakınca oluşturuyor ise çıkışa bir D tipi tutucu yerleştirilmelidir. Propagasyon gecikmesine önlem olarak alıcı saat vurusu vericininkinden bir kaç on nano saniye geciktirilirse

devrenin doğru çalışması sağlanmış olur. Bu geciktirme devresi uygulaması D tipi tutucuların deneyinde kullanılmıştı. Alıcı kısmında çıkış paralel çıkışlardan alınarak seriye dönüşen veri tekrar paralele dönüştürülmüş olur. Seri veri iletiminde kayar yazaçların öteleme özelliğinin dışında paralel verinin seriye, seri verinin de paralele dönüştürme özellikleri kullanıldı.

Bunların dışında kayar yazaçlar sayısal sistemlerde zaman geciktirme elemanı olarak ve sayıcı olarak kullanılırlar. Zaman geçirme elemanı olarak kayar yazacın seri girişine uygulanan veri çıkışından alınabilmesi için kayar yazaç kaç bitlik ise o kadar öteleme sonrası çıkıştan alınabilir. Örneğin saat frekansı 1kHz olan bir 8 bitlik kayar yazacın girişine verilen veri çıkışından ancak 8 ms sonra alınabilir. 8 ms'ye veri kayar yazaç içerisinde geciktirilmiştir. Sayısal sistemlerde ortak saatle senkronize çalışan devrelerde hızlı çalışan birim ile yavaş çalışan birimin sonuçlarının aynı anda değerlendirilmesi gerektiğinde hızlı çalışan sistemin sonucu bu yöntemle bekletilebilir. Diğer uygulama alanı ise Johnson ve ring (halka) tipi sayıcılardır.

SORULAR

1. 74195 dört bitlik paralel erişimli ötelemeli yazacın veri giriş ve çıkışlarını tanımlayarak J, K , $\overline{CLR}$ ve SH $/\overline{LD}$ girişlerinin bilgi yazılması için hangi mantık düzeylerinde olması gerektiğini yazın. Veri girişine 1100 bilgisi uygulandıktan sonra veri çıkışlarının ne olduğunu yazın. SH $/\overline{LD}$ YÜKSEK, giriş 0000 yapıldığında bir saat darbesi uyguladıktan sonra veri çıkışlarındaki sayıyı yazın.
2. 4 bitlik paralel giriş/seri çıkışlı bir ötelemeli yazacın devresini çizin. (Paralel veri yüklemeyi düşük seviyeli bir kontrol sinyali ile yapın.) D_0...D_3 = 1011 verisini paralel yükleyerek bu veriyi seri olarak çıkıştan elde eden dalga şeklini çizin.
3. 74194 dört bitlik çift yönlü ötelemeli yazacın mantık sembolü sağda ve özellikleri aşağıda verilmiştir. $(1100)_2$ verisinin paralel girişlerden yüklenmesi için S_0, S_1 ve $\overline{CLR}$ girişlerinin mantık düzeylerini yazın. Aynı verinin sağa ötelenmesi için kontrol girişlerinin hangi seviyede olması gerekir? Sayı yüklendikten sonra iki kere sağa, sonra üç kere sola öteleme yaptıktan sonra $Q_3Q_2Q_1Q_0$ çıkışındaki veriyi yazın.

BÖLÜM 5

BELLEKLER VE PROGRAMLANABİLİR ELEMANLAR

Veri saklama aygıtı olarak kullanılan kayar yazaçlar, her ikilide bir bit saklayan küçük ölçekli belleklerdir. Ancak bilgisayarda ve diğer mikroişlemci tabanlı sistemlerde, büyük miktarlarda ikilik verinin geçici yada yarı geçici olarak saklanması gerekir. Bu denli büyük miktarda verinin saklanmasında yazaçların kullanılması hacim ve maliyet olarak olası değildir. Sistemlerde programların ve programların ürettiği, işlediği ve gereksindiği verilerin saklanmasında *bellek*ler (memories) kullanılır. Bellekler, yarıiletken, manyetik ve optik bellekler olarak üç ana öbeğe ayrılmıştır.

YARI İLETKEN BELLEKLER

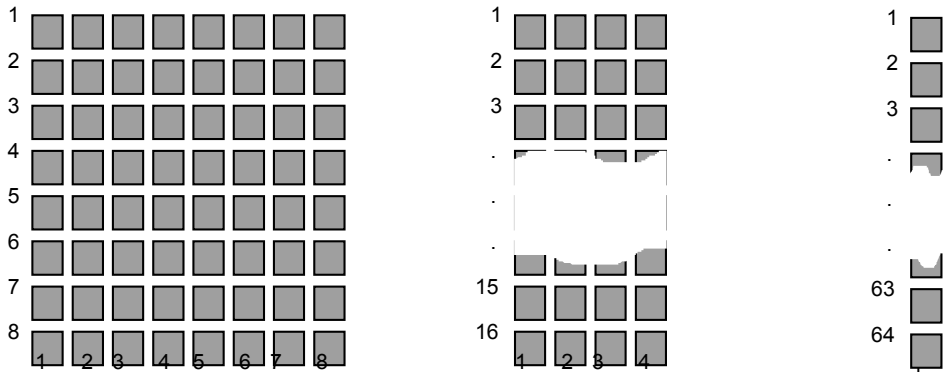
En küçük ikilik veri birimi bittir ve bellekler veriyi genellikle, *bayt* (çoklu) denilen 8-bitlik öbekler yada bunun katları olarak saklarlar. Bir bayt, nibble denilen 4-bitlik iki parçaya ayrılabilir. Sözcük (word) denilen ve tam bir bilgiyi oluşturan birim, bir yada daha çok bayt içerir. Sözcük 8-bitten daha kısa olsa da en az bir bayt ile işlenir.

TEMEL YARIİLETKEN BELLEK DİZİMİ

Bellekteki saklama elemanlarına ***hücre*** (cell) denir ve hücrelerin her biri, 1 yada 0 olmak üzere bir bitlik veriyi saklar. Bellekler bu hücrelerden oluşturulan dizimlerden (array) oluşurlar. Bellek dizimindeki her hücre, bir satır ve bir sütun numarası belirtilerek tanımlanabilir. Şekil-5.1'de 64 hücreli bir dizimin elde edilmesi için kullanılabilecek üç yöntem verilmiştir. Bu dizimlerin tümü 64-bitlik bellek olarak adlandırılabileceği gibi, 8×8lik dizime 8-bayt bellek, 16×4lük dizime 16-nibble bellek, 64×1'lik dizime de 64-bit bellek denilebilir. **Bellekler, saklayabilecekleri sözcük sayısı çarpı sözcük uzunluğu olarak tanımlanırlar.** Sözgelimi bir 16k × 4 bellek, her biri 4-bit uzunlukta 16384 sözcük saklayabilir.

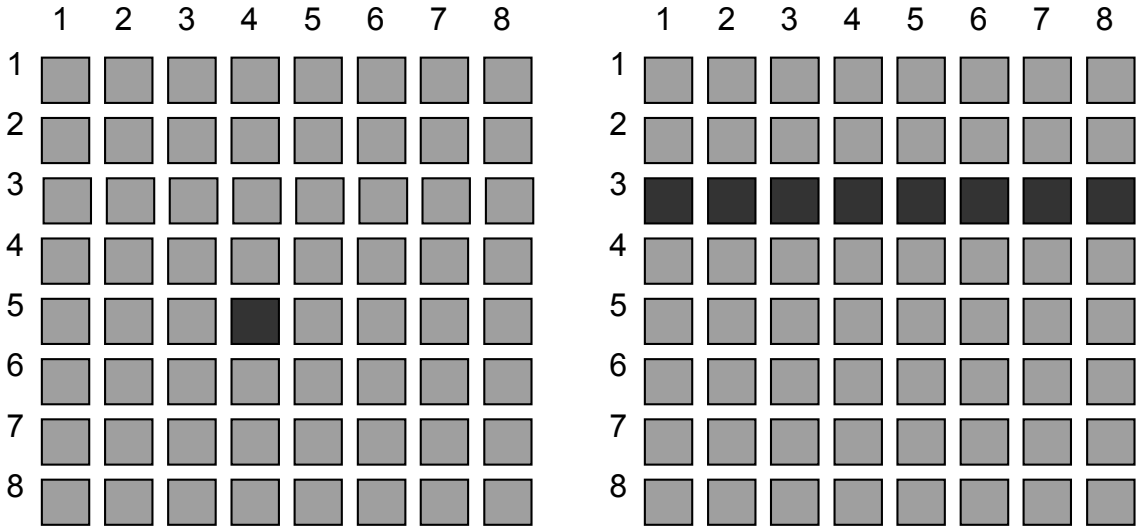
BELLEK ADRES VE KAPASİTESİ

Veri biriminin, bellek dizimi içindeki yerine adres denir. Adres Şekil-5.2 (a)'da bitin satır ve sütun numarası ile Şekil-5.2 (b)'de ise baytın satır numarası ile belirlenmiştir. Buna göre adreslemenin, verilerin bellek içinde nasıl düzenlendiğine bağlı olduğunu söyleyebiliriz. Bellek kapasitesi de saklanabilecek toplam bit sayısı ile ifade edilir. Buna göre Şekil-5.2'deki her iki düzenlemenin kapasiteleri birbirine eşit ve 64-bittir.



(a) 8×8 dizim (b) 16×4 dizim (c) 64×1 dizim

Şekil-5.1 Üç farklı şekilde hücrelerin dizimi



(a) Bitin adresi satır 5, sütun 3 (b) Baytın adresi satır 3

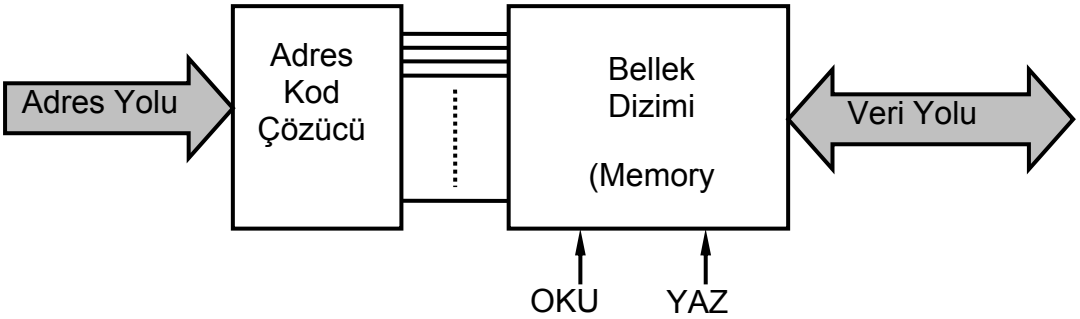
Şekil-5.2 Belleğin adreslenmesi.

TEMEL BELLEK İŞLEMLERİ

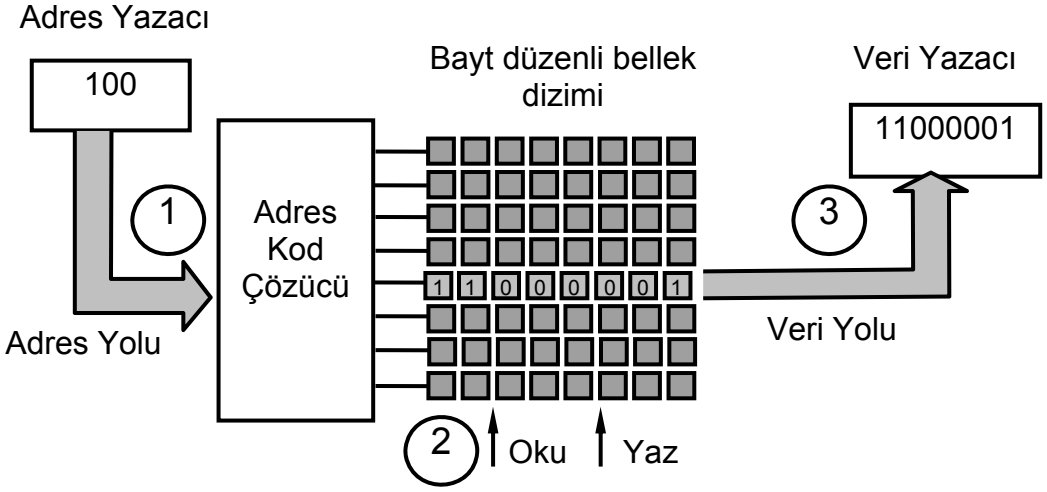
Verinin ve/veya bilginin bellekte belirli bir adrese koyulmasına ***yazma*** (write), bellekte belirli bir adresten alınmasına da ***okuma*** (read) işlemi denir. Okuma ve yazma işlemlerinin bir parçası olan adresleme işlemi, işlem yapılacak adresi seçer. Veri belleğe yazılırken ve bellekten okunurken veri yolu (data bus) olarak adlandırılan iki yönlü (bidirectional) bir hat dizisinden geçer.

Okuma işlemi Temel okuma işlemi Şekil-5.4'te verilmiştir. Bu işlemde de önce yazaçtaki adres bilgisi adres yoluyla adres kod çözücüsüne ulaştırılır. Kod çözücü okuma yapılacak bellek satırını seçer ve uygulanan **oku** komutuyla seçilen adresteki verinin bir kopyası, veri yoluna koyulup geçici olarak veri yazacına yazılır. Okuma işlemi sonunda, okunan veri bellekten silinmez.

Yazma işlemi Temel yazma işlemi Şekil-5.5'te verilmiştir. Bir baytı belleğe yazmak için, adres yazacında bulunan adres kodu adres yoluna (address bus) koyulur ve adres kod çözücüsüne iletilir. Kod çözücü kodu alınca belirttiği bellek yerini bularak seçer. Sonra belleğe bir **yaz** komutu verilerek, veri yazacında hazır tutulan veri, veri yolu ile belleğe gönderilir ve bellek yerindeki eski verinin yerine yenisi yazılır. Belleğe yeni veri yazılınca eskisi yok olur.

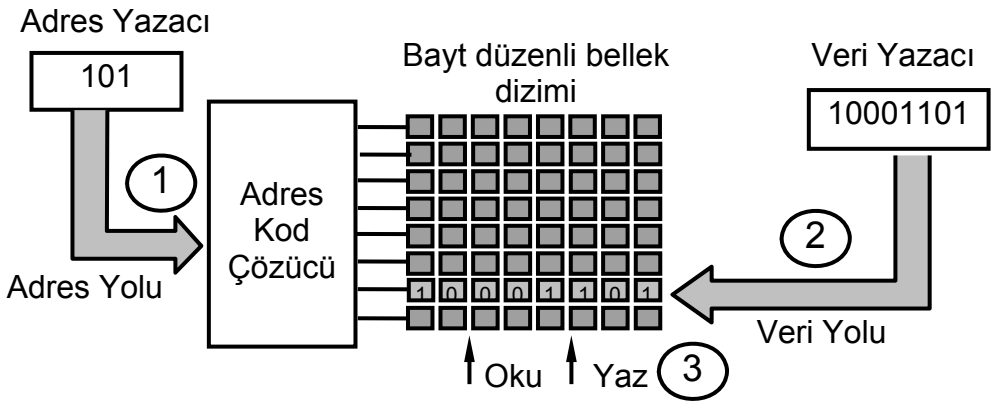


Şekil-5.3 Bellek blok diyagramı.



1. Adres kodu adres yoluna verilerek adres 4 seçilir.
2. Oku komutu belleğe uygulanır.
3. 4 nolu bellek satırın içeriği veri yolu kullanılarak veri yazacına alınır.

Şekil-5.4 Okuma işlemi.



1. Adres kodu adres yoluna verilerek adres6 seçilir.
2. Veri baytı veri yoluna yazılır.
3. Yaz komutu ile önceki veri silinerek yeni veri adres6 ya yazılır.

Şekil-5.5 Yazma işlemi.

RAM'LAR VE ROM'LAR

Yarıiletken belleklerin iki ana gurubu RAM ve ROM belleklerdir. RAM (random-access memory/doğrudan erişimli bellek), okuma ve yazma işlemleri için bütün adreslerine eşit sürede ve istenilen sırada erişilebilen bir bellek türüdür. Bütün RAMlerde hem okuma hem de yazma işlemleri yapılabilir. RAM, uygulanan gerilim kesilince yazılı verileri yitirdiği için volatile (uçucu) bellek olarak da adlandırılır.

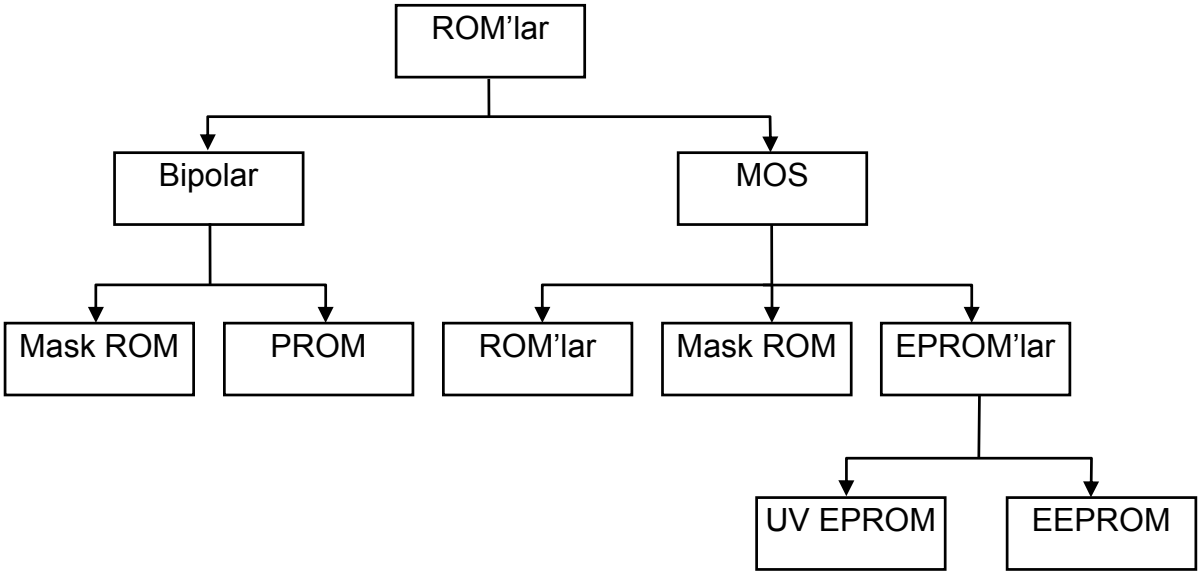
ROM (read-only memory/yalnızca okunan bellek), verinin kalıcı yada yarı kalıcı olarak saklandığı bir bellektir. ROMdan veri okunur ama RAMde olduğu gibi veri yazma işlemi yapılamaz. ROM da RAM gibi doğrudan erişimlidir ama bu terim geleneksel olarak yalnızca *oku/yaz* bellekler için kullanılmaktadır. ROM bellek, gerilim kesildiğinde de verileri sakladığı için nonvolatile (uçucu olmayan) bellek olarak adlandırılır.

SALT OKU BELLEKLER (ROM'LAR)

Daha önce söz edildiği gibi, bir ROM bellekten okunabilen fakat ya hiç değiştirilmeyen yada özel bir donanım olmaksızın değiştirilemeyen kalıcı veya yarı kalıcı depolanmış veri içerir. Bir ROM tablolar, dönüştürmeler, veya sistemin başlangıca getirilmesi ve çalışması için programlanmış buyruklar gibi sistem uygulamalarında tekrar tekrar kullanılan veriyi depolamak için kullanılır.

ROM AİLESİ

Yarıiletken ROMlar iki kutuplu (bipolar TTL gibi) yada metal-oksit yarıiletken (MOS) teknolojileriyle üretilirler. Mask ROM, verinin üretim sırasında kalıcı olarak yüklendiği ROM türüdür. PROM yada programlanabilir ROMa veri, kullanıcı tarafından özel bir donanımla elektriksel olarak yüklenebilir.



Şekil-5.6 Yarıiletken ROM ailesi.

Mask ROM ve PROM her iki teknoloji ile de üretilirler. EPROM yada silinebilir (erasable) PROM ise yalnızca MOS teknolojisi ile üretilebilir. UV EPROM, kullanıcı tarafından elektriksel olarak programlanabilen ve bir kaç dakikalık UV ışık uygulamasıyla yeniden silinebilen bir bellek aygıtıdır. Elektriksel olarak silinebilen PROM (EEPROM yada EAPROM) birkaç milisaniye içinde silinebilir. **Mask ROM** kısaca ROM olarak adlandırılır. Yaygın olarak kullanılan standart işlevleri; en çok kullanılan dönüşümler gibi, veya kullanıcı tarafından tanımlanan işlevleri sağlamak için üretim aşamasında kalıcı olarak programlanır. Bellek bir kere programlandıktan sonra değiştirilemez. IC ROM'ların çoğu bir "1" veya bir "0" ı göstermek için bir SIRA/SÜTUN eklemindeki bir transistör bağlantısının varlığı veya yokluğundan yararlanır. Bir ROM ya bipolar ya da MOS olabilir.

Şekil-5.7(a)'da bipolar ROM hücreler görülmektedir. Bir SIRA hattından transistörün bazına olan bağlantının varlığı o yerde bir "1" i temsil eder, çünkü SATIR hattı YÜKSEK olarak alındığında, o SATIR hattına bir baz bağlantısı olan tüm transistörler iletime geçer ve YÜKSEK (1) seviyesini ilgili SÜTUN hatlarına bağlar. Baz bağlantılarının olmadığı SATIR /SÜTUN eklemlerinde, SATIR adreslendiğinde SÜTUN hatları DÜŞÜK (0) seviyede kalır. Şekil-5.7(b)'de MOS ROM hücreleri gösterilmektedir. MOSFET'lerle yapılmasının dışında temelde bipolar hücrelerle aynıdır. Bir eklemde bir geçit (gate) bağlantısının varlığı veya yokluğu kalıcı olarak bir "1"i veya "0"ı depolar.

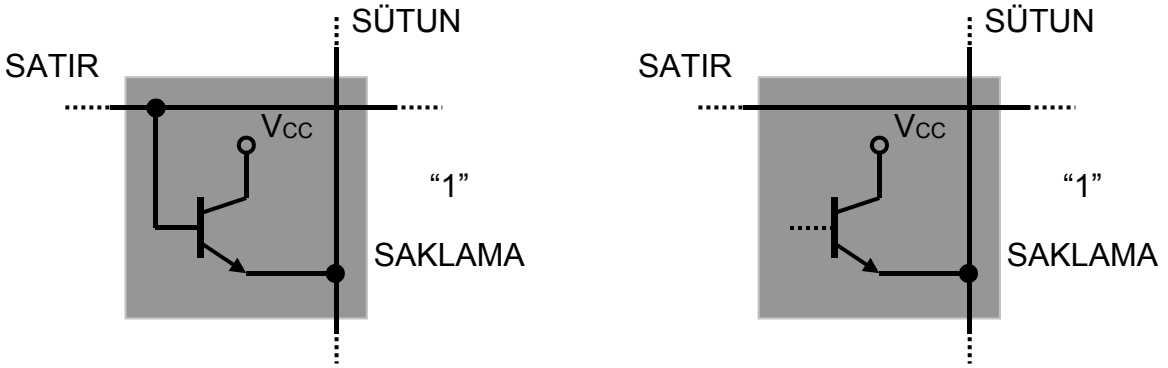
ROM'UN YAPISI

Kavramı açıklamak için, Şekil-5.8'te küçük, basitleştirilmiş bir ROM dizimi gösterilmektedir. Açık renkli kareler depolanmış "0"ları temsil etmekte, koyu renk kareler depolanmış "1"'leri göstermektedir.

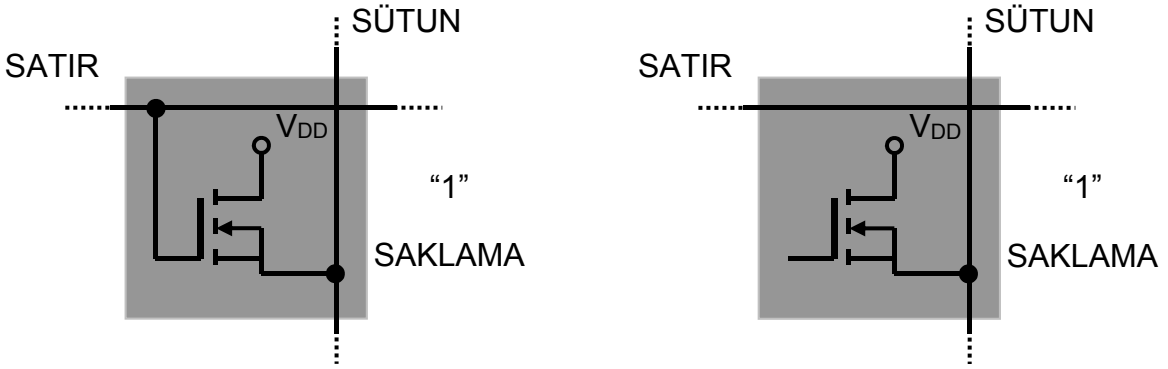
Temel okuma işlemi şöyledir: adres girişine, ikilik bir adres kodu uygulandığında,

karşılık gelen SATIR hattı YÜKSEK seviyeye geçer. Bu YÜKSEK seviye bir "1"in depolandığı her bir hücredeki transistörler aracılığıyla SÜTUN hatlarına bağlanır. Bir "0"ın depolandığı her bir hücrede, SÜTUN hatları dirençler yüzünden DÜŞÜK seviyede kalır. SÜTUN hatları veri çıkışını oluşturur. Seçilen SATIR'da depolanmış sekiz adet veri biti çıkış hatlarında görünür.

Gördüğünüz gibi, bu örnek ROM her biri 8 veri biti depolayan 16 adres için düzenlenmiştir. Bu yüzden, bu bir 16×8'lik ROM' dur ve toplam kapasitesi 128 bittir.



(a) Bipolar hücreler.



(a) Bipolar hücreler.

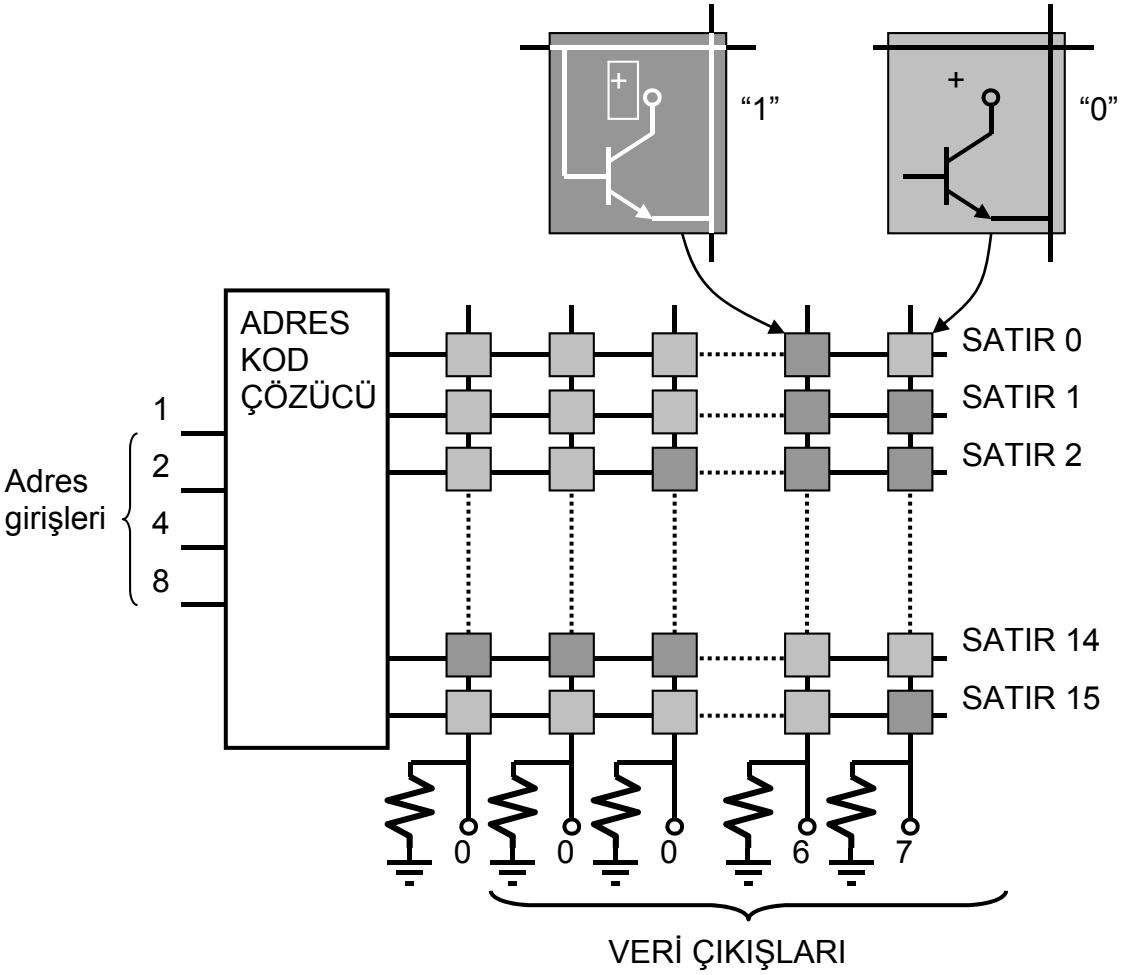
Şekil-5.7 ROM hücrelerinin yapısı.

ROM'UN İÇ ORGANİZASYONU

Tümdevre ROM'ların çoğunun iç yapısı biraz önce anlatılandan daha karmaşıktır. Bir tümdevre ROM'un nasıl yapılandığını açıklamak için 256×4 şeklinde düzenlenmiş 1024 bitlik bir elemanı kullanacağız. Mantık sembolü Şekil-5.9'da görülmektedir. 256 ikili kodlardan herhangi biri (8 bit) adres girişlerine uygulandığında, yonga seçme girişleri DÜŞÜK seviyede ise, dört veri girişi çıkışlarda görülür.

256×4 şeklindeki düzenlemenin bellek diziminde 256 sıra ve 4 sütun olduğunu ifade etmesine rağmen, durum böyle değildir. Bellek hücresi dizimi gerçekte 32x32'lik bir matristir (32 sıra ve 32 sütun) (Şekil-5.10'e bkz).

ROM şu şekilde çalışır: Sekiz adres hattının (A_0'dan A_4'e) beş tanesinin 32 sıradan birini seçmek için SATIR kodçözücü (Y kodçözücü olarak da adlandırılır) tarafından kodu çözülür. Sekiz adres hattından üçünün (A_5'ten A_7'ye) 32 sütundan dördünü seçmek için sütun kodçözücü (X kodçözücü denir) tarafından kodu çözülür. Gerçekte, X kodçözücü dört tane 8 hatlı (1-in-8-i) kod çözücüden (veri seçicileri) oluşur.



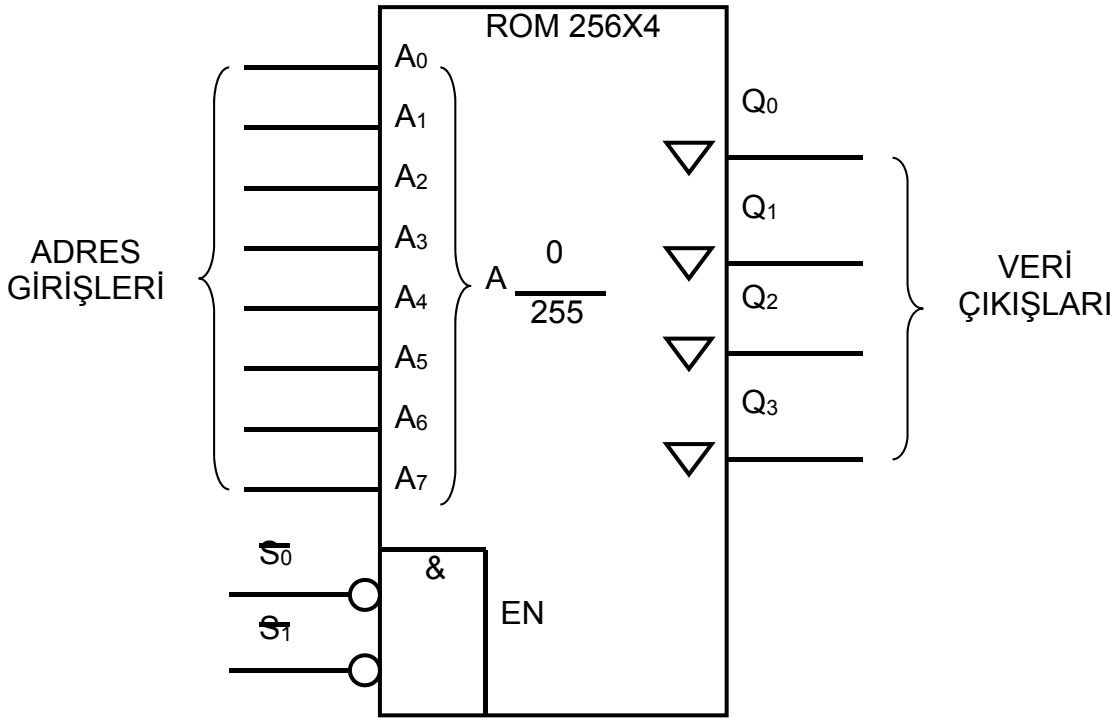
Şekil-5.8 16X4 ROM dizini.

Bu yapı, 8 bitlik adres kodu (A_0'dan A_7'ye) uygulandığında, yonga seçici hatları S_1 ve S_2 DÜŞÜK olduğunda çıkış tamponlarını etkin hale getirerek dört bitlik veri kelimesini veri çıkışlarında gösterir. Çeşitli kapasitelerdeki tüm devre ROM'lar bu çeşit bir iç yapıya sahiptir. Gerçekte, 74187 ROM' u tam olarak bu yapıya sahiptir.

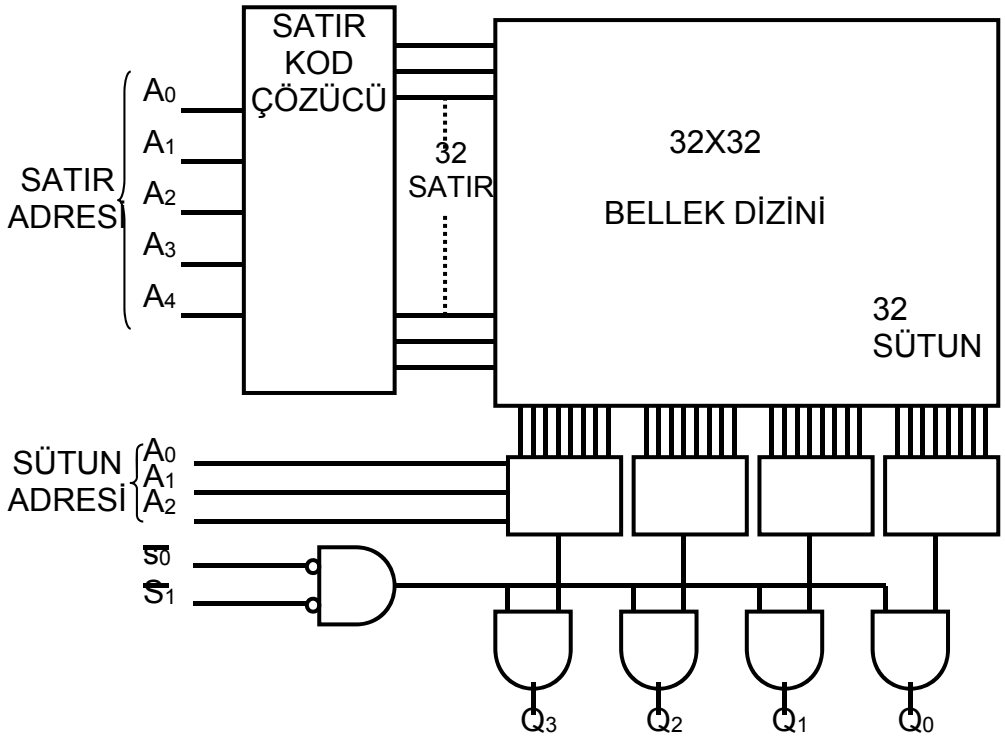
ROM ÖRNEKLERİ

Şekil-5.11'de bir bipolar ROM'a örnek olarak 7488'in mantık sembolü görülmektedir.

32×8 'lik bellek şeklinde düzenlenmiştir; yani, her biri sekiz bitlik depolamaya sahip 32 adrese sahiptir. A_0'dan A_4'e kadar olan girişlerdeki beş bitlik bir adres 32 (0'dan 31'e) bellek satırından birini seçer. S girişindeki bir düşük seviye aygıtı etkin hale getirir (EN) ve seçilen veri baytını çıkışlara (Q_1'den Q_8'e) yerleştirir. Bu izin girişine yonga seçme (chip select) denir.

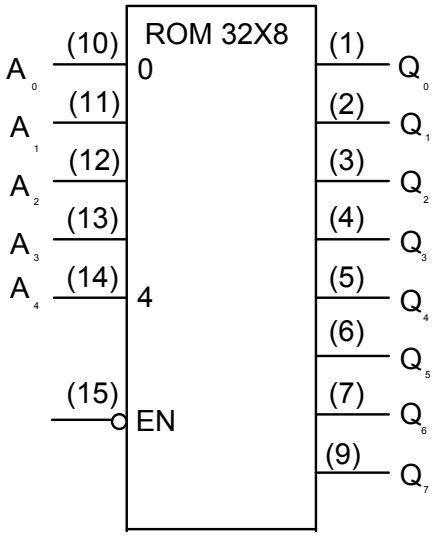


Şekil-5.9 Bir 256x4 ROM' un mantık sembolü.



Şekil-5.10 1024 bit ROM'un iç düzeni

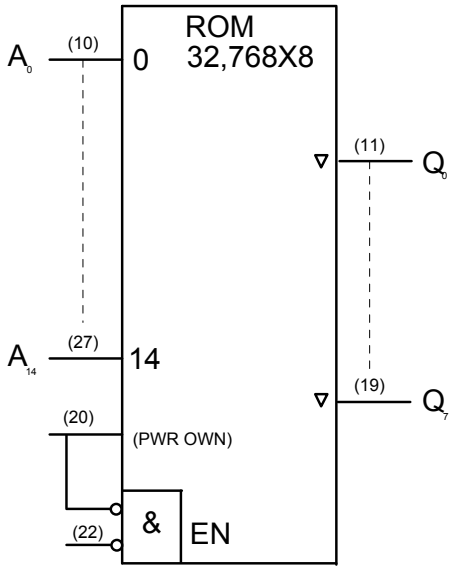
Küçük bipolar ROM'la karıştırıldığında, TMS 47256 (TI) yüksek kapasiteli bir MOS ROM'a örnektir. 262,144 biti 32,768x8 (32Kx8)'lik bir düzenleme ile depolayabilir. Her bir yerleşimde 8 bit olan 32,768 adrese sahiptir.



Şekil-5.11 Düşük kapasiteli bir ROM olarak 7488.

Şekil-5.12'de bu aygıtın mantık sembolü görülmektedir. Bunun 15 adres hattı vardır.

Bunlara 32,768 yerleşimi adreslemek için gerek duyulmaktadır (2^{15}=32,768). Etkin-DÜŞÜK bir yonga seçici girişi, S_1 ve bu özel aygıtta bir yonga izin/güç kesme girişi, E vardır.



Şekil-5.12 TMS 47256 MOS statik ROM'un mantık sembolü

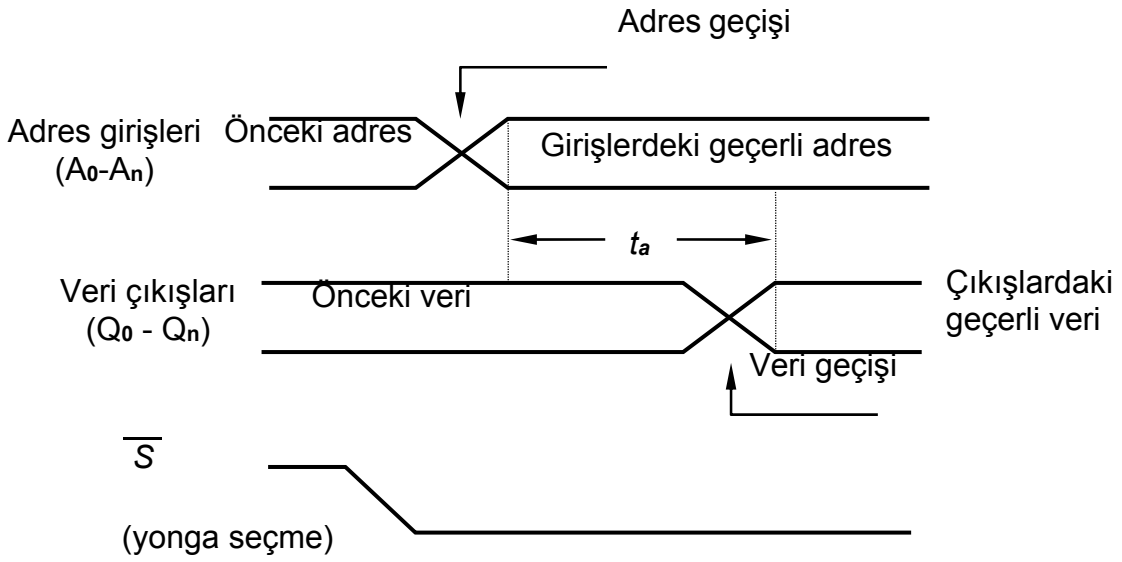
Kontrol girişleri çalışması şöyledir; Bellek çıkışını etkin hale getirmek için S_1 ve E'nin ikisinin de DÜŞÜK seviyede olması gerekmektedir. E YÜKSEK olduğunda aygıt dc güç kaynağından gelen akımı azaltan düşük güçlü bir standby moduna sokulur.

ÜÇ DURUMLU ÇIKIŞLAR VE YOLLAR

Üç durumlu çıkışlar, küçük ters üçgenlerle gösterilirler. Yüksek empedans durumları, yolların ortak kullanımı nedeniyle oluşan yüklenme etkisini yok etmek/azaltmak için birebir olan üç durumlu tamponlar mikroişlemci sistemlerinde çok kullanılırlar.

ROM ERİŞİM SÜRESİ

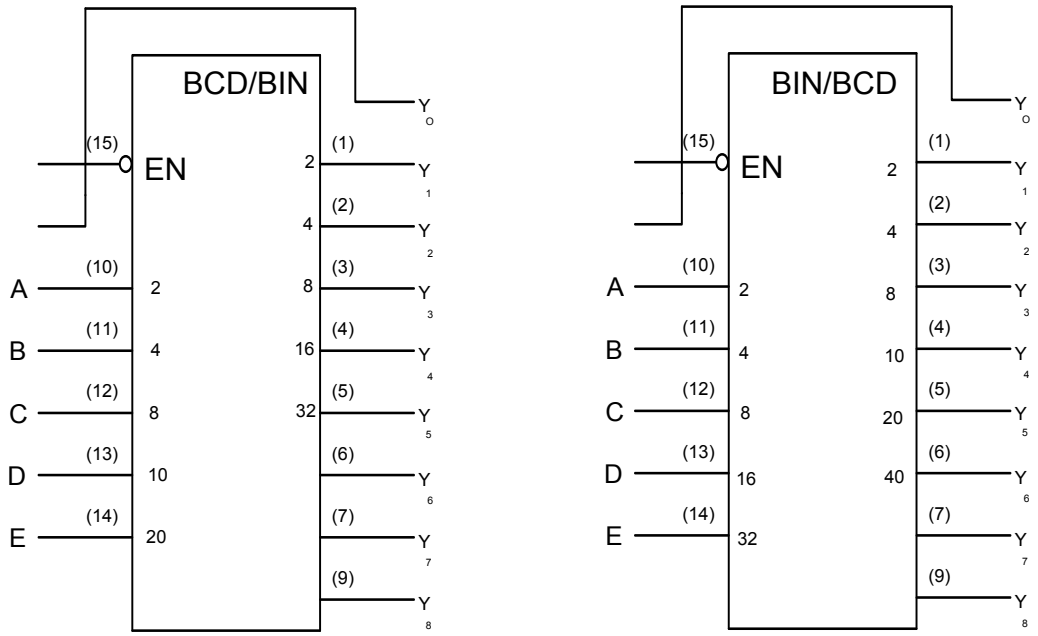
ROM erişim süresini gösteren tipik zamanlama çizgesi şekil 12 de verilmiştir. Bir ROMun erişim süresi, t_a, girişlere geçerli bir adres kodunun uygulanmasından, çıkışlarda geçerli verinin görünmesine dek geçen zamandır. Erişim süresi, adres kodu önceden hazır olmak üzere yonga seçme ($\overline{S}$) girişinin etkinleştirilmesinden, geçerli verinin alınmasına kadar geçen süre olarak ta ölçülür.



Şekil-5.13 ROM'un erişim süresi.

ÖRNEK ROM UYGULAMASI

Daha önce söz edildiği gibi bazı ROM'lar yaygın olarak kullanılan işlevleri yerine getirmek için programlanırlar ve piyasada bulunurlar. Örnek olarak, 74184 BCD'den ikilik koda dönüştürücü olarak programlanan bir ROM'dur, ve 74185 ise ikilik kodu BCD'ye dönüştürmek için programlanan bir ROM aygıtıdır. Bunların mantık sembolleri Şekil-5.14'te görülmektedir.



Şekil-5.14 74184 ve 74185'in mantık gösterimi.

Günümüzde bu tür ROM'ları piyasadan elde etmek artık zordur. Çünkü kullanıcıların kolaylıkla kendilerinin istediği gibi programlayabildikleri EEPROM'lar veya PAL,

GAL, ve PLD adı verilen programlanabilir ve kolaylıkla elde edilebilmektedir. Bu yeni ürünler ROM'lara oranla daha güvenilir ve enerji tüketimleri daha düşüktür. Aynı zamanda daha ucuz çözüm sunabilmektedirler.

BİLGİSAYAR UYGULAMALARINDA ROM

ROM IBM kişisel bilgisayarlarında, örneğin, BIOS (Temel Giriş /Çıkış Servisleri) olarak adlandırılan servisleri için kullanılır. Bunlar bilgisayar için temel denetim ve destek işlevlerini yerine getiren programlardır. Örmeğin ROM' da depolanan BIOS programları belirli video monitör işlevlerini kontrol eder, disk formatlanmasını sağlar, klavyeyi girişler için tarar, ve belirli yazıcı işlevlerini denetler.

PROGRAMLANABİLİR ROM'LAR

PROM'lar bir kez programlandıktan sonra mask ROM'lar ile aynıdırlar. Tek ayrım, PROM'ların üreticiden tüketiciye programlanmadan ulaşması ve kullanıcının gereksinimleri doğrultusunda programlanmasıdır. PROM'lar, hem bipolar hem de MOS teknoloji ile üretilebilirler. 250.000'i aşan bit kapasitelerinde ve genellikle 4 yada 8 bitlik sözcük formatında olurlar. PROM'larda veri saklama, bir tür sigorta bağlantısı yardımıyla yapılır. Bir gözde sigorta bağlantısının açık olması "0", sağlam olması da "1" bilgisinin saklı olduğunu gösterir. Yazma işlemi geri dönüşü olmayan bir işlemdir ve PROM bir kez programlandığında bir daha değiştirilemezler. Dizi içindeki her transistörün emiteri ile ilgili sütun hattı arasında bir sigorta bağlantısı vardır ve programlama sırasında "0" yüklenmek istenen gözlerdeki sigortalar yakılır. Şekil-5.15'de sigortaların bağlantısı gösterilmiştir. Bu sigortalar üç türde üretilmektedir:

1. Ni-chrome (nikel-krom) gibi metallerden,

2. Çok kristal silisyum (Polycrystalline silicon) ile yaratılan çentikli yarıiletken dar yollardan,

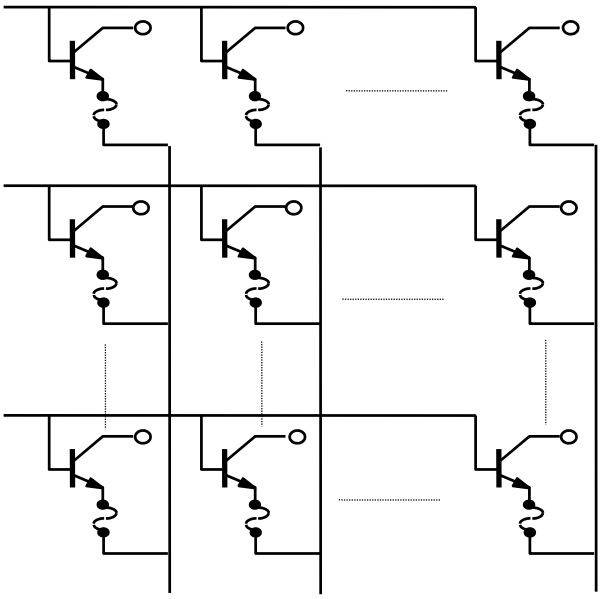
3. Birisi yakılıp diğeri diyot olarak kullanılan sırt sırta iki pn ekleminde.

PROGRAMLAMA

Programlama işlemi, Şekil-5.16'da temel ilkesi verilen özel aygıtlar ile yapılır. Burada, adres girişinden istenilen adresin kodu uygulanır ve bu adreste, "0" yüklenmek istenen (PROM başlangıçta tümüyle "1" yüklüdür) gözlerin çıkışlarına bir vurum uygulanır. Böylece "0" bulunması gereken gözlerdeki sigorta hatları yanar ve istenilen program PROM'a yazılmış olur. Aygıt sonra sıradaki adresi seçer ve işlem yinelenir.

Progranabilen eleman sayısının artması sonucu piyasaya bu ürünlerin tamamını programlayan universal programlayıcıların yaygınlaşmasına neden olmuştur. Bilgisayar ortamında assembler dilinde veya hex editörlerde yazılan programlar bahsedilen programlayıcı ile ROM, EPROM veya EEPROM kalıcı tip belleklere aktarılabilir. PROM'lar silinemediği için önce EPROM üretilmiştir, fakat bu tip belleklerin silinmesi uzun süre gerektirdiğinden elektrikle programlanıp yine elektrikle silinebilen EEPROM veya diğer adıyla FLASH ROM bellekler günümüzde

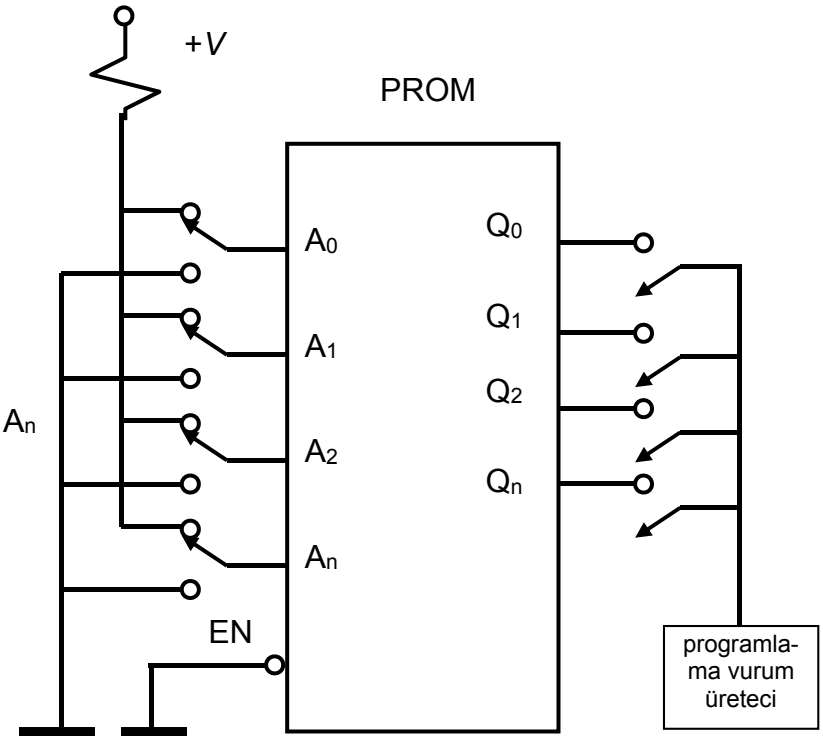
yaygın olarak kullanılmaktadır.



Şekil-5.15 İki kutuplu (bipolar) PROM ve sigorta bağlantıları. (Tüm kollektörler V_{CC}'ye bağlıdır.)

EPROM'LAR

EPROM, içindeki veri yada program silindikten sonra yeniden programlanabilen PROMdur. EPROM üretiminde yalıtılmış geytli NMOSFET dizim kullanılır. Yalıtılmış geytin hiç bir elektriksel bağlantısı yoktur ve elektriksel bir yükü sonsuza dek saklayabilir. Bu tür bir dizimde veri bitleri, elektriksel yükün varlığı yada yokluğu ile gösterilir. Silme işlemi, geyt yüklerinin boşaltılmasıyla sağlanır. Silinebilir PROM'ların temel iki türü UV EPROM ve EEPROM'dur.



Şekil-5.16 Basitleştirilmiş PROM programlama devresi.

UV EPROM'LAR

Bir UV EPROM kılıfındaki saydam quartz pencere ile kolayca tanınır. Morötesi EPROM içindeki FETlerin geytleri yalıtkan oksit malzeme içine gömülüdür. Programlama sırasında elektronlar bu "yüzer" geytlerden alınır. Silme işlemi, bellek dizim yongasına quartz kapak üzerinden yüksek yoğunlukta morötesi ışıma uygulanmasıyla yapılır. Bir kaç dakika ile bir saat arası değişen süre sonunda geytlerdeki pozitif yük sıfırlanır.

Üretici firmasına ve yapım teknolojine bağlı olarak EPROM'ların programa gerilimleri farklıdır. NMOS teknolojisi ile üretilen EPROM'lar 25 veya 21 volt ile programlanır. CMOS ve türevleri ile üretilen EPROM'lar 12,5 volt ile programlanır. NMOS olarak EPROM üretimi aslında durdurulmuştur, fakat eski devreler üzerinden sökülen ve silinen EPROM'lar halen piyasada bulunmaktadır. EPROM kodları üretici firmanın kullandığı harfler ile başlar ve 27XX olarak devam eder.27'den sonra C harfi varsa bu tür EPROM'lar CMOS ve türevleri ile üretildiğini gösterir. XX EPROM'un Kbit cinsinden kapasitesini gösterir.

EEPROM'LAR

EEPROM'lar, elektriksel vurularla hem silinebilen hem de programlanabilen PROM'lardır. Bu aygıtlar EAPROM olarak da adlandırılırlar. EEPROM'lar elektriksel olarak silinip, programlanabildikleri için devreden sökülmeden çabucak içerikleri değiştirilebilir. EEPROM' un iki türü; yüzer geyt MOS ve metal-nitride-oxide-silicon (MNOS) ile yapılmış olanlarıdır. Yüzer geyt yapıda, yüzer geytlerden yükün

boşaltılması yada yüklenmesi, denetim geytine uygulanan gerilim ile yapılır. Günümüzde en yaygın kullanılan PROM ailesi bireyidir. Bazı firmalar üretim teknolojisinde küçük farklılıktan dolayı bu tip PROM'lara FLASH bellek adı vermektedirler. Programlanmaları ve silinmeleri çok kısa sürede gerçekleştirilebilir (birkaç saniye). Yeni üretilen FLASH bellekleri boyutları 4 Gbayt X8 kapasitesindedir. Yakın gelecekte bilgisayarlarda hard diskin yerini alması beklenmektedir.

EEPROM kodları ise yine üretici firma ve 28 ile başlar daha sonra üretim teknolojisini gösteren harf yer alır. Ve en sonunda Kbit cinsinden kapasiteyi gösteren 2 veya 3 rakam yer alır bu rakamlardan sonra yer alan harfler ise paketleri hakkında ve sıcaklık aralığı ile ilgili bilgiler verir. FLASH ROM'ların kodları ise firma kodu ve 29CXX olarak adlandırılmaktadır. Bazı firmalar ise 28FXX kodu ile adlandırmaktadırlar.

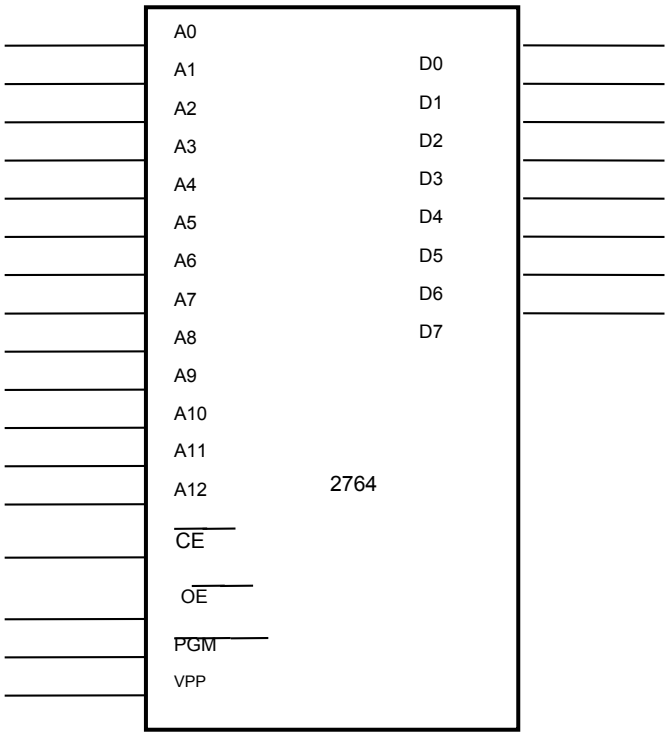
ÖRNEK EPROM 27C64

27C64 birçok firma tarafından üretilen 8KX8 boyutlarında bir EPROM'dur. CMOS teknolojisi ile üretilenler 12,5 Volt ile programlanabilirler silme işlemi ise ultraviyole ışınla 10 dakikada yapılabilir. Okuma için, seçme CE ve OE girişlerinin DÜŞÜK seviye olması ve V_{pp} gerilimi +5 Volt ve power-down/program (PD/$\overline{PGM}$) girişleri DÜŞÜK olmalıdır. PD/$\overline{PGM}$ girişi YÜKSEK olduğunda aygıt kaynaktan az akım çekilen ve az güç harcanan standby (bekleme) durumundadır.silme işleminde 12mW/cm^2 gücünde filtresiz UV lamba kullanılırsa veri 20 - 25 dakika içinde silinir. Çoğu EPROMda olduğu gibi silme işleminden sonra bütün bitler "1"dir. Gün ışığında da silmeyi sağlayan dalga boyunda ışımalar bulunduğu için tümdevrenin üstündeki saydam pencere kapalı olmalıdır.

Programlama için, V_{pp} ucuna +12,5V dc (normalde +5V) uygulanır ve CE girişi YÜKSEK yapılır. Seçilen adrese programlanacak 8-bit, çıkışlara (Q_0 - Q_7) verilir. Sonra PD/$\overline{PGM}$ girişine 10-50ms süreli YÜKSEK seviye uygulanır. Programlama istenilen adres sıralaması ile yapılabilir.

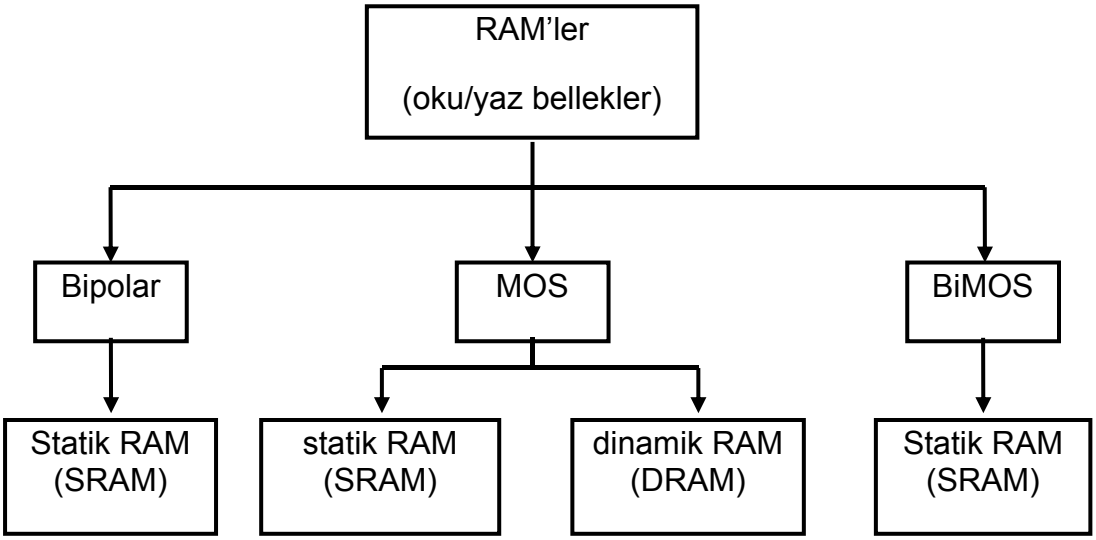
OKU/YAZ DOĞRUDAN ERİŞİMLİ BELLEKLER RAM'LER

RAMlere veri istenilen sırada ve zamanda yazılabilir ve okunabilir. RAM adreslerinden birine bir veri yazılınca önceki veri yok olur. Okuma işlemi ise yüklü veriye zarar vermeyen bir kopyalamadır. Doğrudan erişimli belleklerde devrenin gerilimi kesilince bütün yüklü veri kaybolur.



RAM AİLESİ

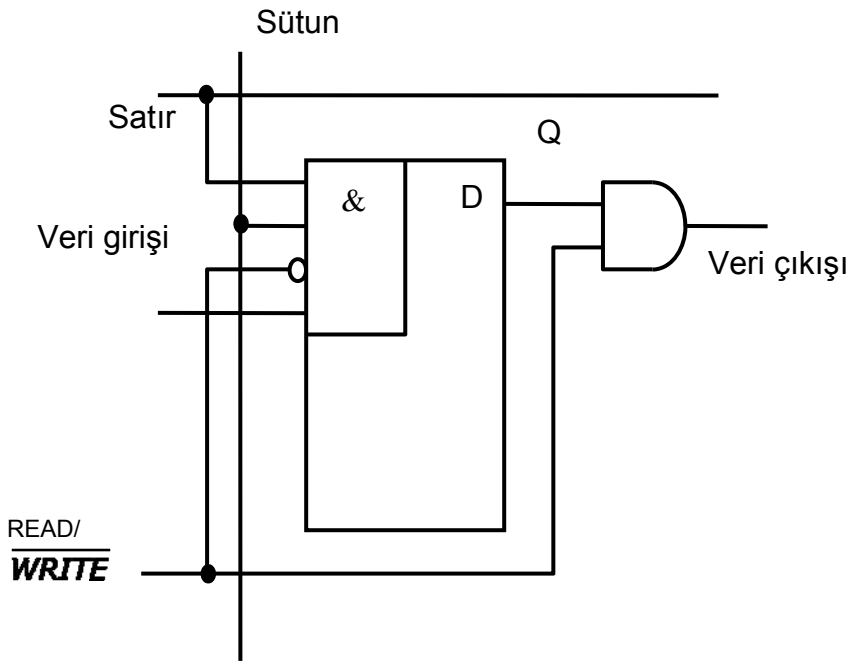
Yarıiletken RAMler bipolar yada MOS olarak üretilmektedirler. Bazı bellek aygıtları BiMOS denilen ve bipolar (TTL ada ECL) ve MOS teknolojilerinin bir birleşimi olan teknikle üretilirler. Bipolar RAMlerin tümü statiktir. Statik bellekte tutucu (latch) benzeri saklama aygıtları kullanıldığından veri, gerilim uygulandığı sürece saklanır. MOS teknolojisinde üretilen dinamik RAMlerde ise veri sığaçlar (capacitor) üzerinde saklandığından belli aralıklarla tazeleme (refreshing /recharging) gerekir.



Şekil-5.17 Yarıiletken RAM ailesi.

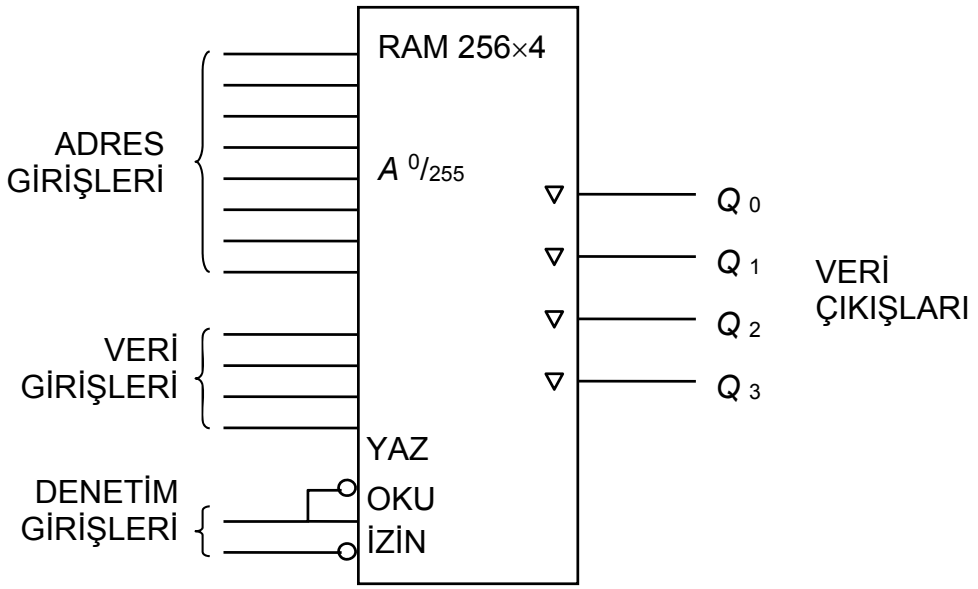
STATİK RAM'LER (SRAM)

SRAM'lerde saklama işlemi bipolar yada MOS tutucular ile yapılır. Veri bir göze yazıldıktan sonra, enerji kesilene yada aynı göze yeni bir veri yazılana dek saklanır. Gerilim kesilince verinin yok olması nedeniyle RAM'lere geçici bellek denir.



Şekil-5.18 Statik RAM bellek gözü. Bellek elemanı olarak tutucu kullanılır.

Şekil-5.18'te verilen SRAM hücresinin çalışması şöyledir: hücre (göz), satır ve sütun hatlarındaki YÜKSEK seviye ile seçilir. OKU/$\overline{YAZ}$ (READ/$\overline{WRITE}$) girişi "0" olunca (yazma kipi) girişteki veri tutucuya ulaşır. OKU/$\overline{YAZ}$ girişi "1" olunca tutucu etkilenmez ama yüklü veri biti (Q) çıkış yoluna aktarılır.

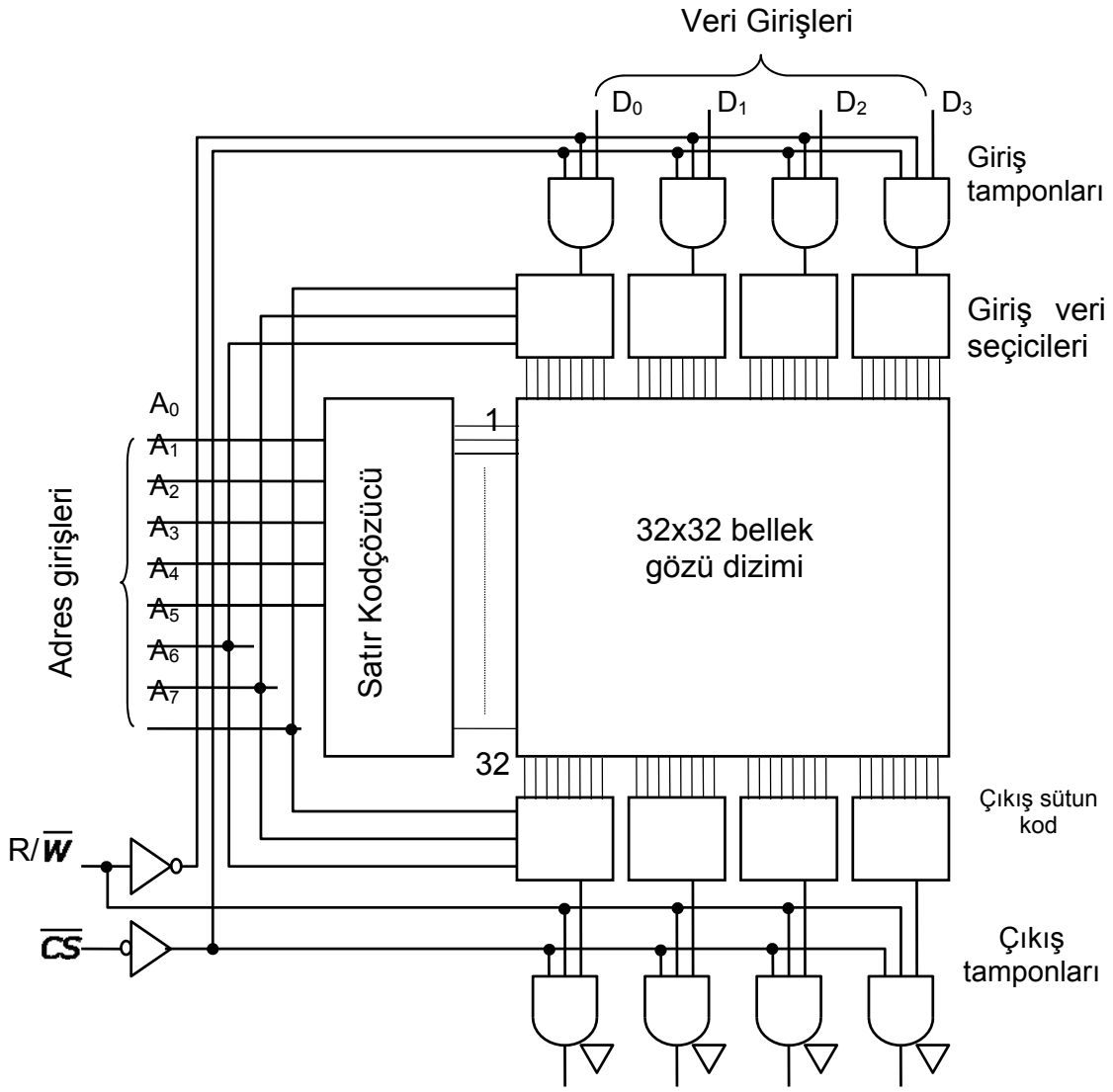


Şekil-5.19 256×4 SRAMin mantık simgesi.

STATİK RAM'İN İÇ DÜZENİ

RAM, ROM ile aynı şekilde adreslenir. Aralarındaki ayrım yalnızca veri giriş uçları ve OKU/$\overline{YAZ}$ denetimidir. 1024-bit kapasiteli ve 256×4 düzenli bir SRAMin mantık simgesi Şekil-5.19'da, iç yapısı da Şekil-5.20'de gösterilmiştir.

Okuma durumunda (READ/$\overline{WRITE}$ YÜKSEK) seçilen adresteki 4-bit, $\overline{CS}$ DÜŞÜK seviye yapılarak çıkıştan alınır. Yazma kipinde (READ/$\overline{WRITE}$ DÜŞÜK) ise veri girişine uygulanan 4-bit, seçilen adrese saklanır. Sekiz adres hattından beşi, satır kodçözücü üzerinden 32 satırdan birini seçer. Geriye kalan üç hat ise, okuma kipinde çıkış sütunlarını, yazma kipinde de veri giriş sütunlarını seçmek için kullanılır. Okuma sırasında çıkış, yazma sırasında da giriş tamponlarına izin verilerek adreslerde veri bozulması önlenir. $\overline{CS}$ girişi okuma ve yazma durumlarında DÜŞÜK olmalıdır.



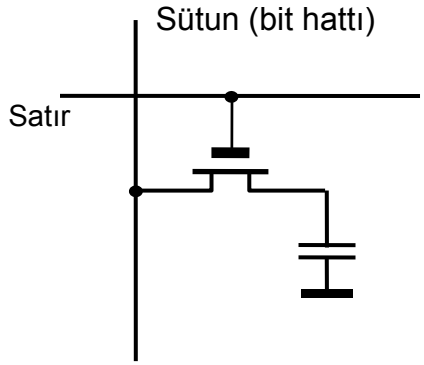
Şekil-5.20 256 × 4 statik RAM için temel düzenleme.

DİNAMİK RAMLER (DRAM)

Dinamik RAMlerde veri tutucular yerine küçük sığaçlarda saklanır. Bu yöntemin üstün yanı, çok basit olması nedeniyle aynı boyuttaki bir yonga üzerine daha büyük dizimlerin yapılmasına olanak vererek bit başına maliyeti çok azaltmasıdır. Sakıncası ise, içindeki sığaçların veriyi çok uzun süre saklayamamaları nedeniyle yüklemenin periyodik olarak yenilenmek zorunda olmasıdır. Yenileme işlemi ek bellek devresi gerektirir ve DRAM kullanımını karmaşıklaştırır. Şekil-5.21'de bir MOSFET ve bir sığaçla oluşturulmuş tipik bir DRAM hücresi verilmiştir

Transistör dinamik RAM'larda anahtarlama elemanı olarak kullanılır. Hücrenin çalışması Şekil-5.22'de gösterilmiştir. R/W hattındaki DÜŞÜK seviye giriş üç durumlu tamponu izinlerken, çıkış tamponunu izinlemez. Bu moda yazma modu adı verilir. Bu durumda hücreye "1" bilgisi yazılacak ise D_{IN} hattına bir YÜKSEK seviye,

“0” bilgisi yazılacaksa bir DÜŞÜK seviye, satır hattına bir YÜKSEK seviye uygulanmalıdır. (Şekil-2.22 (a)’ya bakınız.) Transistör iletimdedir ve sütundaki yüksek seviye kondansatörü doldurur, eğer dolu ise boşalmasını engelleyerek “1” mantık seviyesinde kalmasını sağlar. D_{IN} hattına bir DÜŞÜK seviye uygulanırsa kondansatör önceden dolu ise boşalır DÜŞÜK seviyeye gelir, önceden boş ise, seviyesini koruyarak mantık “0” saklanmış olur(Şekil-5.22 (b)). R/W hattına YÜKSEK seviye uygulandığında çıkış tamponu izinlenirken giriş tamponu kapalıdır. Bu durumda satır hattına YÜKSEK seviye uygulanırsa transistör iletime geçer ve kondansatörün sahip olduğu yük D_{OUT} çıkışına aktarılır. (bakınız Şekil-5.23).

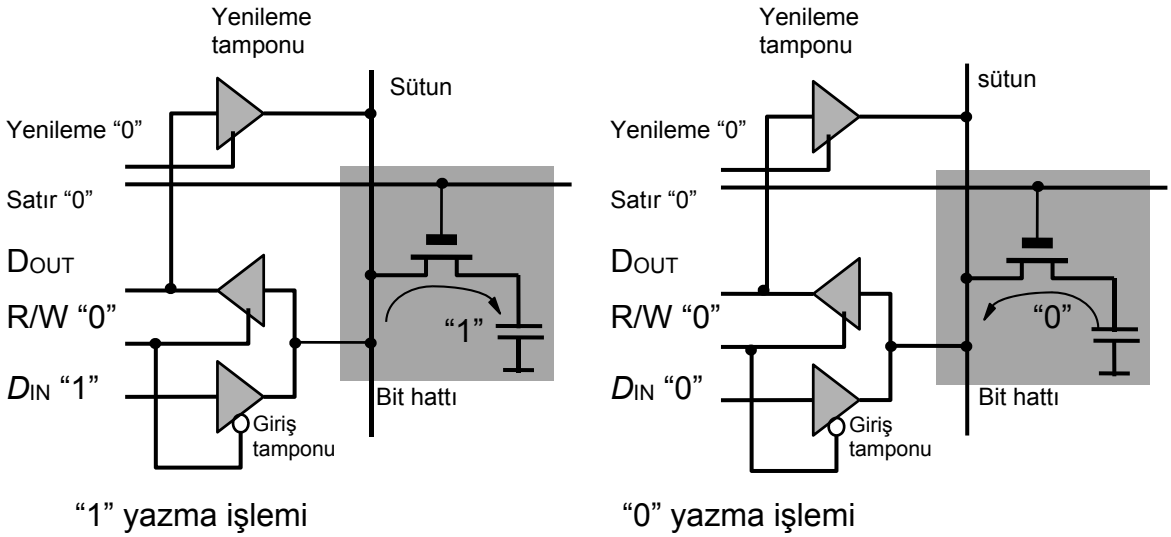


Şekil-5.21 Dinamik MOS RAM hücresi.

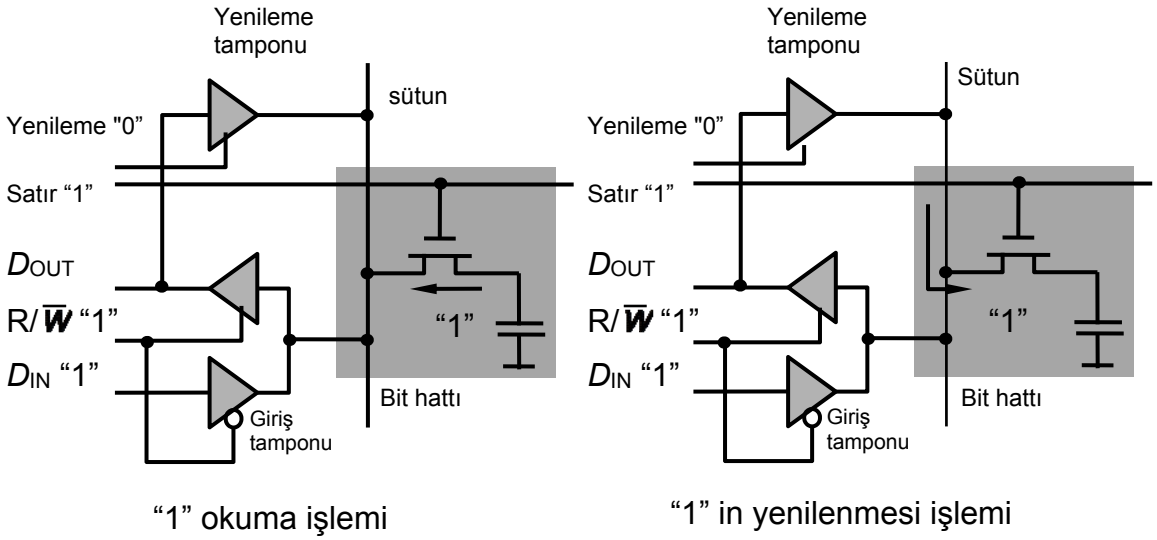
Bellek hücresinin içeriği (tazelenmesi) yenilenmesi işlemi için R/W hattı ve yenileme girişi YÜKSEK seviyeye çekilir. Satır hattına YÜKSEK seviye uygulandığında transistör iletime geçer ve kondansatörün yükü D_{OUT} üzerinden yenileme tampon girişine uygulanır. Tampon tarafından yükseltilen gerilim tekrar kondansatörü doldurur. Daha doğrusu eksilen kısım tamamlanır. Eğer kondansatörün yükü “0” ise herhangi bir yükseltme yapılmadığı için kondansatör tekrar boş olarak kalır. Şekil-5.23’de hatların seviyeleri ve akım yönleri gösterilmiştir.

DRAMİN TEMEL DÜZENİ

Statik ve dinamik RAMler arasındaki ana ayrım, verinin saklandığı gözlerin yapısıdır. Dinamik RAM’lar veriyi tutucu yerine kondansatör içerisinde saklar. Avantajı ise yapısı çok basittir bir transistör ve kondansatörden bir bellek hücresi elde edebiliriz. Oysa statik RAM’larda transistör sayısı 15-20 arasıdır. Az eleman kullanılması daha küçük alana daha fazla hücrenin yerleştirilmesini ve ucuza üretilmesini sağlamıştır. Dinamik RAM’larda kondansatör yükünün zamanla kaybolması nedeniyle belirli aralıklarla yenileme gerektiğinden ek devreler de gereklidir. DRAM’lerde ayrıca şimdi sayılacak bazı özellikler de vardır.



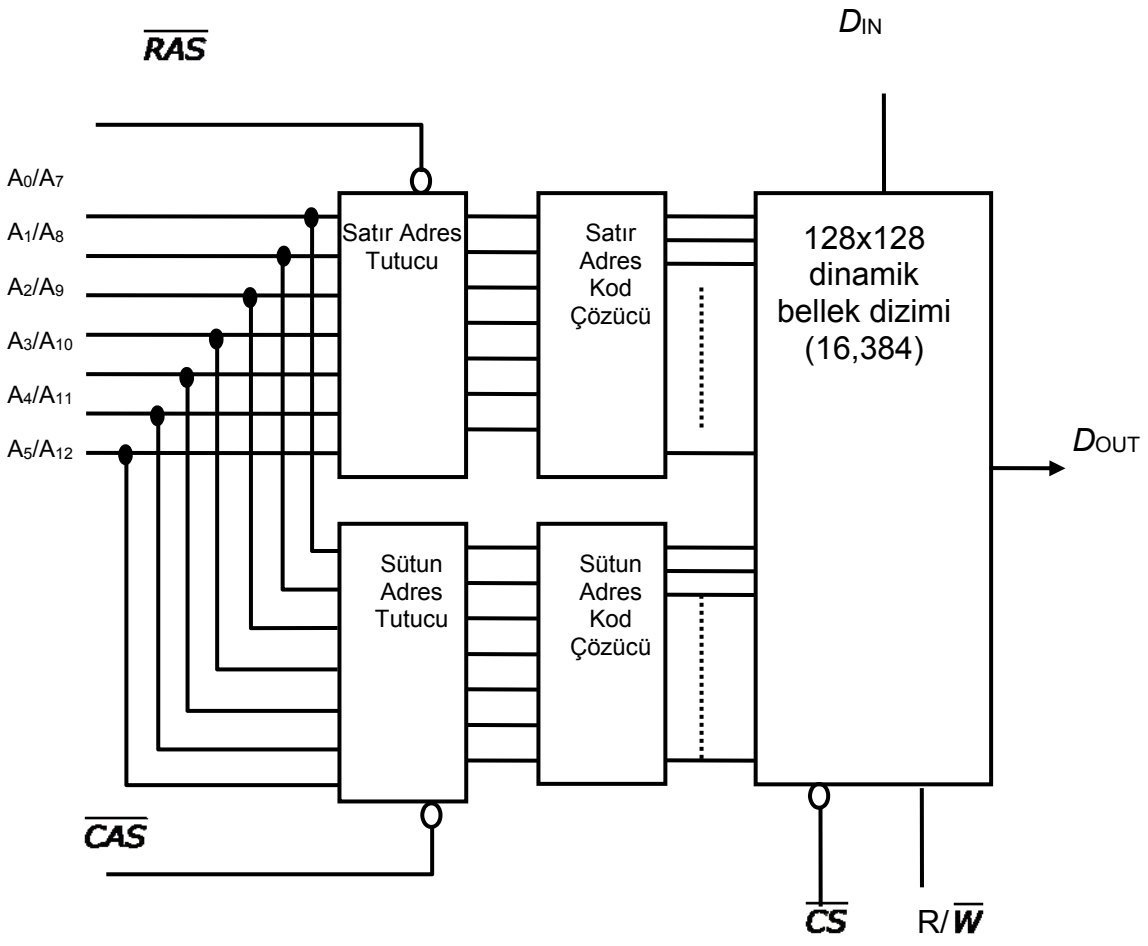
Şekil-5.22 statik RAM'e 0 ve 1 yazma işlemi



Şekil-5.23 Dinamik bellek gözünün çalışması.

ADRES ÇOĞULLAMA

Çoğu DRAMlerde *adres çoğullama* denilen bir teknik kullanılarak adres hattı sayısı, ve böylece de kılıf dışına taşınması gereken bacak sayısı azaltılır. Şekil-5.24'de 16,384 (16 kbit) DRAM blok diyagramı verilmiştir. Diyagram adres çoğullamanın gösterilebilmesi için basitleştirilmiştir ve bellek düzenlemesi 16×1 olarak yapılmıştır.



Şekil-5.24 Adres çoğullamalı 16 kbit dinamik RAM blok diyagramı.

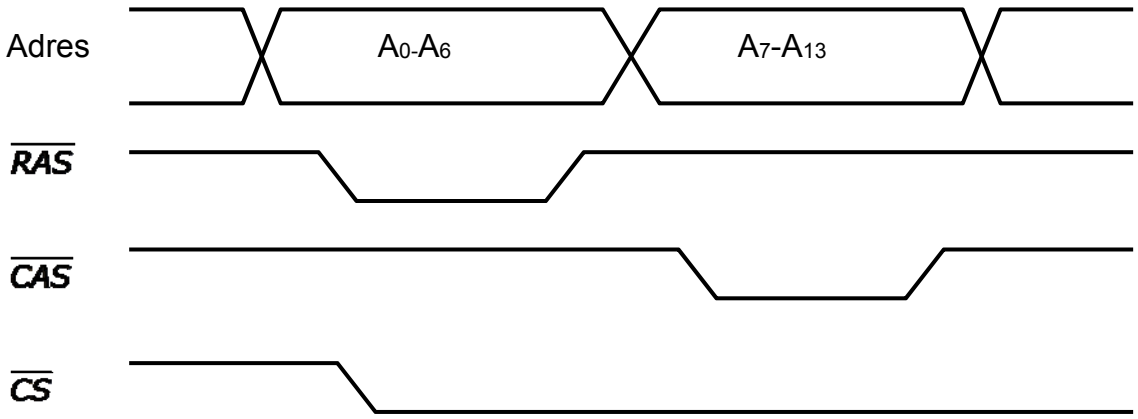
14-bit adres kodu (2^{14}=16,384) adres girişine sırayla verilir. Önce 7-bit satır adresi verilir ve RAS (row address strobe) girişi “0” yapılarak satır adresi satır adres tutucusuna yazılır. Sonra, 7-bit sütun adresi verilir ve CAS (column address strobe) girişi “0” yapılarak sütun adresi sütun adres tutucusuna yazılır. 7-bit satır adresi ve 7-bit sütun adresi kod açılarak yazma yada okuma için seçilen adrese ulaşılır.

BELLEK İÇERİĞİNİN TAZELENMESİ

Tüm dinamik ram hücreleri kondansatörün yükünü zamanla kaybetmesinden dolayı belirli aralıklarla içeriklerinin tazelenmesi (refresh) (bazı kaynaklarda yenileme olarak kullanılır) gerekir. Tazeleme devresi bellek tümdevresi içerisinde yer alabilir veya dışarıdan bu iş için üretilmiş olan denetleyici tümdevreler kullanılarak yapılabilir. Tazeleme işlemi kondansatör yükünün mantık “1” saklandı ise, mantık “0” okunacak seviyeye gelmeden yapılması gerekir.

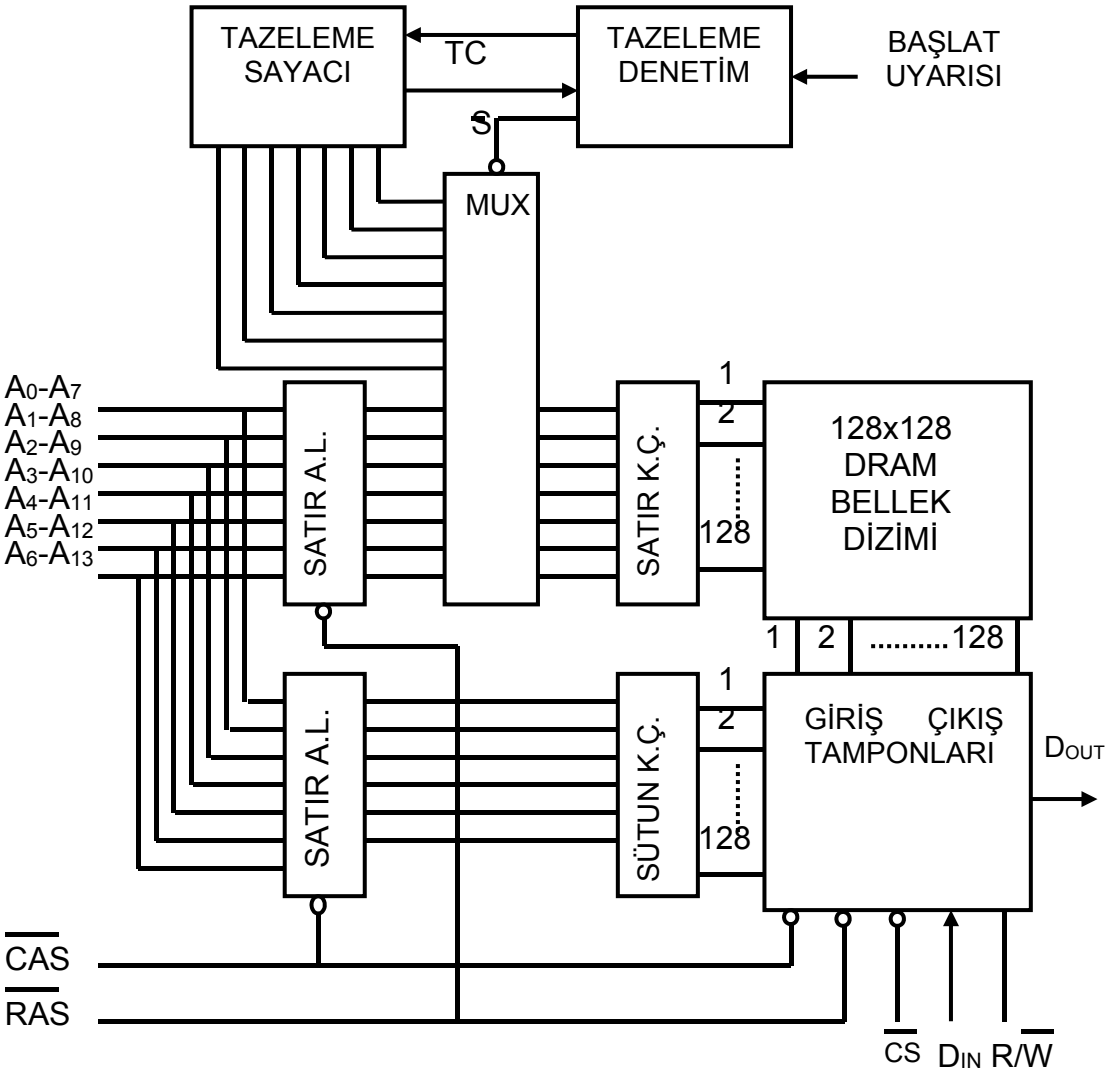
Tazeleme işlemi başlangıç satırından başlayarak her satırdaki hücreler aynı anda olacak şekilde sırayla yapılır. Bu tazeleme yöntemine BURST tazeleme adı verilir. Tazeleme işlemi her 2ms ile 4ms arasında mutlaka yapılmalıdır. Tazeleme sırasında okuma veya yazma yapılamaz. Diğer bir tazeleme yöntemi ise satır tazelemesini

okuma ve yazma işlemlerinin arasına serpiştirerek yapar. Bu yöntemde öncelik bellekten veri okuma veya yazmaya verilmiştir. Şekil-5.26'daki tazeleme devresinin çalışmasını inceleyelim. Tazeleme işlemi başlat girişi ile başlatılır. Tazeleme zamanlayıcısı ve denetleme birimi tazeleme kendisine gelen uyarı ile tazeleme sayacının değerini bir arttırmasını ve çıkışlarını satır adres kod çözücü girişine uygulanmasını sağlar, buraya ulaşan satır adresi tazelenecek satırı seçer. daha önce bahsedildiği gibi aslında bellekler içeride her satırda sekiz bellek hücresi içermezler. Satır ve sütun sayısı eşittir. Şekil-5.26'daki örnek DRAM'ın boyutu 128X128'dir.

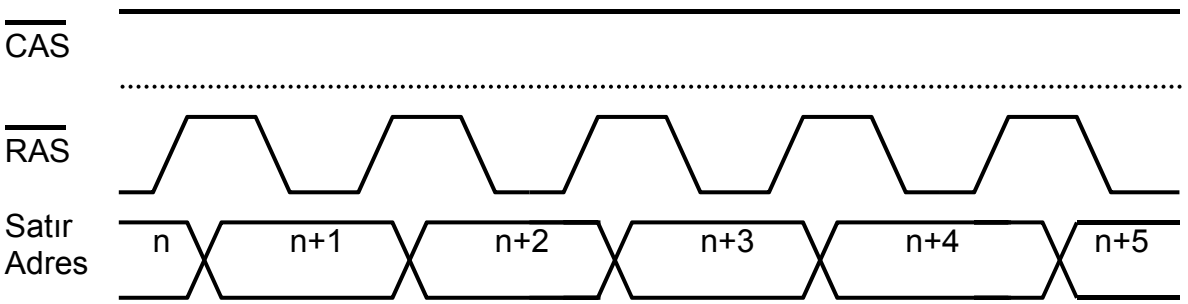


Şekil-5.25 Adres çoğullama için zamanlama diyagramı.

Bir satır tazelendiğinde 128 bellek hücresi tazelenmiş olur. Satırın tazelenmesi için RAS işaretinin etkin yapılması gerekir. Bir sonraki satırın tazelenebilmesi için tekrar uyarı girişinin ve RAS işaretinin etkin olması gerekir. BURST tazeleme yönteminde uyarı girişine işlemin başlangıcında işaret gönderilir ve zamanlayıcı sabit frekansta sayar bu frekansla orantılı olarak RAS işareti dış birim tarafından etkin yapılır. Böylece tazeleme bir defada gerçekleştirilir. Fakat bu tazeleme süresince belleği kullanmak isteyen birimler beklemek zorundadır. Şekil-5.27'de tazelemenin zamanlama diyagramı verilmiştir. Tazeme sırasında CAS işareti yüksek seviyede bırakılarak içerideki veri değişimlerinin dışarıdaki birimleri etkilemesi engellenir. Tazeleme işlemini okuma ve yazma işlemlerinin arasına serpiştiren yöntemde ise her satırı tazelemenin öncesi uyarı işaretinin gönderilmesi zorunludur.



Şekil-5.26 Örnek dinamik RAM'ın iç yapısı ve tazeleme devresi.



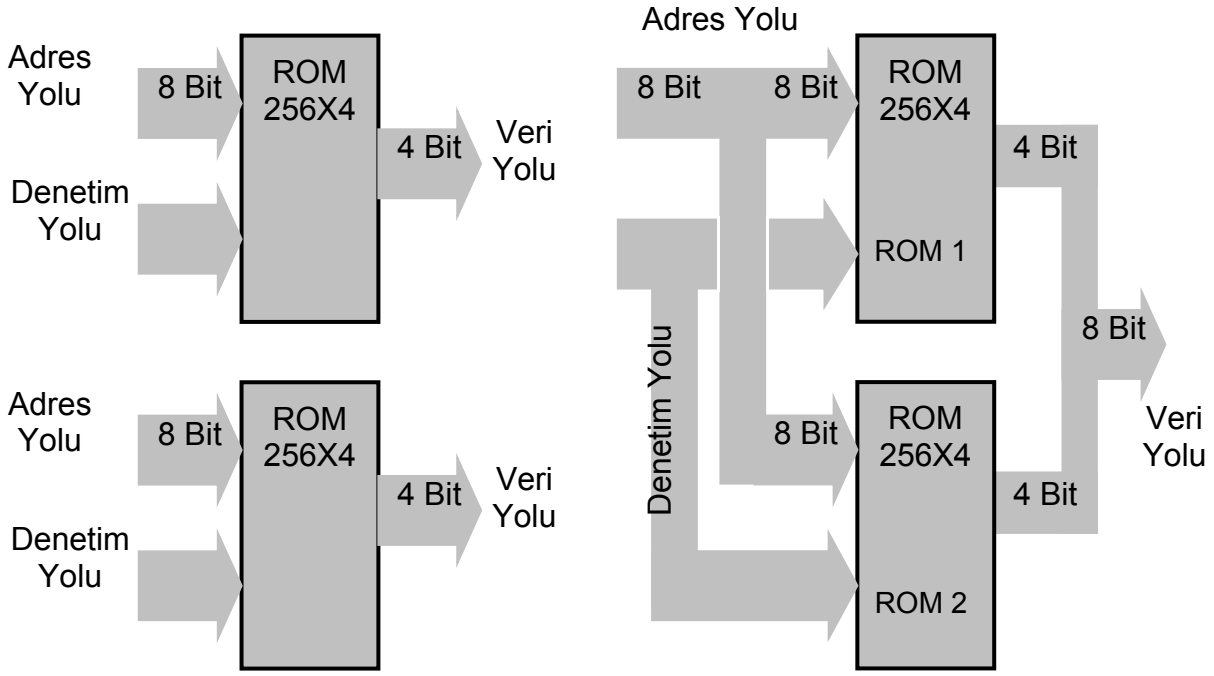
Şekil-5.27 Tazeleme zamanlama diyagramı.

BELLEK GENİŞLETME

Her zaman gereksinim duyulan bellek kapasitesi tek bir tümdevre olarak üretilmez. İstenilen boyutta bellek elde etmek için üretilen belleklerden yola çıkarak sözcü veya satır genişletmesi yapılarak elde edilebilir. Bellek genişletme, adres, veri ve denetim yollarına uygun sayıda bellek yongası eklenerek gerçekleştirilir. Genişletme yapılırken tüm devrenin girişleri veya çıkışları birbirine birleştirilebilir. Birleştirme yapılırken genişletme tipine göre öncelik sırası olmakla beraber adres hatları, veri hatları, denetim hatları olarak sınıflandırılması bağlantıları kolaylaştırır. Daha önce veri hatlarına kısaca veri yolu, adres hatlarına adres yolu ve kontrol hatlarına kısaca kontrol yolu olarak adlandırmıştık bundan sonra bu terimleri kullanacağız.

SÖZCÜK UZUNLUĞUNU ARTIRMA

Belleğin sözcük uzunluğunu arttırmak için veri yolundaki bit sayısı arttırılmalıdır. Örneğin 8-bitlik sözcük uzunluğu için her biri 4-bit uzunlukta iki bellek kullanılabilir. Bu genişletmeye enine genişletme adı da verilir.

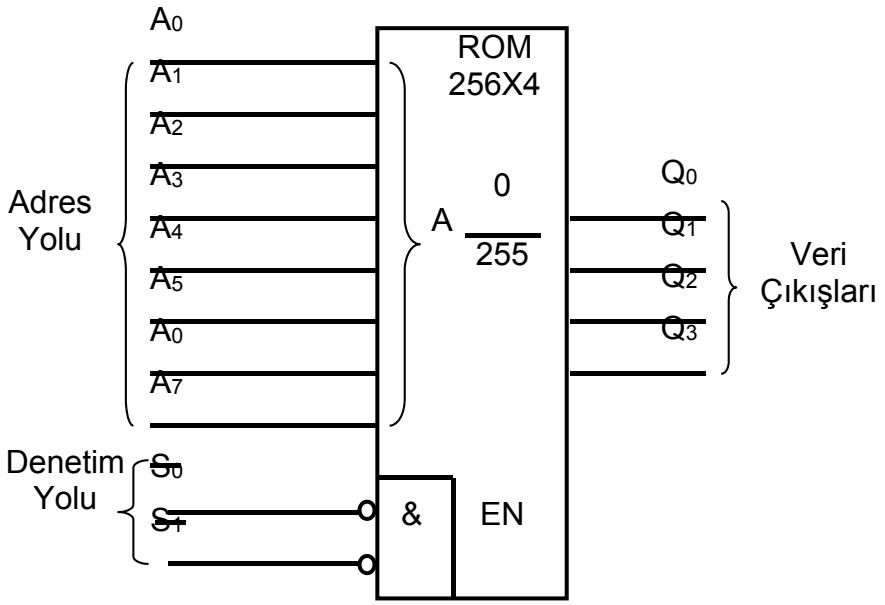


Şekil-5.28 Sözcük sayısını arttırmak için "enine" genişletmenin temel ilkesi.

Şekil-5.28'de görüldüğü gibi sözcük genişletmesi için giriş kısmında bulunan hatlar birleştirilerek giriş sayısı sabit kalıyor, çıkış kısmındaki hatlar ise birleştirilmiyor ve çıkıştaki hat sayısı iki katına çıkıyor. Girişteki hatlar birleştirilirken aynı isimli olmalarına dikkat edilmelidir. Adres hatlarının sayısı artmadığı için satır sayısı sabit kalacaktır. (2^8=256).

ÖRNEK: Şekil-5.29'da mantık simgesi verilen ROM'dan kullanarak 256X8

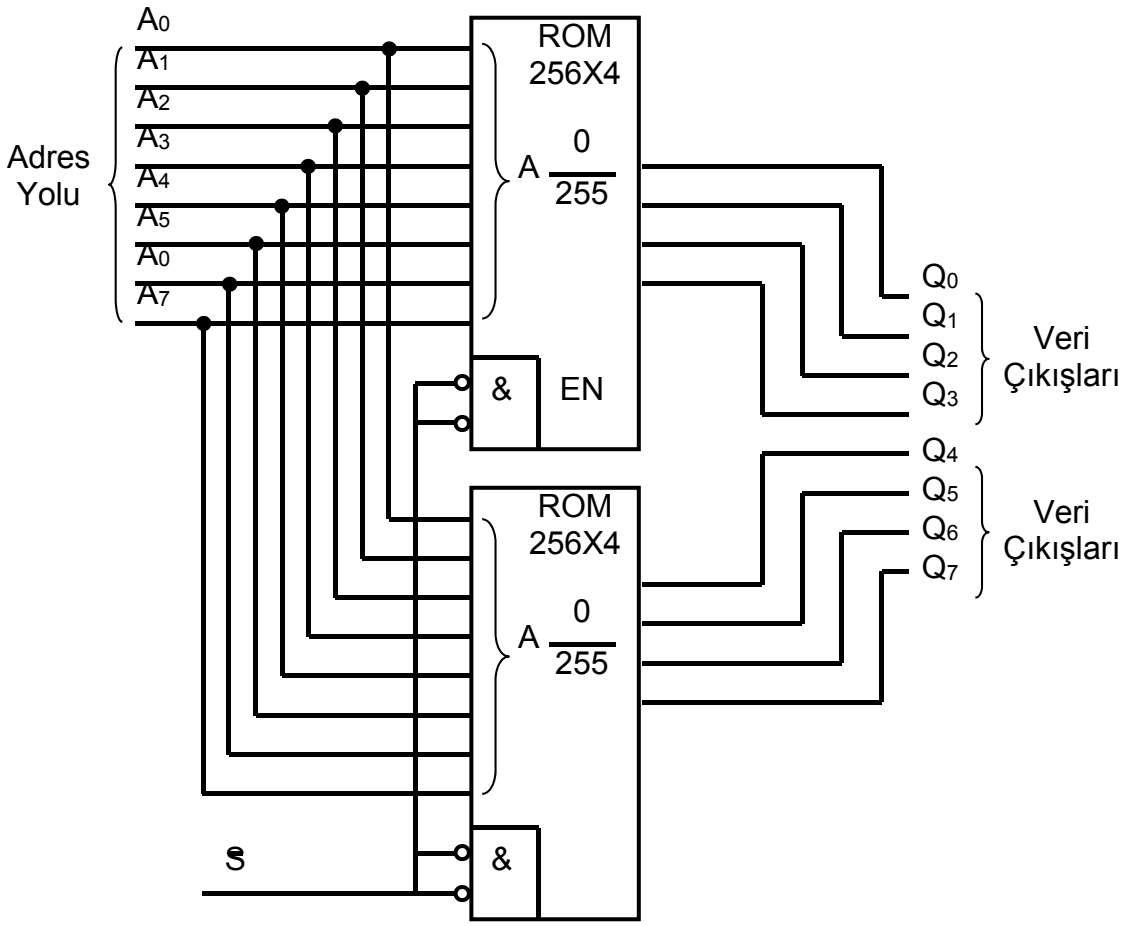
boyutlarında bir bellek dizimi elde edin.



Şekil-5.29 256X4 ROM'un mantık simgesi

ÇÖZÜM:

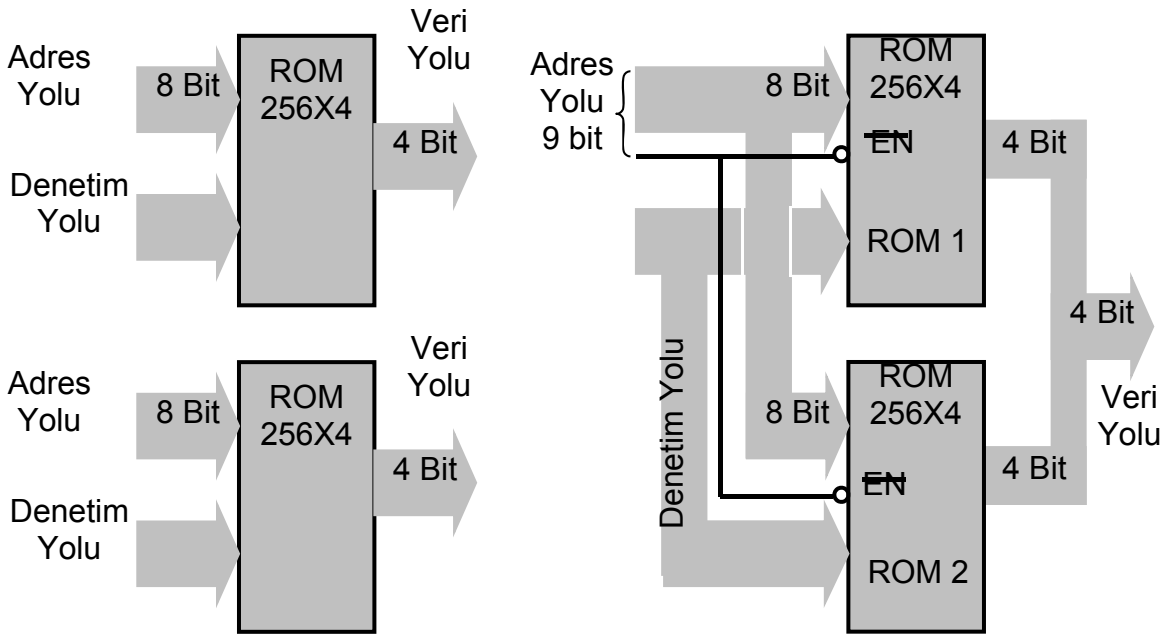
İki adet 256X4 boyutundaki ROM kullanılarak 256X8 boyutunda bellek dizimi Şekil-5.30'da gösterildiği gibi elde edilir.



Şekil-5.30 Kelime uzunluğunun 8'e çıkarılması.

SATIR SAYISI ARTIRMA

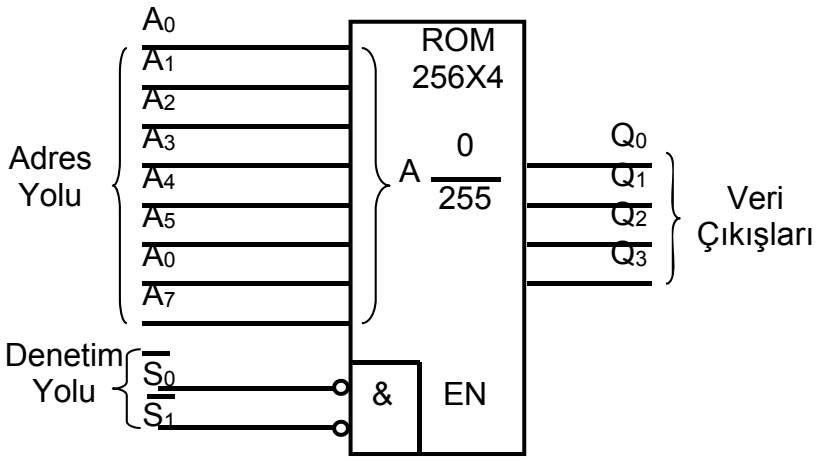
Bellekte saklanabilecek sözcük sayısının arttırılması, adres sayısının arttırılmasıyla olasıdır. Bu artışı sağlamak için adres bitlerinin sayısı arttırılmalıdır. Şekil-5.31'de boyuna artırılma işlemi gösterilmiştir. Adres yolunda bir hat tümdevre adres girişlerinden fazla olacaktır. Bu hat tümdevre seçme görevi üstlenecektir. DÜŞÜK seviye olduğunda ROM 1 etkin olur ve bu tümdevreden satır seçilir. YÜKSEK seviye olduğunda ise ROM 2 etkin olur. Adres yolunda artan hat sayısı 2 veya daha fazla olduğunda sadece DEĞİL geçidi yetmeyecek ve kod çözücü kullanılacaktır.



Şekil-5.31 Satır sayısını arttırmak için "boyuna" genişletmenin temel ilkesi.

ÖRNEK:

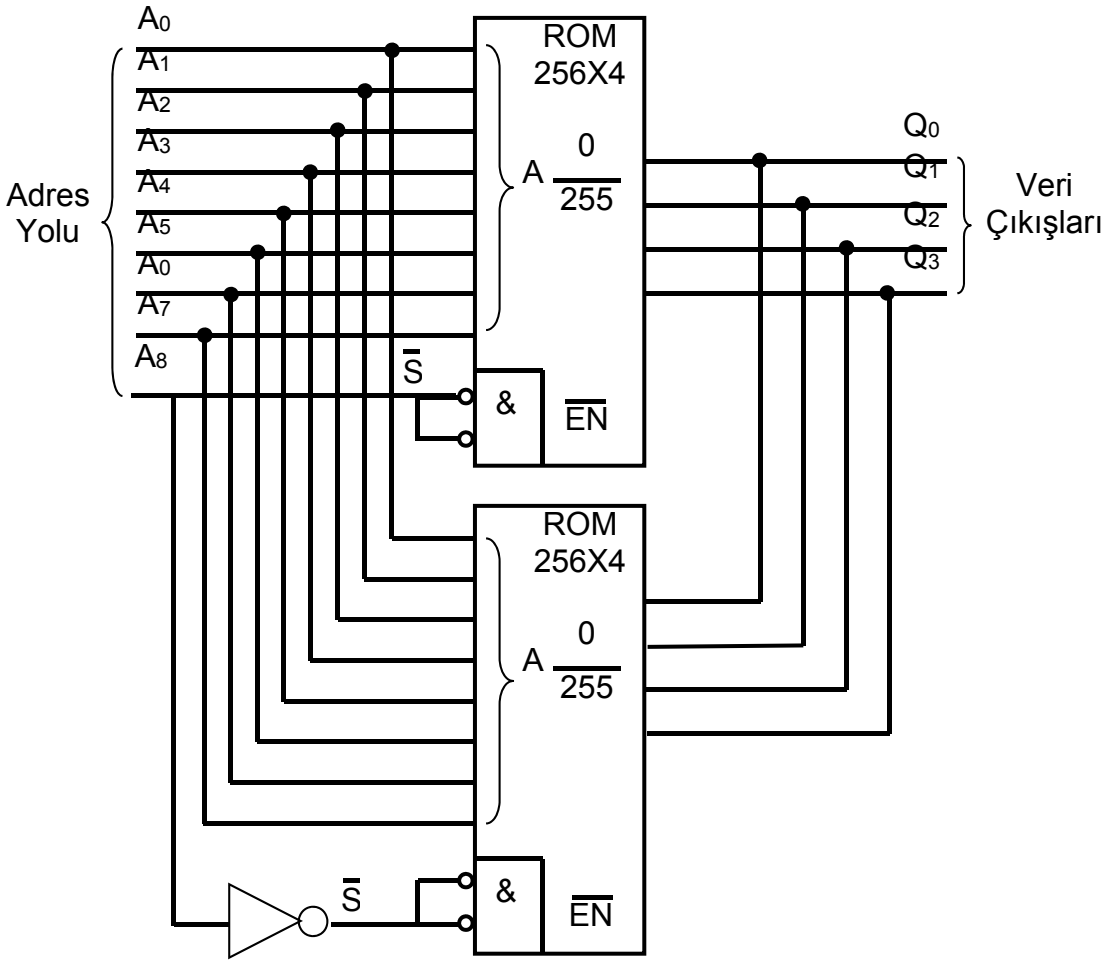
Şekil-5.32'de mantık simgesi verilen belleklerden kullanarak 512X4 kapasite de bellek elde eden bağlantıyı yapınız.



Şekil-5.32 256X4 ROM'un mantık simgesi

ÇÖZÜM:

Satır sayısının iki katına çıkarmak için tümdevrelerin adres bilgisi için dokuzuncu adres girişi olması gerekir. Fakat bu ROM'larda sadece 8 adres girişi vardır. Dokuzuncu adres bilgisi EN (S) girişine uygulanacaktır. İlk 256 satırı oluşturan ROM 1 satırları adreslenirken dokuzuncu bit "0" olacaktır. EN girişi DÜŞÜK seviyede etkin olduğu için doğrudan bağlanabilir. Adres yoluna 00-255 arası adres bilgisi geldiğinde ROM 1 tümdevresi etkin olacaktır. Dokuzuncu bit ROM 2'ye doğrudan bağlanamaz, çünkü bu tümdevre dokuzuncu bitin "1" olduğu durumlarda etkin olacaktır. EN girişi ile uyuşabilmesi için DEĞİL'lenerek bu girişe bağlanması gerekir. Adres yoluna 256-511 arası bilgi geldiğinde ROM 2 etkin olacaktır.

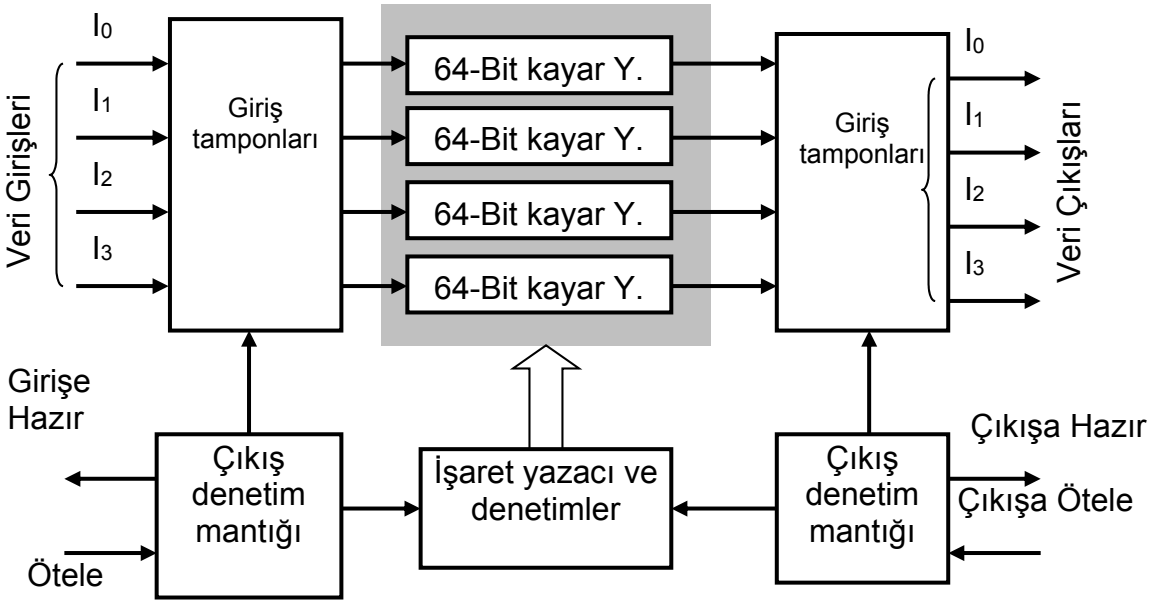


Şekil-5.33 Satır sayısının 512 yapılması.

ÖZEL BELLEK TÜRLERİ

İLK GİREN İLK ÇIKAR (FIFO-FIRST IN FIRST OUT) BELLEKLER

Bu bellek türü kayar yazaçlar ile oluşturulmuştur. FIFO terimi, bu bellek türünün temel çalışma biçiminden kaynaklanır: Belleğe ilk yazılan bit ilk önce okunacaktır. Kaygan yazaç ile FIFO yazaç arasındaki en önemli ayrım, tabloda gösterilmiştir. Alışılagelmiş yazaçta veri biti, yalnızca yeni veri girildikçe kayar. FIFO yazaçta ise girilen veri hemen yazacın boş olan en sağ ucuna kaydırılır.



Şekil-5.34 Tipik FIFO seri belleğin blok diyagramı.

Normal kayar yazaç

Giriş	X	X	X	X	Çıkış
0	0	X	X	X	→
1	1	0	X	X	→
1	1	1	0	X	→
0	0	1	1	0	→

FIFO kayar yazacın

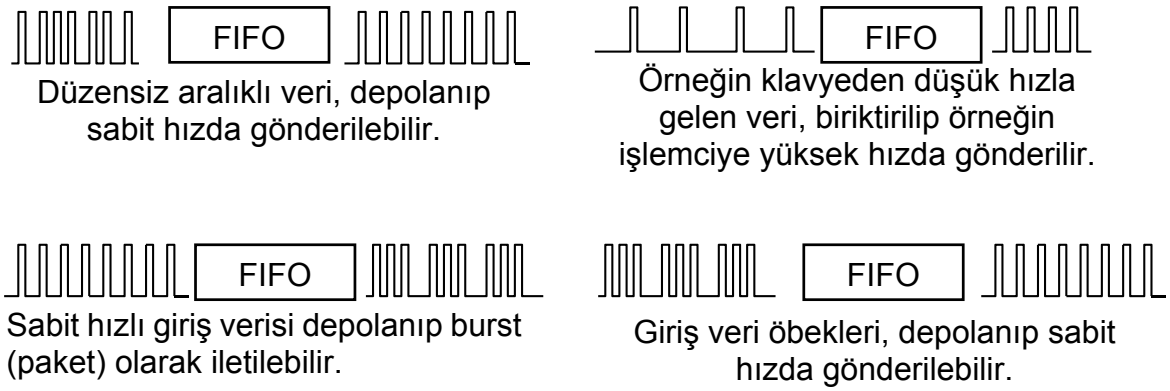
Giriş	—	—	—	—	Çıkış
0	—	—	—	0	→
1	—	—	1	0	→
1	—	1	1	0	→
0	0	1	1	0	→

Tablo-12.1 Normal kayar yazaç ile FIFO kayar yazacın çalışması.

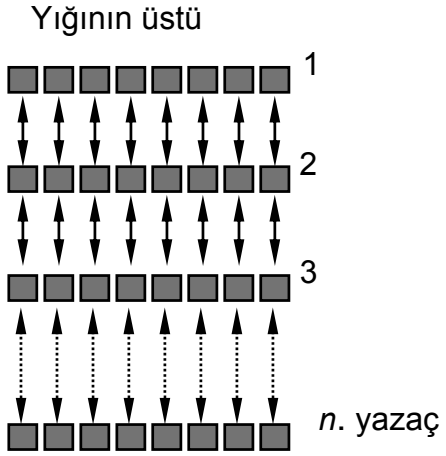
Şekil-5.34'te, dört 64-bit seri veri yazacı ve bir 64-bit işaret (denetim) yazacı içeren bir FIFO seri bellek görülmektedir. Veri, içeri ötele (shift in) komutuyla girildiğinde, işaret yazacı denetiminde çıkışa en yakın boş yere kaydırılır. Veri dolu gözlere geçemez. Çıkışa ötele (shift out) komutu ile bir veri dışarı verilince, içerideki diğer bitler hemen birer basamak sağa kaydırılır. Eşzamansız bir FIFO bellekte veri, kullanılan iki ayrı saat işareti yardımıyla, veri girişinden bağımsız olarak dışarı verilir.

FIFO UYGULAMALARI

En önemli uygulamalardan biri, veri hızları birbirinden değişik olan iki sistem arasında iletişim sağlamaktır. Veri FIFO belleğe bir hızda girilip başka bir hızda alınabilir. Şekil-5.35'de böyle durumlarda FIFO yazacın nasıl kullanılabildiği açıklanmaktadır.



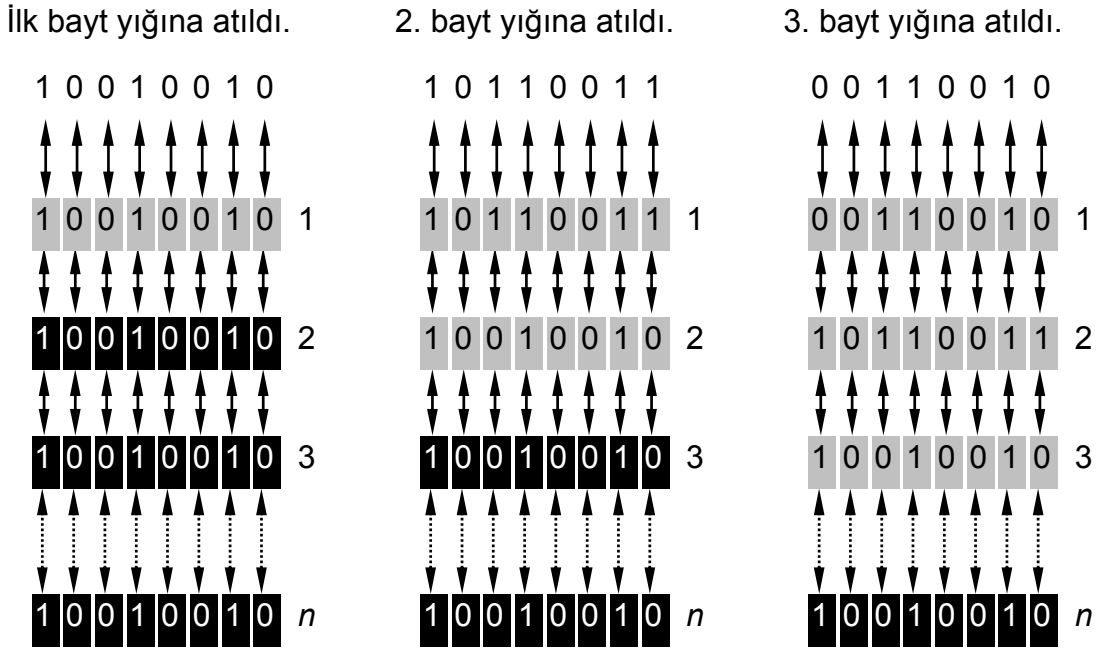
Şekil-5.35 FIFO yazacın veri-hızı tamponlama uygulamaları.



Şekil 12.36 Yazaç yığını.

SON GİREN İLK ÇIKAR BELLEKLER

LIFO (Last In First Out) bellekler mikroişlemci ve diğer hesaplama sistemlerinde bulunurlar. Verinin saklanıp, ters sırayla alınmasını sağlarlar yani, yüklenen son veri ilk önce okunur. *Yığınlar (stack)* LIFO bellekler yaygın olarak push-down (aşağı-bastır) yığınlar olarak adlandırılır. Bazı sistemlerde şekil 5-36'daki gibi bir grup yazaçla gerçekleştirilirler. Bir yığında istenen sayıda yazaç olabilir ve en üstteki yazaç, yığın tepesi (top-of-stack) olarak adlandırılır.

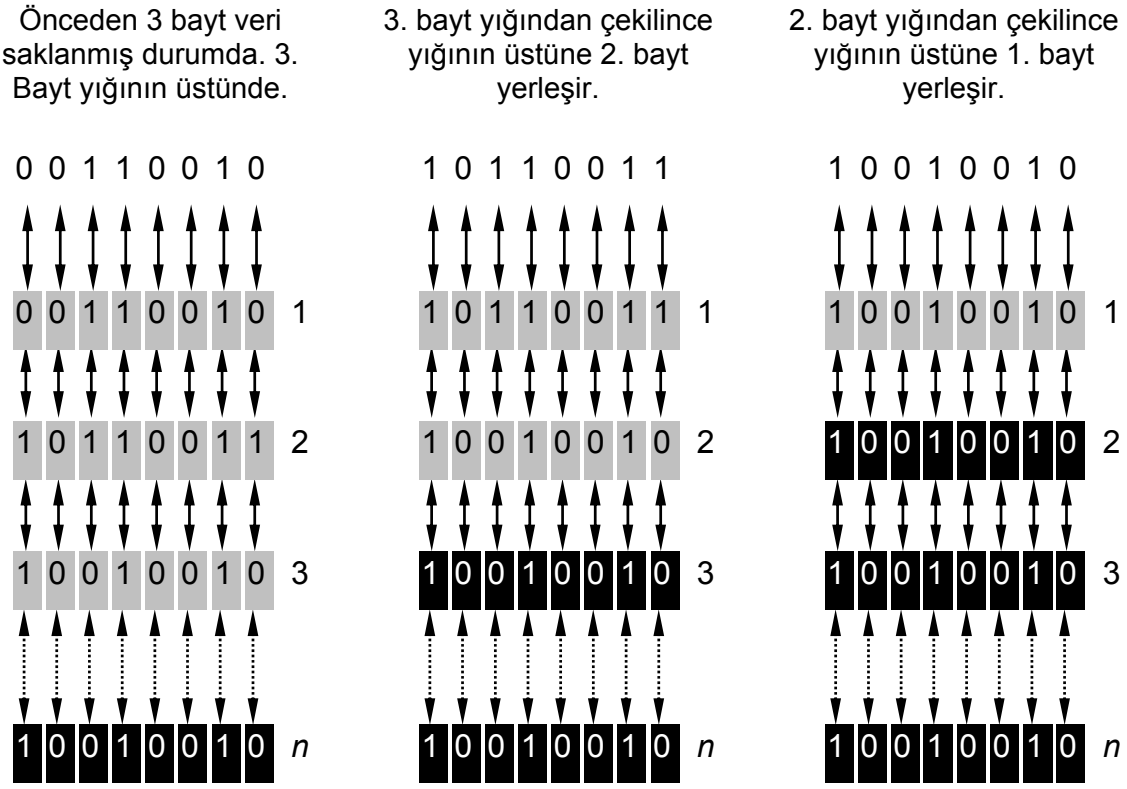


Şekil 12.37 LIFO yığına veri yazımı.

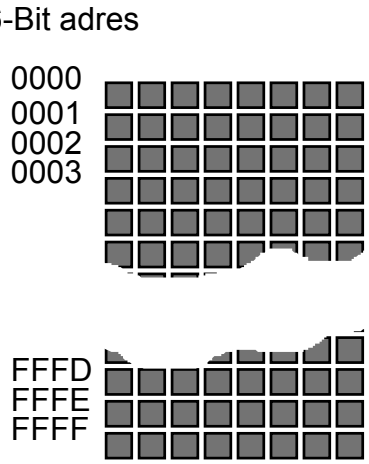
Bu tür yığınlara veri paralel olarak yığın üstünden yerleştirilir, gelen her veri bir öncekini bir adım dibe doğru iter. Bu tür yığına veri yazmanın mantığı Şekil-5.37'de gösterilmiştir. Öncelikle yığına arka arkaya 3 bayt veri atılmıştır. Bu veriler okunmak istendiğinde en son yazılandan başlayarak sırayla okunabilir. Üsten veri okundukça altta kalan veride okunan verinin boşalttığı bir üst satıra yerleşir. Şekil-5.38'de LIFO yığından verinin okunması adım adım gösterilmiştir.

RAM YIĞINLAR

Bazı mikroişlemci tabanlı sistemlerde LIFO bellek elde etmek için değişik bir yaklaşım kullanılır. Yazaçlar kullanmak yerine, sistem RAM'inin bir bölümü yığın olarak kullanılır. Şekil-5.39'daki gibi bayt düzenli (8-bit sözcük) bir belleğin onaltı bitlik adres kodunu onaltılık (hexadecimal) olarak gösteririz. İkilik 0000000000001111 adresi, onaltılık 000F olarak gösterilir. 16-Bit adres en küçük 0000_{16} , en büyük $FFFF_{16}$ değerlerini alabilir. RAM'in bir bölümünün yığın olarak kullanıldığını düşünelim. Bu durumda *yığın göstergesi* (stack pointer) olarak adlandırılan özel ayrı bir yazaç, yığın tepesinin adresini saklar. Verinin yığına atılması şu şekilde açıklanabilir: Veri baytı olağan yazma işlemiyle 00FF adresine yazılır. Bu işlemden sonra yığın göstergesinin içeriği bir azaltılarak 00FE değerine getirilir. Şekil-5.40 (a)'da bu durum gösterilmiştir. Bu anda yığının üstü

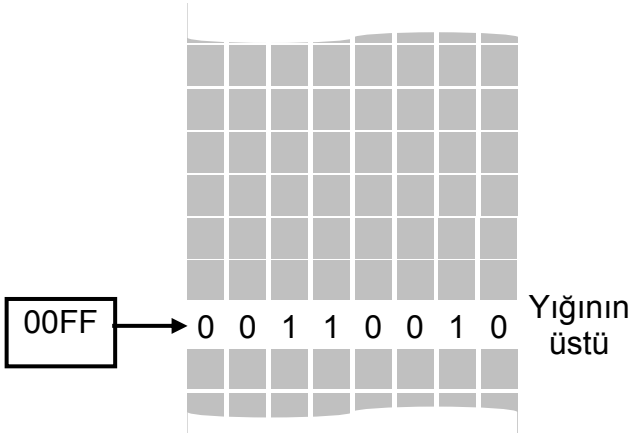


Şekil 12.38 LIFO yığından veri okunması.

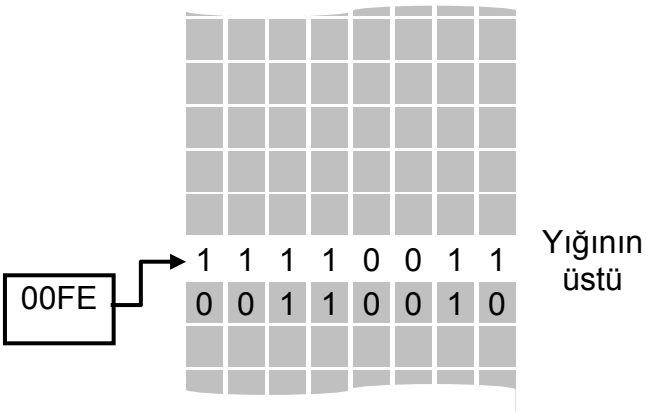


Şekil 12.39 64 Kbaytlık belleğin yapısı.

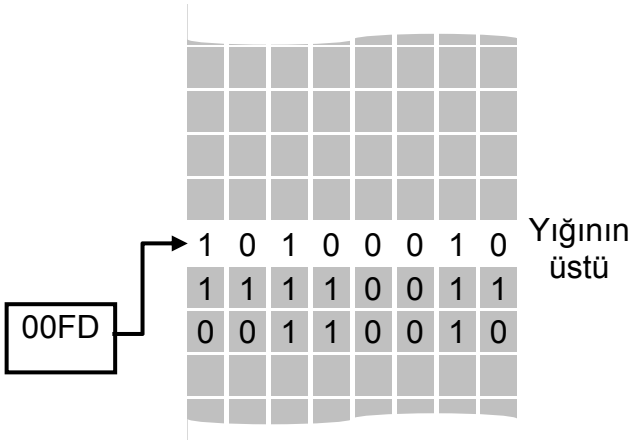
Şekil-5.40'da yığına atılan üçüncü veriden sonra yığın göstergesinin içeriği 00FC değerine gelir. Okuma işlemi yapılırken ilk önce yığın göstergesinde yazılı adres okunur ve yığın göstergesinin içeriği bir arttırılır, veri yığından çekilir. Unutulmamalı ki RAMden okuma yok edici değildir ve okunan veri bellekte kalır. Bu verinin silinmesi ancak aynı bellek yerine yeni bir veri yazılmasıyla olur.



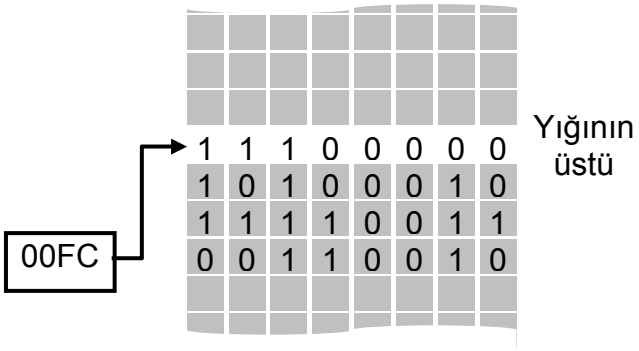
(a) Yığın göstericinin içeriği yığının üstünü gösteriyor ve ilk bayt yığına atılıyor.



(b) Yığın göstericinin içeriği bir azaltılır ve 2. bayt yığına atıldığında yığının yeni üstünü işaretler.

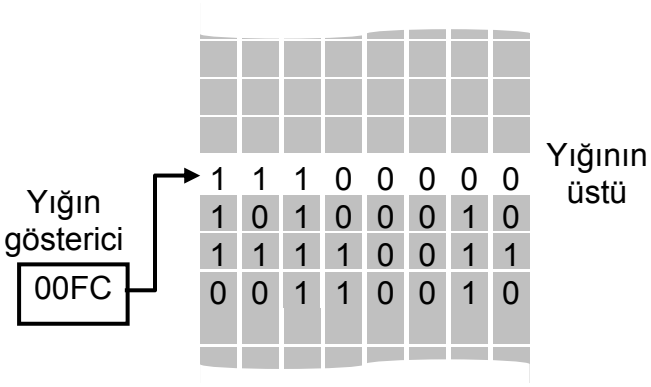


(c) Yığın göstericinin içeriği bir azaltılır 3. bayt yığına atıldığında yığının yeni üstünü işaretler.

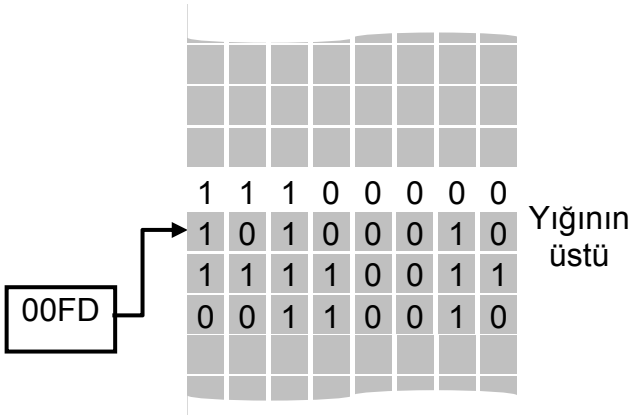


(d) Yığın göstericinin içeriği bir azaltılır 4. bayt yığına atıldığında yığının yeni üstünü işaretler.

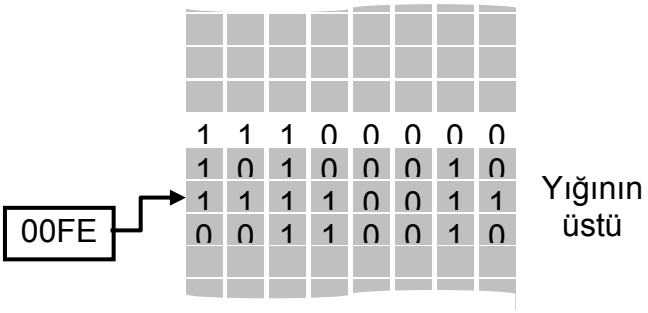
Şekil 12.40 LIFO yığından veri okunması.



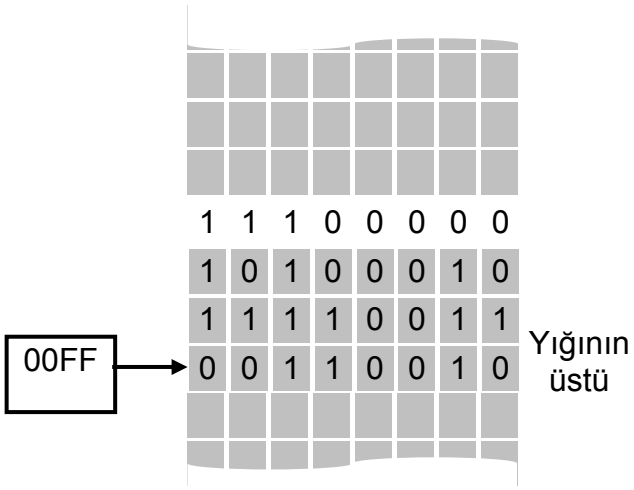
(a) 4. bayt yığının üstünden çekildi.



(b) Yığın göstericinin içeriği bir arttırılır 3. bayt yığının üstünden çekilir.



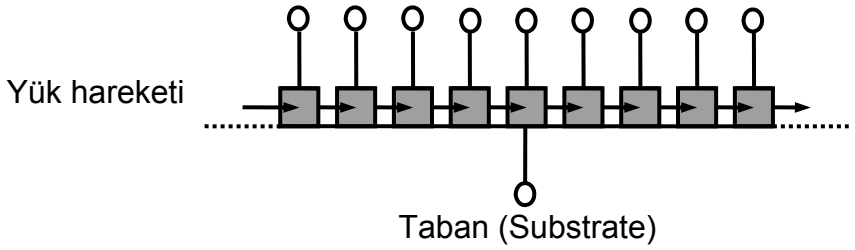
(c) Yığın göstericinin içeriği bir arttırılır 2. bayt yığının üstünden çekilir



Şekil 12.41 RAM yığından veri çekilmesi.

CCD BELLEKLER

CCD (charge-coupled device/yük bağlaşımlı aygıt) bellek veriyi sığaçlar üzerinde yük olarak saklar. Dinamik RAMden ayrılan yanı olarak bellek gözünde transistör bulunmamasını söyleyebiliriz. Yüksek yoğunluklarda üretilebilmesi CCDlerin en önemli üstünlüğüdür. CCD bellek içinde *kanal* denilen uzun, yarıiletken sığaç satırları vardır. Veri kanala, “0” için küçük, “1” için büyük bir yük mantığıyla seri olarak girilir. Yeni veri girildikçe bu yük paketleri, saat vurularıyla kanal boyunca kaydırılır. RAMde olduğu gibi yükler periyodik olarak yenilenmelidir. Bu işlem yük paketlerinin yenileme devresinden seri olarak geçirilmesiyle yapılır. Şekil-5.42’de mantık şeması gösterilen bu bellek türünde veri seri olarak tutulduğundan erişim süresi görece uzundur.



Şekil 12.42 CCD kanalı.

Son yıllarda üretilen sayısal fotoğraf makineleri ve kameralarda veri geçici olarak CCD'lerde saklanmaktadır. Yoğun olarak kullanmaları sonucu teknolojileri geliştirilmiş ve maliyetleri dinamik RAM ile aynı seviyededir.

BİLGİSAYARDA KULLANILAN BELLEKLER

Rasgele erişimli bellekler (RAM) bilgisayarlarda işletim sırasında programların ve verilerin işleyişini takip etmek için kullanıla bellek türüdür. Bilgisayar kapatıldığında RAM'in içeriği silinir. Yani, RAM bellek geçici bir bellek çeşididir. Bugün kullanılmakta olan farklı RAM teknolojileri bulunmaktadır, fakat bu farklı rasgele erişimli bellek türleri bir defada ortaya çıkmamıştır. Bugünkü bellek teknolojisinde belirgin bir gelişme olmuştur. Bu gelişme bilgisayar tasarımcılarının ve kullanıcılarının sürekli gereksinim duyduğu artan hız isteğini karşılamak için bir çalışma sonucunda ortaya çıkmıştır. Bilgisayar işlemcilerinin hızları çok çabuk arttırılmakta olduğundan, bellek teknolojisi de bu hıza ayak uydurmaya zorlanmıştır. Üretici ve tüketicilerin artan isteğine ek olarak, işlemci hızlarındaki bu sürekli artış eğilimi bellek tasarımcılarını da gelecek yıllarda gelişmeye devam etmelerine ve bellek teknolojilerini yeniden tasarlamaya zorlayacaktır.

DİNAMİK RAMLAR

Bilgisayarlarda ana bellek olarak en yaygın kullanılan RAM çeşitlerinden biri Dinamik RAM (DRAM) olarak bilinen RAMdir. Dinamik RAM verisini korumak için bir tazeleme devresine gereksinim duyan RAM türüdür. Tazeleme devresi, hücrenin kullanılıyor olup olmadığına bakmaksızın saniyede yüzlerce defa her bellek gözünün (hücresinin) içeriğini okuyarak yeniden yazar. *Dinamik* isminin verilmesinin nedeni, bellek hücrelerinin içindeki verinin sürekli tazelenmesidir. Her bellek hücresinin sürekli tazelenmesi DRAMin statik RAMden (SRAM) daha yavaş işlemesine neden olmaktadır. Bu olguya rağmen, neredeyse tüm bilgisayarlarda DRAMin ana bellek olarak kullanılmasının nedeni belirgin olarak SRAMden daha ucuz olması ve daha az yer kaplamasıdır. Bunun nedeni, DRAMler her bit için yalnızca bir transistör ve bir kondansatöre gereksinim duyarken SRAMler her bit için 4 ile 6 transistör kullanmaktadır.

DRAMin yıllar içinde geliştirilmiş farklı türevleri bulunmaktadır. En çok kullanılan DRAM çeşitlerinden bazıları şunlardır:

- Page Mode
- Fast Page Mode (FPM)
- Extended Data Output (EDO)

- Burst Extended Data Output (BEDO)

Bilgisayar endüstrisinde yıllarca kullanılan yalnızca bir DRAM çeşidi vardı. Page mode RAM, ve daha sonra DRAM piyasasına bir hayli süre hakim olan FPM RAM. Page mode ve fast page mode arasındaki temel fark fast page mode mantığının sonraki RAM erişiminin önceki erişimle aynı satırdan yapılacağını varsaymasıdır. Fast page mode RAM 70ns veya 60ns erişim süresine sahiptir, ki daha düşük erişim süresi daha hızlı veri iletimi anlamına gelmektedir. 66MHz'lik işlemci yolu hızı ile 60ns'lik FPM RAM kullanılmalıdır. MİB'nin FPM RAMe en hızlı erişim süresi dört veri grubu okuması 5-3-3-3'tür. Bunun anlamı, ilk okuma 5 saat çevrimi ve diğer üç okuma ise tamamlamak için 3 saat çevrimi sürmektedir.

Geliştirilen diğer RAM türü ise EDO RAMdir. Genişletilmiş veri çıkışlı RAM FPM RAMin değişik bir şeklidir. İkisi arasındaki ana farklılık EDOnun FPMden daha iyi hızlı sıralı okuma yapabiliyor olmasıdır. Hızlı MİBler ile çalışırken bu küçük fark önemlidir. EDO DRAMler 70ns, 60ns veya 50ns'lik erişim sürelerine sahiptir. Doğru yonga seti (chipset) ile, EDO dört okuma başına saat çevrimi sayısı açısından FPMnin başarısını tamamen elinden almıştır. Örneğin, Triton yonga seti ile, fark X-3-3-3'e göre X-2-2-2'dir. Bunun sonucu olarak EDO RAMin başarımı FPM RAMe oranla belirgin bir şekilde artmıştır. EDO RAMin ana sorunu ise veri yolu hızı 66MHz'ten yüksek olan MİBlerle çalışmasının zor olmasıdır.

BEDO RAM, EDO RAMin başarımını arttırmak için tasarlanmış yeni bir şeklidir. Adından da anlaşılacağı gibi, BEDO RAM verileri grup olarak okumaktadır. Adres sağlandıktan sonra, diğer üç veri elemanı her birini üç saat çevriminde tamamlayabilmektedir. Bu da 5-1-1-1'lik erişim hızı demektir. Bu RAM türünde de bazı çekinceler bulunmaktadır. Örneğin, BEDO RAM sınırlı sayıda yonga setleri tarafından desteklenmektedir. BEDO RAMin diğer sorunu, EDO RAMde olduğu gibi, 66MHz'ten yüksek veri yolu hızlarında doğru çalışamamasıdır.

Bellek piyasasına giren en yeni DRAMlerden biri Senkron DRAMdir (SDRAM). Bu yeni RAM çeşidi diğer DRAM çeşitlerine göre daha uyumlu ve yüksek çalışma verimi ile çalışmaktadır. Örneğin, SDRAM çok geniş bir aralıktaki yonga setlerini desteklemektedir. Sistem saatiyle eşzamanlı bütün giriş ve çıkış sinyallerini de idare edebilmektedir. Bu özellik daha önce yalnızca statik RAMlere özgüydü. SDRAMlerin erişim süresi dört veri grubunun okunması için 5-1-1-1'de EDO RAMlerle karşılaştırılabilir düzeydedir. SDRAMin en güçlü özelliklerinden biri 100MHz'e kadar yol hızlarını idare edebilmesidir. Buna göre, SDRAM yakın gelecekte ana DRAM formlarından biri olacaktır.

STATİK RAMLAR

Statik RAM (SRAM) bilgisayarlarda yaygın olarak kullanılan diğer bir RAM şeklidir. Saniyede yüzlerce kez tazelenmesi gereken DRAMe zıt olarak SRAM dışarıdan tazelenmesine gerek kalmadan verisini koruyabilmektedir. Başarım açısından DRAMden üstündür. Buna karşın, SRAM boyutunun büyük olması ve pahalı olmasından dolayı bilgisayarlarda ana bellek olarak pek kullanılmaz. Her SRAM biti dört ile altı arası transistörden oluşmaktadır, ki bu da DRAMe oranla boyutunun neden büyük olduğunu açıklamaktadır. Bunun sonucu olarak, statik RAM bilgisayar içinde düzey 1 ve düzey 2 cache (ön) bellekler olarak kullanılır.

Ön bellek başarımını arttırmak için geliştirilen birkaç SRAM çeşidi de bulunmaktadır. Bunlar üç sınıfta toplanabilir:

- Asenkron Statik RAM (Async SRAM)
- Senkron Grup (Burst) Statik RAM (Synch SRAM)
- Pipelined Burst Statik RAM (PLB SRAM)

Asenkron statik RAM yukarıda bahsedilen SRAM tasarımları içinde en eski olanıdır. Bu RAM çeşidi ilk düzey 2 ön belleklerin kullanıldığı 386'ların zamanından beri yıllarca kullanılmıştır. *Asenkron* terimi ön bellek içindeki veri iletiminin sistem saatine bağlı olmadığını ifade etmektedir. Bunun sonucu olarak, yaşına ek olarak, Async SRAM en yavaş SRAMdir. Tüm SRAMler içinde en yavaş olmasının aksine, asenkron SRAM hala DRAMden daha hızlı erişime sahiptir. Async SRAMler 20, 15 veya 12ns'lik erişim sürelerine sahiptir. Ne yazık ki, bu erişim süreleri senkron veri erişimine izin verecek kadar hızlı değildir. Bu nedenle, MİB bu cache RAMde veri hazır olana kadar beklemeye zorlanmaktadır. Bu bekleme süresi daha hızlı erişim sürelerine sahip olmasından dolayı DRAMinkinden daha azdır. 33MHz'e kadar olan yol hızlarında bu SRAM çeşidi 2-1-1-1'lik zamanlama hızına sahiptir. Bundan yüksek yol hızları için SRAM 3-2-2-2'ye yükselmektedir. Çoğu yol hızları 66MHz ve daha yüksek olduğundan, asenkron SRAMlerin kullanımında zamanlama hızındaki bu kötüleşme belirgin bir çekince yaratır.

Senkron burst statik RAM asenkron veri iletimindeki bu bekleme süresini gidermek için geliştirilmiştir. Asenkron statik RAMin aksine, senkron RAM bellek yol saatine bağlıdır. Sistem saatinin her tetiklemesinde, Synch RAM varsa veriyi ön belleğe iletebilir veya ön bellekten alabilir. Bu demektir ki, senkron RAM yavaşlamadan asenkron RAMe göre daha hızlı sistem hızlarını idare edebilmektedir. Gerçekten, 66MHz'lik yol hızında, senkron RAM burst çevrimi 3-1-1-1 olan pipelined burst statik RAMden bile 2-1-1-1'lik burst çevrimiyle daha iyi başarım sergileyebilmektedir. Sync Burst SRAM 8.5'tan 12ns'ye kadar adres/veri sürelerine sahiptir. Bu belirgin olarak asenkron RAMden daha hızlıdır. Ne yazık ki, 66MHz'ten yüksek yol hızlarında, çalışması 3-2-2-2 burst çevrimine kadar yavaşlamaktadır. Pipelined burst statik RAMin SRAM piyasasının çoğunluğunu ele geçirmesinin birincil nedeni de bu olabilir.

Pipelined burst statik RAM senkron SRAM ile yaklaşık aynı zamanlarda piyasaya çıkmıştır. İkisi arasındaki en temel farklılık pipelined RAMin çok daha yüksek sistem yolu hızlarını idare edebilir olmasıdır. Örneğin, pipelined burst statik RAM 133MHz'e kadar olan yol hızlarında çalışabilir. Bu RAMin pipeliningi giriş veya çıkış yazaçlarının kullanımı aracılığıyla yapılabilmektedir. Yukarıda bahsedildiği gibi, bu RAM kullanılarak dört verinin okunması için burst çevrimleri 3-1-1-1 çevrim sürmektedir. İlk okumadaki ek çevrim yazaçların yüklenmesinden kaynaklanmaktadır. PLB SRAM 75MHz ve daha yukarı yol hızlarında kullanılabilecek en hızlı RAMdir. Bu RAM için adres/veri süreleri yalnızca 4.5 ile 8ns arasındadır. Her iki durumda 3-1-1-1'lik çevrim süresini sağladığından daha yavaş yol hızlarında da başarımı iyidir. Kararlı olarak artan işlemcilerle birlikte, sistem yol hızlarında da kararlı bir artış olmalıdır. Çoğu yeni yol hızları en azından 66MHz'tir. Bu nedenle, pipelined burst SRAM önümüzdeki birkaç yıl içinde en fazla potansiyele sahip olan RAMdir.

RAMLARIN GELECEĞİ

Rambus DRAM (RDRAM) piyasaya girmek üzere olan tamamen yeni bir RAM çeşididir. RDRAM *Rambus* adıyla bilinen bir firma tarafından geliştirilmiştir. Halen Nintendo 64TM video oyun sistemleri gibi PC multimedia uygulamalarında kullanılmaktadır, ancak bilgisayarlar için henüz kullanıma girmemiştir. Rambus 1999 yılında belleğini 1.6GB/s'ye kadar bellek veri iletimi hızlarına çıkarmayı hedeflemekteydi. Hızının yanı sıra, Rambus DRAMi diğer RAM çeşitlerinden ayıran ana etmen aşırı yüksek yol hızlarını idare edebilme yeteneğidir. Şu andaki DRAM tasarımları bellek denetleyicisine 500MHz'ten 600MHz'e kadar olan hızlara yükselmiştir. İşlemci yol hızları daha yüksek düzeylere çıkmaya devam ettikçe, bu etmenler Rambus DRAMinin şu anki RAM piyasasını ele geçirmesini garantilemektedir.

Rambus tasarımı, veriyi Rambus Kanalı adı verilen 8 bitlik bir yoldan ileten yüksek hızlı arabirim üzerine kurulmuştur. Bunun yanı sıra, DRAM altında yatan temel çekirdek teknolojisi halen geçerlidir. Şu anki 5-1-1-1'lik en hızlı DRAMe benzer veri burst çevrimine sahiptir. Ancak, Rambus DRAMin bellek denetleyicisine veri iletim hızı önceki diğer tüm DRAMleri geçmektedir. Örneğin, Rambus sistemi dahili olarak 533MHz'lik bir hızda salındığında, veri her 3.75ns'de iletilmektedir. Bu da demektir ki, Rambus başarımı yüksek yol hızlarında SRAMin erişim süresini de geçmektedir. Buna ek olarak, aynı çekirdek yapısını paylaştıklarından dolayı, Rambus DRAMin maliyeti şu anki DRAM kadar uygundur. Rambus yongasının veri grubu okumada azalma olmadan hızlı yol hızlarını idare edebilmesindeki kolaylığa daha önce erişilememiştir. RAM yongalarının yeni nesline doğru kendilerine yol bulacaklardır.

SONUÇ

Bugün halihazırda çok sayıda farklı RAM çeşidi bulunmaktadır. DRAMin eski versiyonları az sayıda eski bilgisayarlarda bulunabilir. Çoğu bilgisayar satıcıları daha yeni SDRAM yongalarına geçmiştir. Bunun nedeni daha yeni bilgisayarlarda yüksek yol hızlarında verinin verimli olarak işlenme yeteneğine olan belirgin taleptir. Bu talep sürekli olarak artan bilgisayar hızlarının bir sonucudur, ki bu da hem üreticilerin hem de tüketicilerin daha hızlı işlem hızına olan artan taleplerinden kaynaklanmaktadır. Kullanılmakta olan bilgisayar işlemcileri 100MHz'ten daha yüksek yol hızlarına gereksinim duymamaktadırlar, fakat önümüzdeki birkaç yıl içinde daha büyük ve daha iyi işlemciler geliştirildikçe bu istek artacaktır. Bu hızlar 200MHz'i geçmeye başladığında, SDRAM yetmemeye başlayacaktır. Bu yüksek yol hızı taleplerini karşılayacak tek uygun çözüm alternatif DRAM teknolojilerine geçmek olacaktır. Piyasaya sürüldüğünde, RDRAMin bellek piyasasında belirgin bir etki yaratacak olmasının nedeni de budur. Bu çok yüksek yol hızlarını kaldıracak yeteneğe sahip tek RAM budur. Rambus DRAM veya bunun bir türevi tüm RAM piyasasında gelecek yıllarda baskın gelecektir.

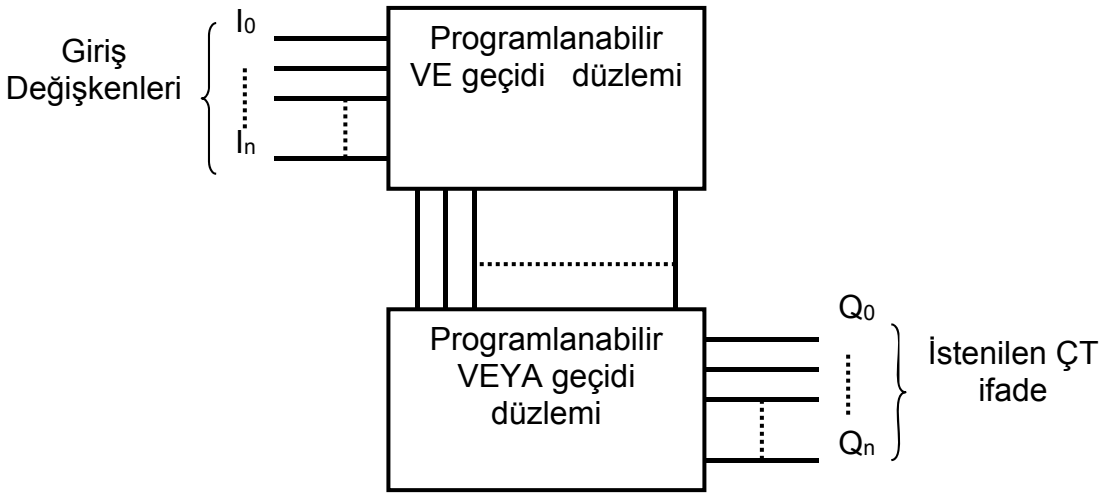
PROGRAMLANABİLİR MANTIK AYGITLARI

Programlanabilir mantık aygıtları (PLD), sigortalı programlama biçimleriyle PROMlara benzerler ama uygulamaları oldukça değişiktir. PLD, boole mantık işlevlerini gerçekleştirmede kullanılır ve genellikle ayrı ayrı kullanılacak bir kaç geçit ve ikili tümdevrelerinin yerini alabilir. Böylece PLD kullanımıyla, baskı devre kartının

küçülmesi ve kullanılan devre elemanı sayısının azalması nedeniyle, üretim sırasında yerden ve maliyetten oldukça kazanç sağlanır.

PROGRAMLANABİLİR MANTIK DİZİM (PLA)

PLA, programlanabilir bir VE düzlemi ve programlanabilir bir VEYA düzlemi içerir. Bazı firmalar yapısında çok az değişiklik yaparak PLA kısaltması yerine PAL kısaltmasını kullanır. VE düzlemi, giriş değişkenlerinin çarpımlarını üretmek üzere, VEYA düzlemi de bu çarpanları birleştirerek çarpımların toplamı/ÇT (sum-of-products/SOP) işlevlerini oluşturmak üzere programlanabilir.



Şekil-5.43 PLA'nın blok şeması.

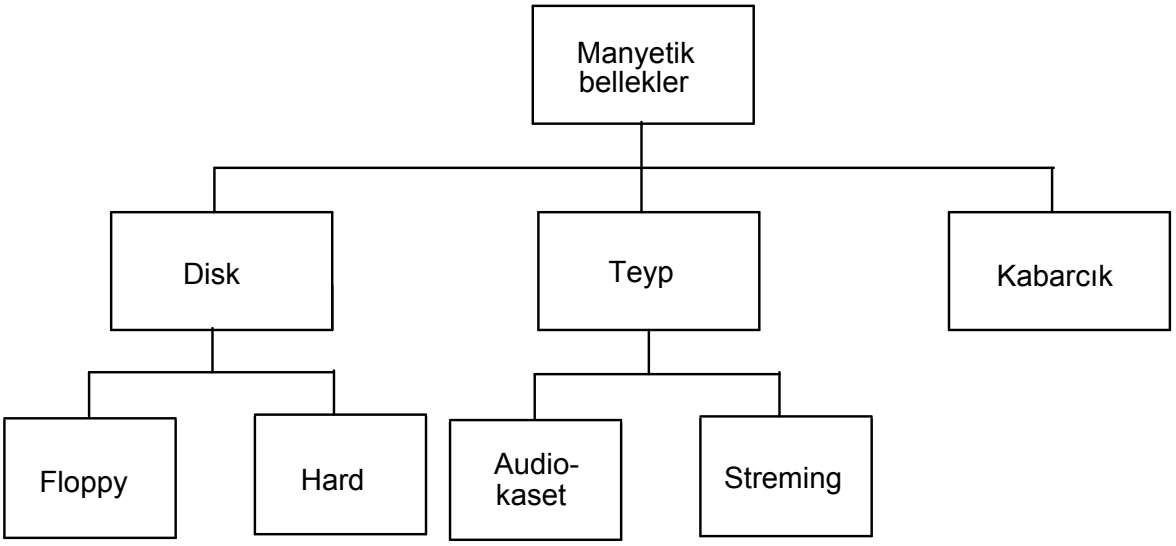
VE ve VEYA düzlemlerinde, kesişim noktaları sigortalarla birleştirilmiştir. Bu sigortalar PROM programlama benzer yöntemle attırılarak veya sağlam bırakılarak istenilen devre bağlantısı yapılabilir. PLA'lar da universal programlayıcı kullanarak programlanabilir. Şekil-5.43'de PLA'nın blok şeması gösterilmiştir.

MANYETİK BELLEK ÇEŞİTLERİ

Manyetik depolama aygıtı bilgisayar sistemlerinde öncelikle kütle veri depolamada kullanılır. Bu aygıtlar bazen harici veya ikincil bellekler olarak adlandırılır. Manyetik bellekler yarıiletken belleklerden çok daha yavaş erişim zamanına sahiptir; dolayısıyla bunların uygulamaları çok miktardaki verinin kalıcı veya yarı kalıcı depolanmasıyla sınırlıdır. Manyetik bellekler 3 temel kategoride toplanmaktadır; disk, teyp ve bubble (kabarcık).

Bilgisayar sistemlerinde kullanılan 2 temel çeşit disk vardır: floppy veya esnek diskler ve hard veya sabit diskler. Temel olarak, floppy disk, hard diskten daha az depolama kapasitesine sahiptir. Fakat floppy taşınabilir ve 3.5 inç'lik çeşidi gömlek cebinde taşınabilir. Günümüzde floppy disklerin yerini birkaç GB mertebesindeki taşınabilir bellekler almıştır. Hard disk nispeten hızlı olarak erişebilen daha geniş depolama kapasitesine sahiptir. Bilgisayar sistemlerinde bazen kullanılan 2 temel teyp depolama çeşidi audio kaset teyp ve streaming teyptir. Eskiden olduğu kadar yaygın olarak kullanılmamalarına rağmen, audio kasetler eski kayıtların uzun süreli depolanmaları için büyük ve orta ölçekli işletmeler tarafından yaygın bir şekilde

kullanılmıştır. "Mass" depolama ve disk-tabanlı verinin yedeklenmesi için günümüzde GB mertebesinde kapasiteye sahip bilisayara dışarıdan monte edilebilen hard diskler kullanılmaktadır.



Şekil-5.44 Manyetik bellek ailesi

Manyetik kabarcık bellek disk veya teypten nispeten daha yeni bir gelişmedir ve daha hızlıdır. Ancak, pahalı olmasından dolayı kullanımı şimdilik sınırlıdır. Teknolojik olarak gelişimini tamamlamış değildir. Hatta son yıllarda bu konudaki araştırmalar rafa kaldırılmıştır. Araştırmalar daha çok mekanik bileşen içermeyen elektronik ve optik sistemler üzerine yönelmiştir. Şekil-5.44'te manyetik belleğin sınıflandırılması görülmektedir.

BÖLÜM 6

DAC VE ADC

Sayısal sistemler kendi içerisinde işlem yaparken ikilik sayıları kullanır. Dış çevre birimleri ise bu sayılar ile çalışmaz, çoğunlukla analog işaret ile çalışırlar. Bu iki sistemin birlikte kullanılabilmesi için dönüşüm zorunludur. Çevre birimi çıkışındaki verinin ikilik olarak işlenebilmesi için ikilik sayı sistemine dönüştürülmesi için kullanılan devreye ANALOG'tan SAYISALA dönüştürücü adı verilir. Kısaca ADC olarak adlandırılır. İşlenen verinin tekrar çevre birimine gönderilebilmesi için analog değere dönüştürülmesi gerekir. Bu işleme yapan devreye SAYISAL'dan ANALOG'a dönüştürücü adı verilir kısaca DAC olarak kullanılır. Bu bölümde ADC ve DAC'ların yapısı, çalışması ve kullanımı öğrenilecektir. İncelemeye DAC'tan başlanacaktır.

SAYISALDAN ANALOĞA ÇEVİRİCİ

Sayısaldan analoğa çevirici (Digital to Analog Converters) DAC devrelerini incelerken OPAMP'ın yapısının bilinmesi gerekir. OPAMP girişine gelen gerilimi çıkışından yükseltilmiş olarak verir. Kazancı girişe ve geri beslemeye bağlanan dirençler yardımıyla değiştirilebilir. Şekil-6.1'de OPAMP'ın sembolü ve yükselteç olarak kullanılması gösterilmiştir. OPAMP yükseltme dışında karşılaştırma işlemi de yapar.

Yükselteç olarak kullanıldığında giriş ile çıkış arasında aşağıdaki eşitlik geçerlidir. Negatif işaret ise girişin değillendiğini belirtir.

$$\frac{V_{çıkış}}{V_{giriş}} = \frac{R_f}{R_{giriş}}$$

Karşılaştırıcı olarak kullanıldığında iki giriş arasındaki çok küçük fark girişlerden büyük olana göre çıkış gerilimi pozitif doyum gerilimine veya negatif doyum gerilimine kurar. Doyum gerilimi yaklaşık olarak besleme gerilimine eşittir.

İKİLİK AĞIRLIKLI GİRİŞLİ SAD

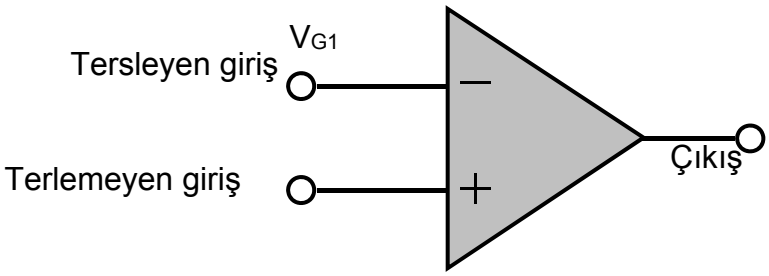
Giriş dirençleri ikinin ağırlıklarına göre belirlenen bu tip SAD'nin devresi Şekil-6.2'de gösterilmiştir. Bu yöntemde OPAMP toplayıcı ve yükselteç olarak kullanılmıştır. Bu devrenin sayısal işaretin bit adedi kadar girişi olacaktır. Giriş direncinin değeri bu girişin temsil ettiği bitin ağırlığına bakılarak belirlenir. Ağırlığı yüksek olan girişe devrenin çıkış gerilimine etkisinin fazla olması için giriş direnci küçük seçilir. Ağırlık düştükte aynı oranda direnç değeri artar.

Çıkış geriliminin değeri toprak ile $V_{çıkış}$ uçlarından ölçülen gerilimdir. OPAMP'ın pozitif ve negatif girişlerinin birleşim noktası da toprak olduğuna göre çıkış geriliminin değeri aşağıdaki gibi yazılabilir.

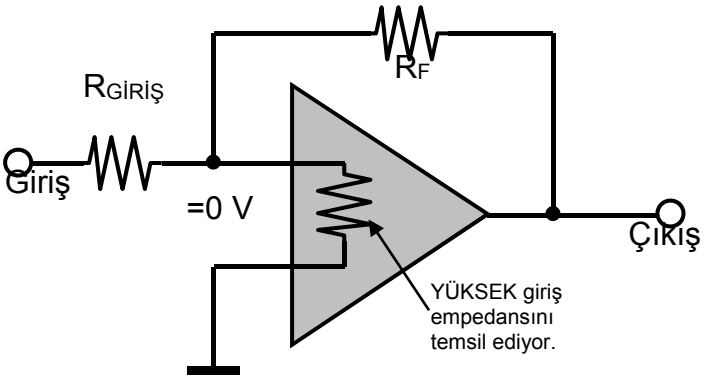
$$V = I_F R_F$$

I_F akımının değeri tüm giriş akımlarının toplamıdır. Giriş akımları ise girişe uygulana gerilimlerden bulunabilir.

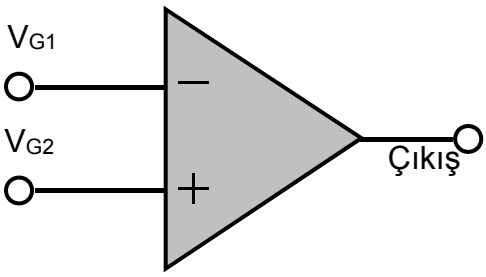
$$I_F = I_0 + I_1 + I_2 + I_3$$



(a) OPAMP simgesi.



(b) Yükselteç.



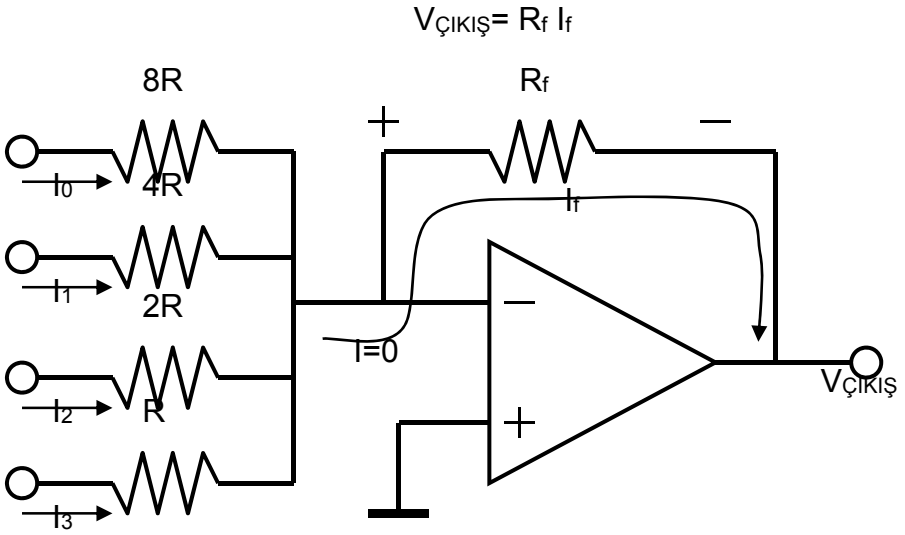
(c) Karşılaştırıcı.

Şekil-6.1 OPAMP'ın sembolü, yükselteç ve karşılaştırıcı olarak kullanılması.

Girişlere sayısal devrelerde ya 0 volt yada 5 volt uygulandığına göre tüm girişlere gelen gerime V diyebiliriz. Buna göre I_0, I_1, I_2, I_3 akımlarını şöyle hesaplayabiliriz.

$$I_0 = \frac{V}{8R}, \qquad I_1 = \frac{V}{4R}, \qquad I_2 = \frac{V}{2R}, \qquad I_3 = \frac{V}{R}$$

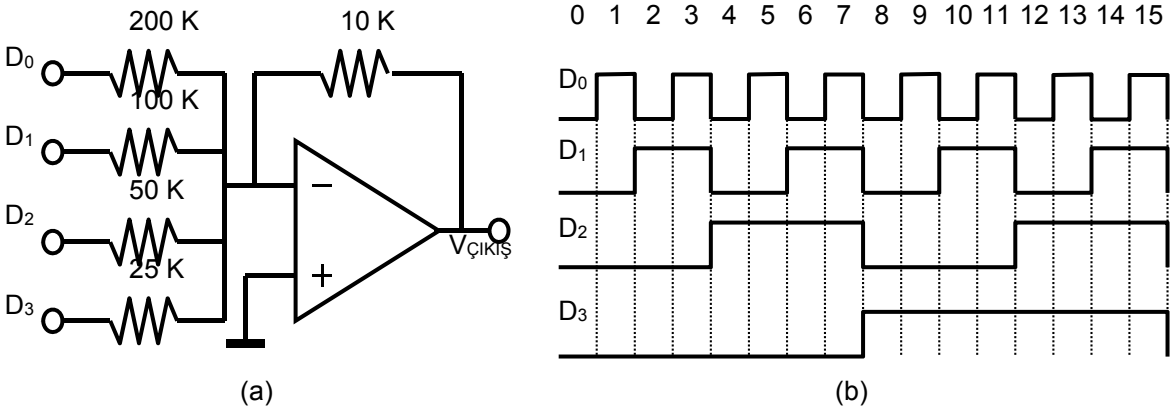
Düşük değerli bitin çıkış gerilimi üzerindeki değerinin çok küçük olduğuna dikkat ediniz.



Şekil-6.2 İkilik ağırlıklı girişli SAD.

ÖRNEK:

Şekil-6.3.(a)'deki devrenin girişine uygulanan sayısal işaret Şekil-6.3.(b)'de verilmiştir. Verilen zaman aralığında çıkışı hesaplayarak dalga şeklini çizin.



Şekil-6.3

ÇÖZÜM:

Öncelikle girişlerden gelen akımlar belirlenir. Akımlar belirlenirken girişin 0 ve 1 olmalarına göre akım hesaplanır. Aşağıda sadece 1 için hesaplama yapılmıştır 0 olduğunda akımlar sıfır olacağı için hesaplama yapılmamıştır.

$$I_0 = \frac{5\,\mathrm{V}}{200\,\mathrm{K}} = 0{,}025\,\mathrm{mA}$$

$$I_1 = \frac{5\,\mathrm{V}}{100\,\mathrm{K}} = 0{,}05\,\mathrm{mA}$$

$$I_2 = \frac{5\,\text{V}}{50\,\text{K}} = 0{,}1\,\text{mA}$$

$$I_3 = \frac{5\,\text{V}}{25\,\text{K}} = 0{,}2\,\text{mA}$$

OPAMP giriş empedansının çok yüksek olması tersleyen girişe giden akımı yaklaşık olarak sıfır olmasına neden olacaktır. Sonuç olarak giriş akımlarının tamamı geri besleme direnci üzerinden geçecektir. Çıkış gerilimini değeri geri besleme direnci ile giriş akımlarının toplamına eşittir. Sayısal girilir 15 zaman aralığına bölündüğü için her zaman aralığı için çıkış gerilimi tekrar hesaplanmalıdır. Bu çok fazla hesaplama gerektireceğinden her akımın diğerinden bağımsı çıkış gerilimine etkisi hesaplanacak eğer giriş sayısal değer mantık 1 ise çıkış gerilimi bulunurken toplanacak eğer mantık 0 ise toplanmayacaktır.

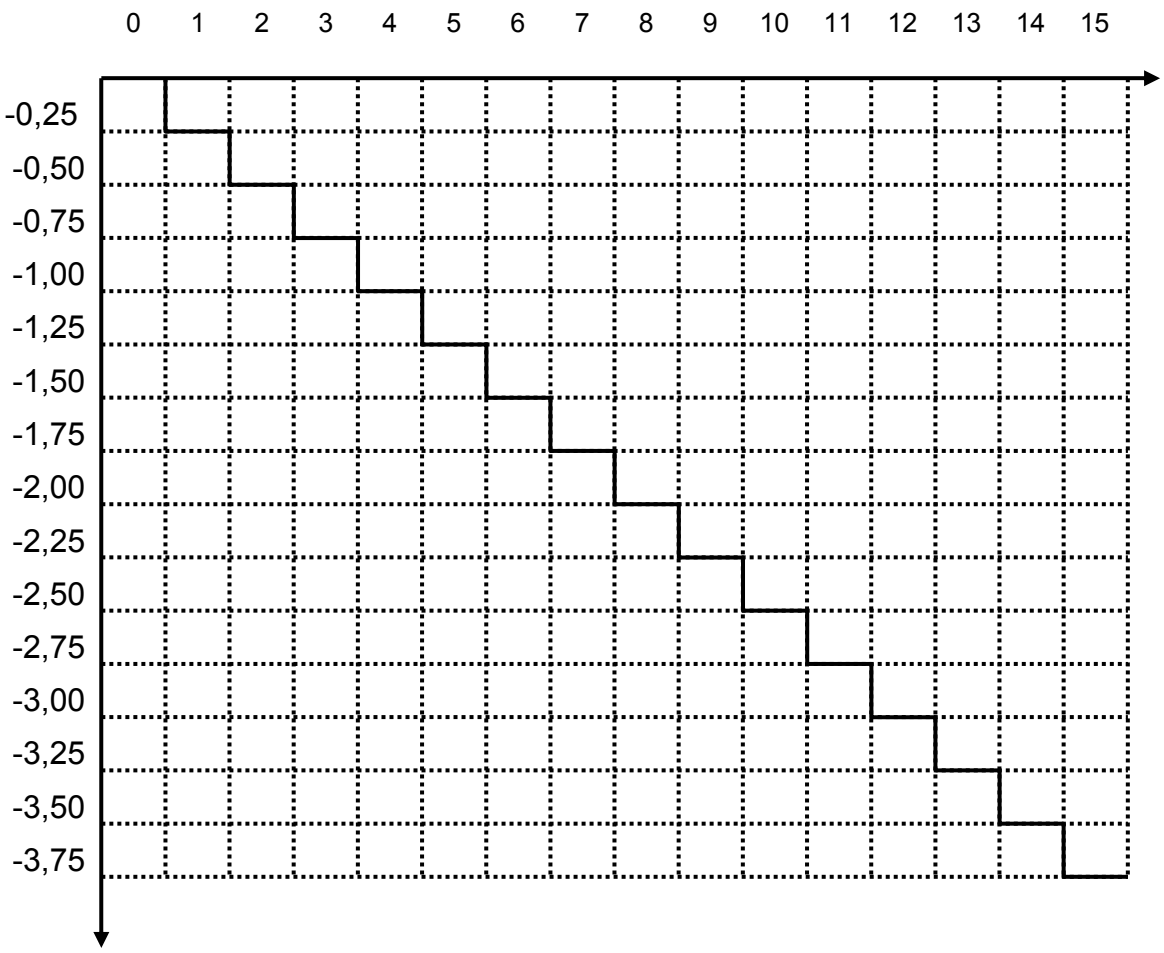
$$V_{ÇIKIŞ(D0)} = (10\,\text{k}\Omega)(-0{,}025\,\text{mA}) = -0{,}25\,V$$

$$V_{ÇIKIŞ(D1)} = (10\,\text{k}\Omega)(-0{,}05\,\text{mA}) = -0{,}5\,V$$

$$V_{ÇIKIŞ(D2)} = (10\,\text{k}\Omega)(-0{,}1\,\text{mA}) = -1\,V$$

$$V_{ÇIKIŞ(D3)} = (10\,\text{k}\Omega)(-0{,}2\,\text{mA}) = -2\,V$$

0 nolu zaman aralığından başlayarak çıkış gerilimlerini her zaman aralığı için hesaplayalım. Şekil-6.3 (b)'de 0 zaman aralığında sayısal girişlerin değerleri 0000 dır, çıkış gerilimi de 0V'tur. 1 nolu zaman aralığında sayısal girişler 0001 ve çıkış gerilimini sadece D_0 girişi belirler,çıkış gerilimi –0,25 Volttur. 2 nolu zaman aralığında sayısal giriş 0010 ve çıkış gerilimini sadece D_1 girişi belirler,çıkış gerilimi –0,5 Volttur. 3 nolu zaman aralığında sayısal giriş 0011 ve çıkış gerilimini D_1 ve D_0 girişleri birlikte belirler, çıkış gerilimi (–0,5) + (-0,25) = -0,75 Volttur. 4 nolu zaman aralığında sayısal giriş 0100 ve çıkış gerilimini D_2 girişi belirler, çıkış gerilimi –1 Volttur. 5 nolu zaman aralığında sayısal giriş 0101 ve çıkış gerilimini D_2 ve D_0 girişleri birlikte belirler, çıkış gerilimi (–0,25) + (-1) = -1,25 Volttur. 6 nolu zaman aralığında sayısal giriş 0110 ve çıkış gerilimini D_2 ve D_1 girişleri birlikte belirler, çıkış gerilimi (–0,5) + (-1) = -1,5 Volttur. 7 nolu zaman aralığında sayısal giriş 0111 ve çıkış gerilimini D_1, D_1 ve D_0 girişleri birlikte belirler, çıkış gerilimi (–1) + (–0,5) + (-0,25) = -1,75 Volttur. 8 nolu zaman aralığında sayısal giriş 1000 ve çıkış gerilimini D_3 girişi belirler, çıkış gerilimi -2 Volttur. Diğer adımlar izlenerek hesaplanıp grafiği çizildiğinde , Şekil-6.4'teki eğri elde edilir.

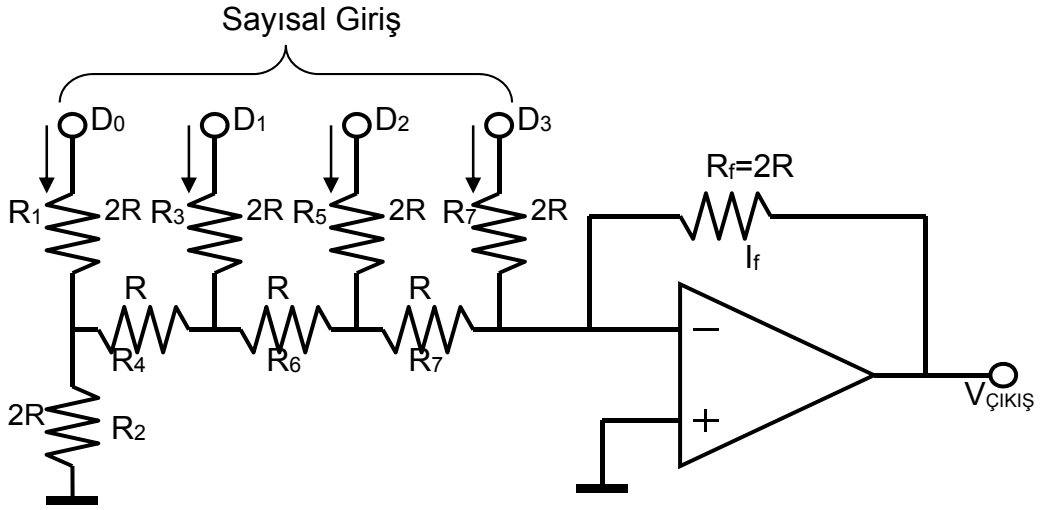


Şekil-6.4

R/2R MERDİVEN SAD

Sayısal analog çevirme işleminde kullanılan diğer bir yöntem de *R*/2*R* merdiven yöntemidir. Bu sistemin ikilik ağırlıklı sayısaldan analoğa yeğlenmesinin nedeni, yalnızca iki ayrı değerde direnç gerektirmesidir. Devrenin bağlantı şeması Şekil-6.5'te gösterilmiştir.

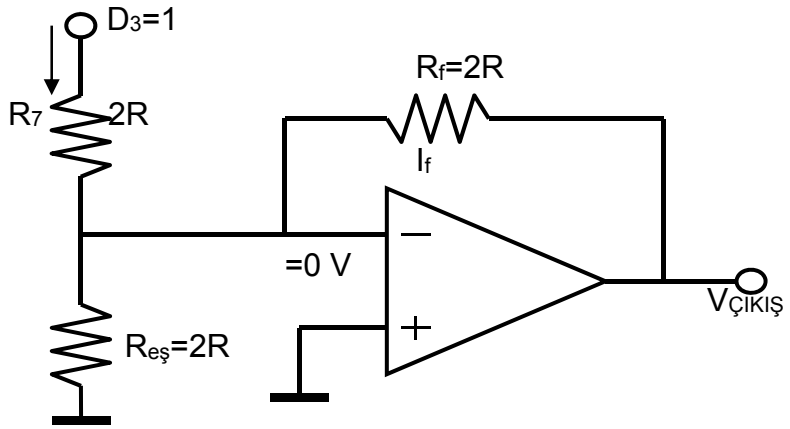
Devrenin çözümünde devre analizi dersinde öğrendiğiniz yöntemleri kullanacağız. Sayısal girişleri birer gerilim kaynağı gibi düşünebilirsiniz. Her adımda sadece birinin var olduğunu diğerlerinin sıfır olduğunu varsayacağız. Bu yöntem süperpozisyon yöntemi ile aynıdır.



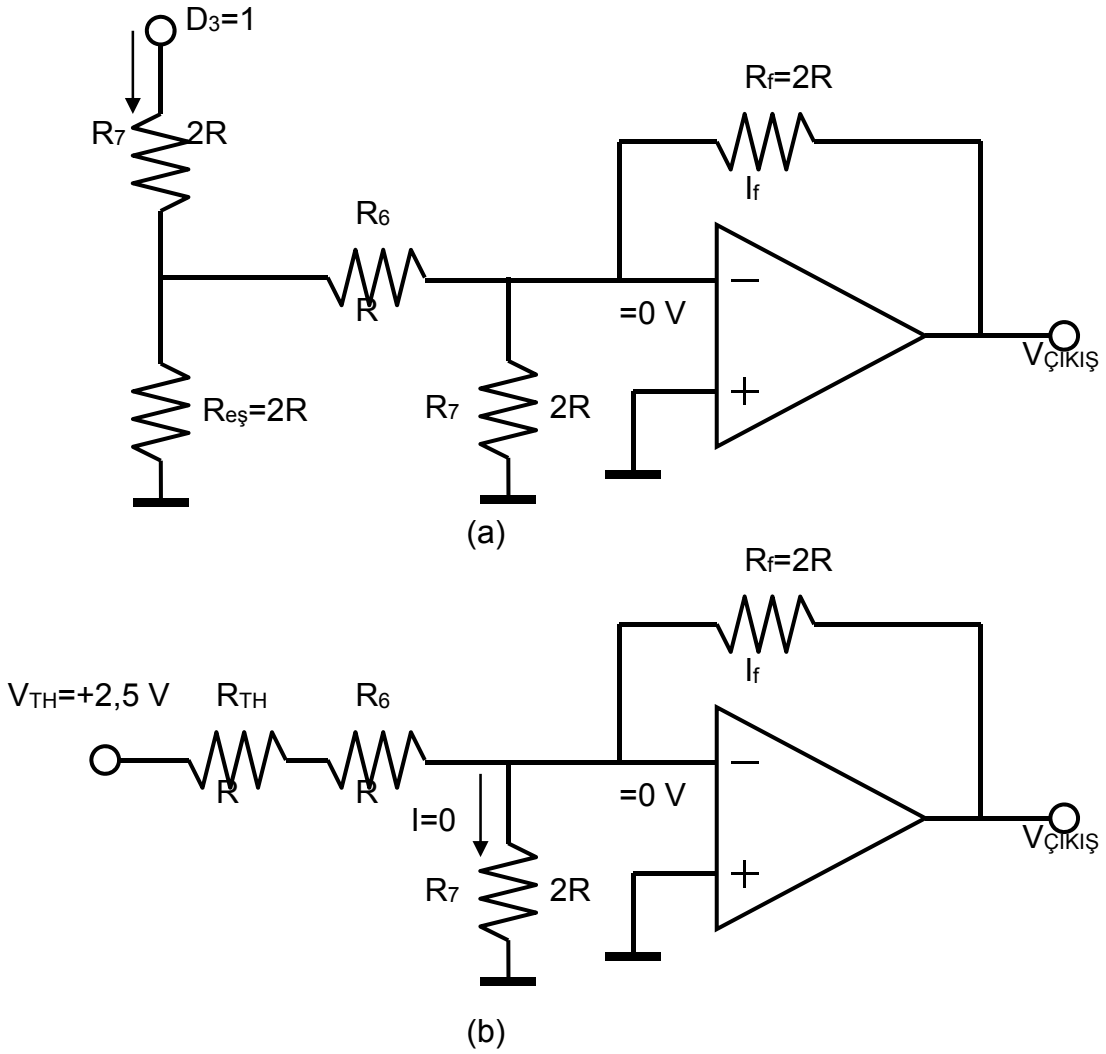
Şekil-6.5 R/2R merdiven SAD

D_3 bitinin YÜKSEK seviye (+5V) ve diğerlerinin DÜŞÜK seviye (toprak) olduğunu varsayarak çözüme başlayalım. Bu durum sayısal olarak 1000 durumu ile belirtilir. Devrede D.A. çözümleme yapılınca eşdeğer devre Şekil-6.6'daki gibi olur. Her iki ucu aynı potansiyelde olan direncin üzerinden akım geçmez ve devrenin çözümünde etkisi yoktur. 2*R* değerindeki eşdeğer dirençten hiç akım geçmez çünkü işlemsel yükseltecin + girişi sanal topraktır. R_7 üzerinden gelen bütün akım, R_F direnci üzerinden geçer ve çıkış gerilimi aşağıdaki eşitlik kullanılarak –5 Volt elde edilir.

$$V_{ÇIKIŞ} = IR_F = \left(-\frac{5\text{ V}}{2\text{R}}\right)2R = -5\text{ V}$$

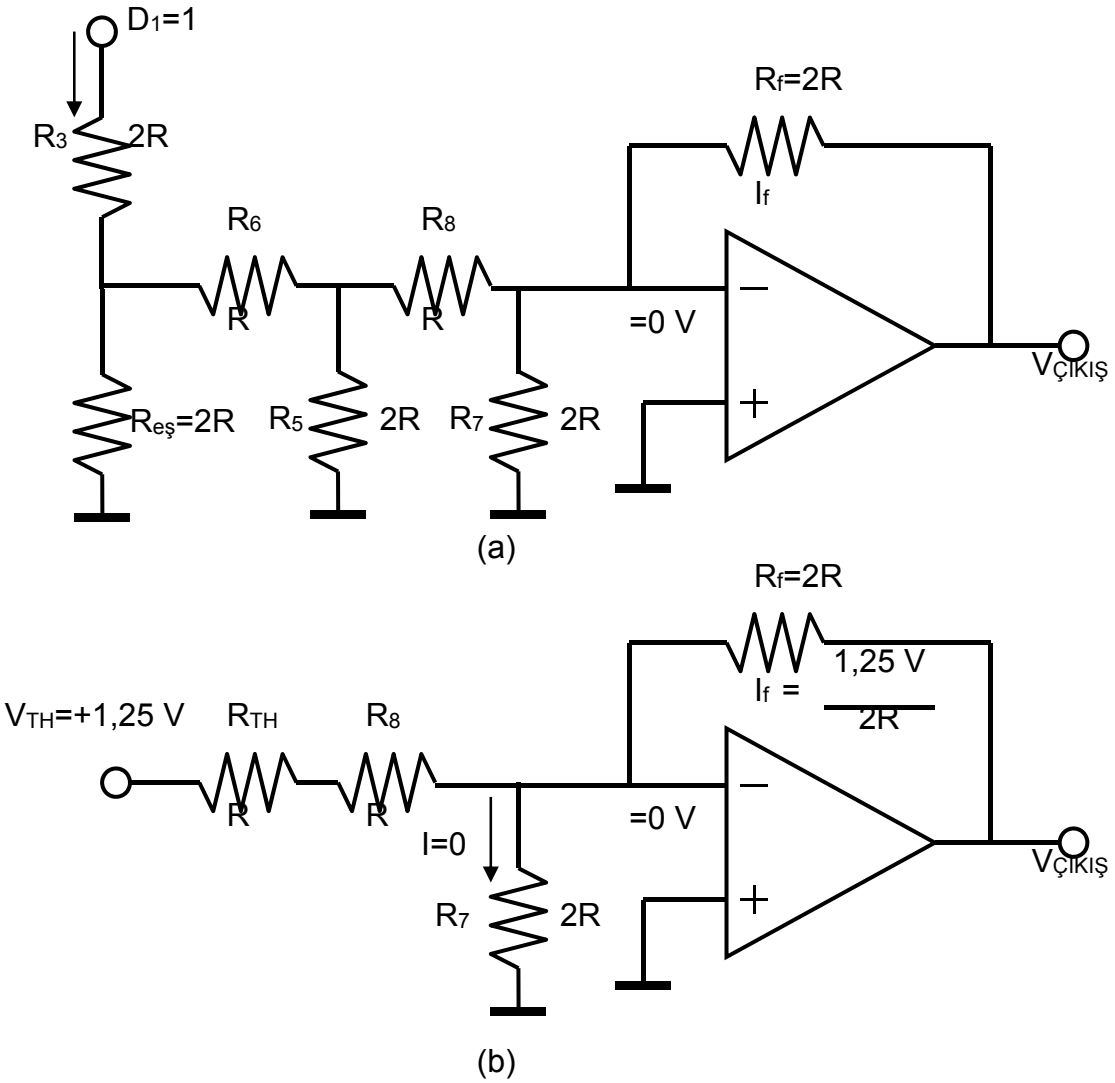


Şekil-6.6 D_3=1 diğer girişler 0 olduğunda eşdeğer devre.



Şekil-6.7 D_2=1 diğer girişler 0 olduğunda eşdeğer devre.

Şekil-6.7'de D_2 girişinin YÜKSEK seviye ve diğer tüm girişlerin DÜŞÜK seviye olduğu 0100 ikilik verisi uygulanmışken eşdeğer devre çizilmiştir. R_8 den bakarak devrenin Thevenin eşdeğeri alınırsa, *R* değerindeki R_{TH} direncine seri, 2,5 voltluk bir V_{TH} kaynağı elde edilir. Bu kaynağın sağladığı akım (**2,5V/2*R***), R7 uçlarındaki gerilim 0 V olduğu için tümüyle R_F üzerinden geçer ve çıkışta aşağıdaki eşitlikte belirtildiği gibi –2,5 voltluk bir gerilim oluşturur.



Şekil-6.8 D_1=1 diğer girişler 0 olduğunda eşdeğer devre.

$$V_{ÇIKIŞ} = IR_F = \left(-\frac{2{,}5\ \text{V}}{2\text{R}}\right)2R = -2{,}5\ \text{V}$$

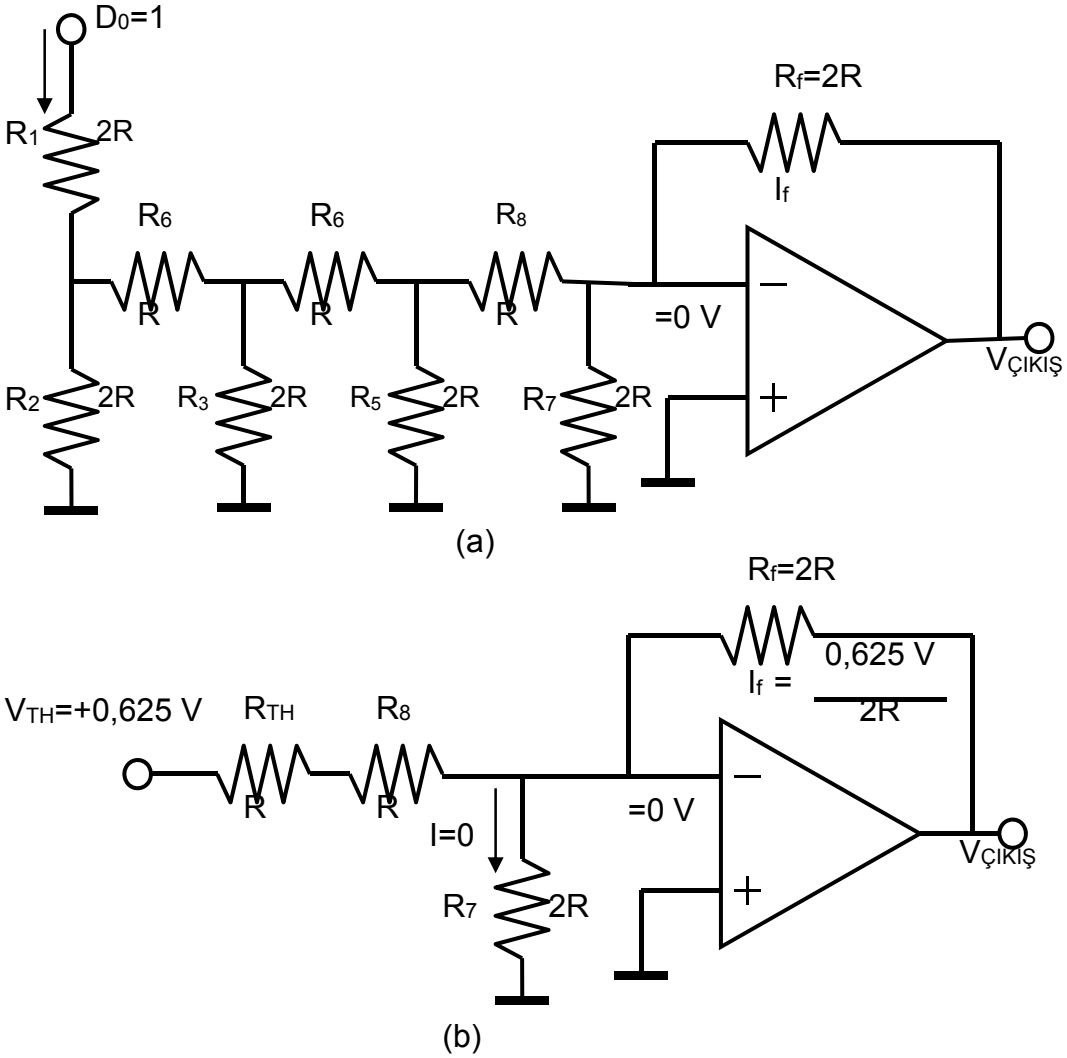
0010 sayısal verisi ile oluşan eşdeğer devre de Şekil-6.8'da verilmiştir. R8 den bakarak devrenin Thevenin eşdeğeri alınırsa, *R* değerindeki R_{TH} direncine seri, 1,25 voltluk bir V_{TH} kaynağı elde edilir. Bu kaynağın ürettiği akım, çıkışta aşağıdaki eşitlikte belirtildiği gibi –1,25 voltluk bir gerilim oluşturur.

$$V_{ÇIKIŞ} = IR_F = \left(-\frac{1{,}25\ \text{V}}{2\text{R}}\right)2R = -1{,}25\ \text{V}$$

0001 sayısal verisi ile oluşan eşdeğer devre de Şekil-6.9'da verilmiştir. R_8 den bakarak devrenin Thevenin eşdeğeri alınırsa, *R* değerindeki R_{TH} direncine seri, 0,625 voltluk bir V_{TH} kaynağı elde edilir. Bu kaynağın ürettiği akım, çıkışta aşağıdaki

eşitlikte belirtildiği gibi –0,625 voltluk bir gerilim oluşturur.

$$V_{ÇIKIŞ} = IR_F = \left(-\frac{0{,}625\ \text{V}}{2\text{R}}\right)2R = -0{,}625\ \text{V}$$



Şekil-6.9 D_0=1 diğer girişler 0 olduğunda eşdeğer devre.

DİRENÇ BAĞLANTISI

Yukarıda basitleştirilmiş mantık ile anlatılan R/2R merdiveni D/A çeviricinin en önemli bölümüdür. Bir D/A çevirici tümdevresinin içyapısında bu R/2R direnç bağlantısı bulunmaktadır. Şekil-6.10'da üç adet eşit R direnci ve 5 adet eşit 2R direncinde oluşan 4 bitlik bir R-2R merdiven devre görülmektedir. Tipik olarak R=10kΩ ve 2R=20kΩ'dur. 4 adet akım anahtarı sayısal girişe bağlı olarak "0" veya "1" konumuna anahtarlanır. Şekilde, 1111 sayısal girişi için akım anahtarlarının konumları gösterilmiştir.

0 nolu düğüm noktasını inceleyerek başlayalım. Bu noktadan bakıldığında görülen

R_0 direncinin D_0 girişine bağlı 2R direnciyle 2R'lik sonlandırma direncinin paralel eşdeğeri olduğu görülür. Diğer bir deyişle, R_0 = 2R // 2R = R'dir. 1 nolu düğüm noktasından sağa doğru bakıldığında görülen R_1 direncinin D_1'den toprağa bağlı 2R direnci ile R_0+R = 2R'lik direncin paralel eşdeğeri olduğu görülür (R_1 = 2R // 2R = R). Sonuç olarak, herhangi bir düğüm noktasından soldan sağa doğru bakıldığında şaseye doğru görülen net direnç her zaman R'ye eşittir.Direnç merdivenine 3 nolu düğüm noktasından bakıldığında görülen devrenin eşdeğer direnci de yalnızca R'dir.

MERDİVEN AKIMLARI

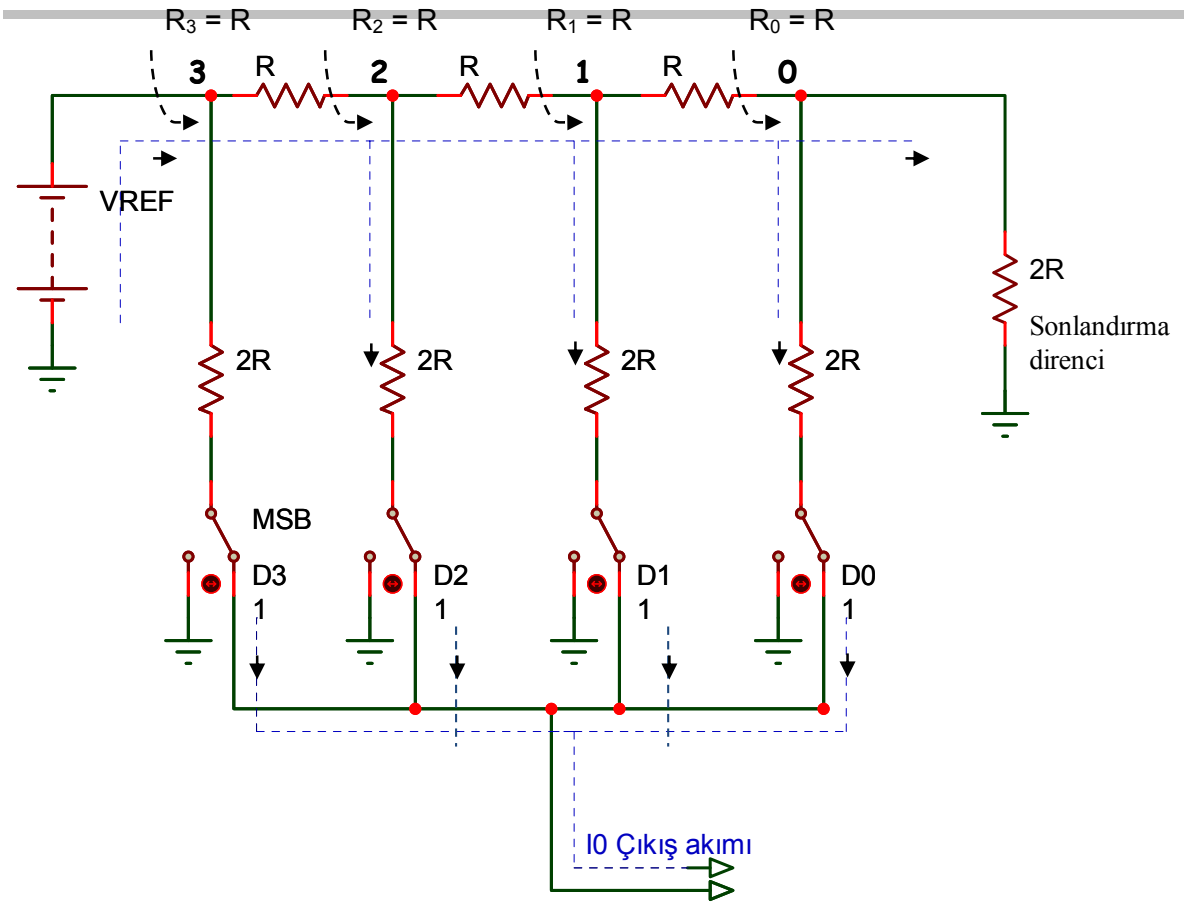
Bu sistemin çalışması, her direnç birleşme noktasında (3, 2, 1 ve 0), akımın eşit olarak bölünmesine dayanır. Bir önceki bölümde herhangi bir düğümden bakıldığında toprağa doğru görülen eşdeğer direncin R olduğunu incelenmişti. Dolayısıyla, bu düğüme giren akım eşit iki kola ayrılmaktadır. Bu kollardan biri bit anahtarının bir ucunun bağlı olduğu 2R direnci, diğeri ise yine 2R değerinde olan ve bir sonraki düğüme sağdan bakıldığında görülen R dirençlerinden birine seri bağlı üç yatay R direncinden biridir.

R-2R devresindeki akımlar şu şekilde hesaplanır:

Devreye sağlanan giriş akımı

$$I = \frac{V_{ref}}{R}$$

I akımı 3 nolu düğüm noktasında eşit olarak ikiye ayrılır. Akımın bir bölümü (dikey yol) bit 3'ün I_3 = I/2 çıkış akımıdır. İkinci kısmı ise (yatay yol) 2 nolu düğüm noktasında I_2 = I_3/2 = I/4 olarak ikiye bölünür. Devre akımı her birleşme noktasında eşit olarak ikiye bölünecek biçimde tasarlandığından, I_1 akımı da I_2/2 = I/8'e eşit olacaktır. I_0 akımı ise I_1/2 = I/16 değerindedir ve yarısı bit 0'ın çıkış akımı olarak 2R'lik dirençten akacak, diğer yarısı ise 2R'lik sonlandırma direncinden toprağa doğru akacaktır. Sonuç olarak, R-2R merdiven DAC'ta her zaman referans akımının $I/2^n$ kadarı kayıp olacaktır.



Şekil 13.10 R/2R Merdiven devresi

Akım bölme işlemi bu şekilde devam ettiğinde elde edilen akım eşitlikleri aşağıdaki gibidir:

$$I_3 = \frac{I}{2}\ ;\ I_2 = \frac{I_3}{2} = \frac{I}{4}$$

$$I_1 = \frac{I_2}{2} = \frac{I}{8}\ ;\ I_0 = \frac{I_1}{2} = \frac{I}{16} = LSB$$

Çıkış Akımları

Merdivenin çıkış akımı I_{out} çıkış yoluna ulaşan her bir koldan gelen akımlar toplamıdır. D_0 anahtarı kapandığında, çıkış yoluna 1 LSB'nin akım değeri ulaşır. Eğer D_1 "1" ise, 2 LSB'lik akım çıkış yoluna aktarılır. D_2 4 LSB'lik, D_3 ise 8 LSB'lik bir akım çıkışı verir. Demek ki, çıkış akımı dijital giriş cinsinden aşağıdaki gibi ifade edilebilir:

I_{out} = (1 LSB'nin akım değeri) × D

Burada

1 LSB'nin akım değeri = I_0'dır,

ancak referans akımı eşitliği kullanıcı tarafından V_{ref} ve R'nin seçilmesiyle I_0'ın

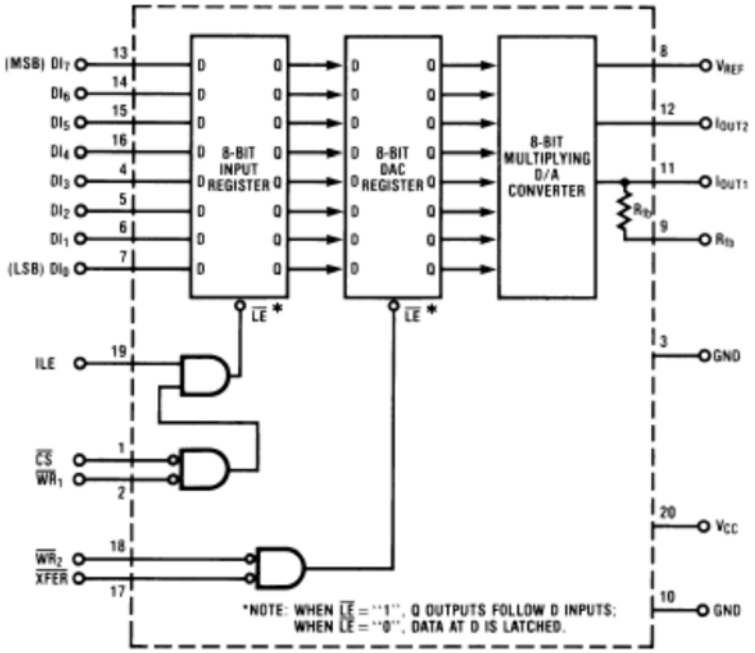
belirlendiğini göstermektedir. Eşitlikler düzenlendiğinde,

1 LSB'nin akım değeri = $\left(\frac{V_{REF}}{R}\right)\left(\frac{1}{2^n}\right)$

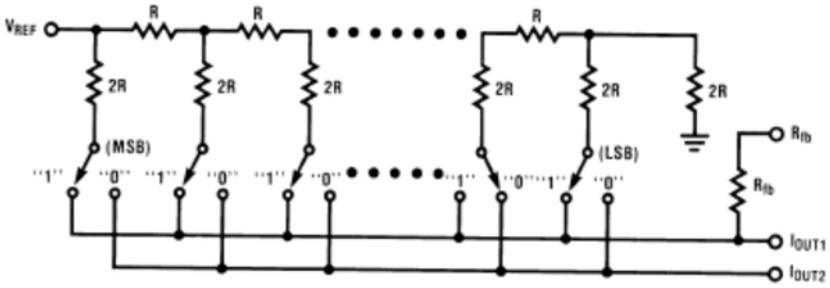
ÖRNEK DAC

Örnek olarak verilen DAC0830/32 DAC'ı, sekiz ayrı ikilik biti giriş olarak kullanmaktadır. Her bit, değişik değerde bir akım değeri üretir ve bu değerler de kendini oluşturan bitin ikilik ağırlığı ile doğru orantılıdır. 8-Bit ikilik bir sistemde ilk bit 1, ikincisi 2, üçüncüsü 4, ve diğerleri de sırayla 8, 16, 32, 64, 128 ağırlıklarındadır. Bu çeviricide akımı denetleyen sistem, R-2R merdivenidir. Bu devrenin genel yapısı Şekil-6.11'de verilmiştir. Devrede yalnızca R ve 2R değerlerinde olmak üzere iki ayrı değerde direnç kullanıldığından bu ad verilmiştir.

Çeviricinin en önemli bölümü merdivendir. Bu sistemin çalışması, her direnç birleşme noktasında (0, 1, 2 ve 3), akımın eşit olarak bölünmesine dayanır. Akım bölme işlemi Şekil-6.10'da ayrıntılı olarak verilmişti. 3 noktasından akım, eşit olarak ikiye ayrılır. Devre akımı her birleşme noktasında eşit olarak ikiye bölecek biçimde tasarlandığından, D_3'e sağlanan I_3 akımı da, 2 noktasında ikiye bölünür. R-2R'den oluşan seri-paralel devrenin direnci R2=2R direncine eşit olduğu için, I_2 akımı I_3'ün yarı değerindedir. DAC0830/32 da bu incelenen devredeki gibi, ancak 8 bit için aynı mantıkla çalışmaktadır.



(a) DAC0830'un işlevsel blok şeması



(b) DAC0830/32'nin iç yapısı

Şekil - 13.11

Önceki akımı iki eşit akıma bölme işlemi en son birleşme noktasına dek sürer. Akım sürekli ikiye bölündüğü için, ilk birleşimde giriş akımının yarısı, ikinci birleşimde giriş akımının dörtte biri, üçüncü birleşimde giriş akımının sekizde biri, ... olarak bölme işlemi yapılarak ikilik basamak değerleri (1, 2, 4, 8, 16, 32, 64, 128) elde edilir.

İkilik ağırlıklar ile bölünen akım değerleri R1, R3, R5, … ile ve bir elektronik anahtar üzerinden toplama devresine iletilir. Sözü geçen elektronik anahtar, Şekil-6.11b'de görülmektedir. İkilik giriş değerine bağlı olarak davranan bu anahtarlar yardımıyla her bitin akımı ya toprağa yada toplama devresine uygulanarak, girişteki sayısal koda bağlı toplam akım elde edilir. Toplama işlemi için kullanılan işlemsel yükseltecin girişi sanal toprak olduğundan, anahtarlama işlemi merdivenin toplam direncini ve akım bölme değerlerini etkilemez. OP-AMP girişine gelen akımlar toplanarak, sayısal kodun değeri ile doğru orantılı bir çıkış gerilimi oluşturulur.

Deneyde kullanılan DAC0830/32 TD, 20 bacaklı DIL kılıfta standart bir ticari aygıttır ve özellikleri şöylece açıklanabilir:

DAC0830/32 gelişmiş CMOS/Si-Cr 8 bitlik çoğullanabilir (multiplying) bir DAC entegresidir. R-2R direnç merdiven devresinde referans akımını böler. Devre, CMOS akım anahtarları ile düşük güç tüketimi ve düşük çıkış sızıntı akımını sağlayan kontrol devresini kullanır. TTL mantık girişi gerilim seviyeleri ile uyumlu özel bir devreye sahiptir.

Özellikler:

- ✓ ±10V referans ile çalışma
- ✓ Mikroişlemcisiz (tek başına) çalışma
- ✓ Akım durulma süresi: 1µs
- ✓ Çözünürlük: 8 bit
- ✓ Doğrusallık: 8, 9 veya 10 bit
- ✓ Kazanç sıcaklık katsayısı: %0.0002 FS/°C
- ✓ Düşük güç tüketimi: 20mW
- ✓ Tek güç kaynağı ile besleme: +5V…+15V_{DC}
- ✓ Doğrusallıktan maksimum sapma (-10V≤ V_{REF} ≤ +10V için): %0.05…%0.2; %FS
- ✓ Monotonluk: 8 bit

✓ Maksimum kazanç hatası (-10V≤ V_{REF} ≤ +10V için): ±%0.2 (tipik), ±%1 (maks.)

Bacakların Tanımları:

Kontrol sinyalleri:

$\overline{CS}$**:** Chip Select (etkin DÜŞÜK). ILE ile birlikte $\overline{CS}$, $\overline{WR_1}$'i izinler.

ILE: Input Latch Enable (etkin YÜKSEK). $\overline{CS}$ ile birlikte ILE, $\overline{WR_1}$'i izinler.

$\overline{WR_1}$**:** Write 1. Etkin DÜŞÜK $\overline{WR_1}$ dijital giriş veri bitlerini (DI) giriş tutucusuna yüklemek için kullanılır. $\overline{WR_1}$ YÜKSEK olduğunda giriş tutucusundaki veri tutulur. Giriş tutucusunu güncellemek için, ILE YÜKSEK iken, $\overline{CS}$ ve $\overline{WR_1}$ DÜŞÜK olmalıdır.

$\overline{WR_2}$**:** Write 2 (etkin DÜŞÜK). Bu sinyal $\overline{XFER}$ ile birlikte giriş tutucusunda bulunan 8 bitlik veriyi DAC yazacına iletir.

$\overline{XFER}$**:** Transfer Control Signal (etkin DÜŞÜK). $\overline{XFER}$, $\overline{WR_2}$'yi izinler.

Diğer Bacakların İşlevleri:

DI_0…DI_7: Dijital girişler. DI_0 en az değerlikli bit (LSB) ve DI_7 en değerlikli bittir (MSB).

I_{out1}: DAC akım çıkışı 1. I_{out1} DAC yazacındaki dijital kodun tümü "1"lerden oluştuğunda maksimum değerini alır ve DAC yazacındaki tüm "0"lar için sıfırdır.

I_{out2}: DAC akım çıkışı 2. I_{out2} bir sabit eksi I_{out1}'dir, veya I_{out1} + I_{out2} = sbt.

R_{fb}: Feedback resistor. Tümleşik devre üzerinde bulunan ve DAC gerilim çıkışı sağlamak için bağlanacak opamp için paralel geribesleme direnci. Yonga üzerindeki bu direnç R-2R merdiven devresindeki dirençler ile özdeş olduğu için kullanılmalıdır.

V_{REF}: Reference Voltage Input. Bu giriş dahili R-2R merdiven devresini hassas harici bir gerilim kaynağına bağlar. V_{REF}, -10V ile +10V aralığında seçilebilir.

V_{CC}: Dijital kaynak gerilimi. Entegrenin güç kaynağı bacağıdır. V_{CC} +5V ile +15V_{DC} aralığında olabilir. Optimum çalışma +15V'ta gerçekleşir.

GND: 10 nolu bacak akım anahralaması uygulamaları için I_{out1} ve I_{out2} ile aynı toprak potansiyelinde olmalıdır. Fark olması durumunda doğrusallıktan sapma olur (bkz. DAC0830 veri yaprağı, s.7).

DAC çeviricinin çıkış gerilimi, iki koşula bağlıdır: 8-bit giriş sayısının büyüklüğü ve referans geriliminin değeri. Çıkış geriliminin en yüksek değeri ise kaynak gerilimidir. TD 5V ile en fazla 17V arasındaki kaynak gerilimleri ile çalışabildiği ve çıkış gerilimi kaynak gerilimini aşamayacağı için, örneğin 5V kaynak gerilimi kullanıyorsanız 10V'luk referans gerilimi ile 0-10V aralığında çıkış elde edemezsiniz.

DAC, sayısal giriş kodunu alarak, analog bir gerilim yada akım olarak çıktılar. Şekil-

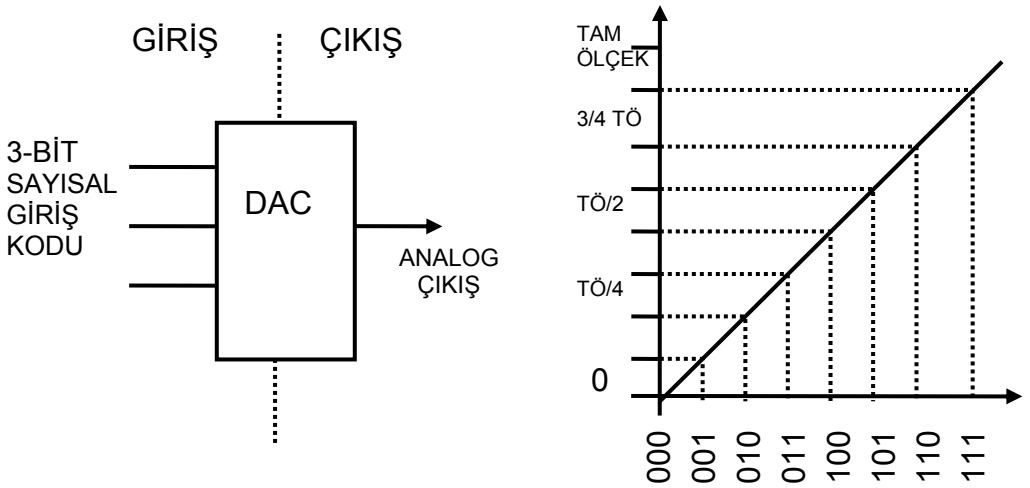
6.12'de 3-bitlik bir çeviricinin sayısal koda karşı tam ölçeğe göre çıkış gerilimi verilmiştir. Tam ölçeğin 4V olduğunu varsayarsak, her kod 0,5 V ($4/2^3$= 0,5) değerinde bir aralıkta gösterilir. Dikkat ederseniz 4V'luk tam ölçek çıkış değerine tam olarak ulaşılamamaktadır çünkü, 000 koduna sıfır volt değeri atanmıştır ve geri kalan 7 kod içinde en yüksek olanı 111 ile elde edilebilecek gerilim 7 × 0,5 = 3,5 V olur. Duyarlığı arttırmak ve tam ölçek çıkış gerilimine iyice yaklaşmak olasıdır. Örneğin 6-bit giriş kodu kullanılırsa, 2^6 değişik kod oluşacak ve bu kodlardan her biri çıkış geriliminde 0,0625V'luk ($4/2^6$ = 0,0625) bir değişim oluşturacaktır. Görüldüğü gibi en yüksek analog çıkış gerilimi, tam ölçek değerine daha da yakınlaşmıştır. Çıkış geriliminin en düşük değeri (resolution - ayırma), nicemleme boyutu (quantitization size - Q) olarak adlandırılır ve tam ölçeğin 2^n değerine (n = bit sayısı) bölünmesiyle elde edilir.

Burada kullanılan DAC için nicemleme boyutu Q,

$$Q = \frac{2,56}{2^8} = \frac{2,56}{256} = 0,01\text{volt} = 10\text{mV}$$

olarak bulunur.

Buna göre giriş verisinin her biti, analog çıkış geriliminde, bitin ikilik ağırlığı çarpı on milivoltluk bir değişime yol açar. 00000000 verisi sıfır volt olarak alınacağına göre, sistemin en yüksek çıkışı 255×10 mV = 2,55V olur.



Şekil-6.12 DAC simgesi ve aktarım eğrisi.

DAC BAŞARIM ÖZELLİKLERİ

Çözünürlük (resolution)

Bir DAC'nin ayırma değeri, çıkışındaki basamak sayısının tersidir ve giriş bitlerinin sayısına bağlıdır. Örneğin 4-bitlik bir S/Ö nin ayırması, 2^4-1 de birdir (onbeşte bir). Yüzde olarak belirtilecekse, $(1/15)\times100=6,67\%$ olarak yazılmalıdır.

Nicemleme boyutu (quantitization size)

Girişteki ardışık iki veri arasında, çıkıştaki gerilim değişimine nicemleme boyutu denir ve tam ölçek çıkış geriliminin toplam basamak sayısına bölümü ile gösterilir. Örneğin çıkış gerilim değeri 10V olan 8-bitlik bir çeviricinin nicemleme boyutu, $10/2^8$= 0,039 V olarak bulunur.

Doğruluk (accuracy)

Doğruluk, gerçek DAC çıkışı ile umulan çıkışın karşılaştırılmasıdır. Tam ölçek yada en yüksek çıkış geriliminin yüzdesi olarak gösterilir. Örneğin bir çeviricinin tam ölçek çıkışı 10 V ve doğruluğu da $\pm10\%$ ise, herhangi bir çıkış gerilimindeki en büyük hata, $(10)\times(0,001)=10$ mV olacaktır. Doğruluğun en azından $\pm1/2$ LSB (en az önemli bit) değerinde olması istenir. 8-Bit bir çeviricide LSB 1/256=0,0039 (tam ölçeğin 0,39%) değerindedir. Buna göre doğruluk yaklaşık $\pm0,2\%$ dolayında olmalıdır.

Doğrusallık (linearity)

Doğrusal bir hata, DAC'nin beklenen düz-doğru çıkışından sapmadır. Bu sapmanın özel bir durumu, bütün giriş bitleri sıfır iken çıkışta görülen gerilimdir ve kayıklık hatası (offset error) olarak adlandırılır.

Tekdüzelik (monotonicity)

Giriş verisi sırayla artarken, DAC çıkışının geri adım atmamasıdır.

Durulma süresi (settling time)

Giriş kodunda bir değişiklik oluştuktan sonra DAC çıkışının $\pm1/2$ LSB sapma ile oturması arasında geçen süreye denir.

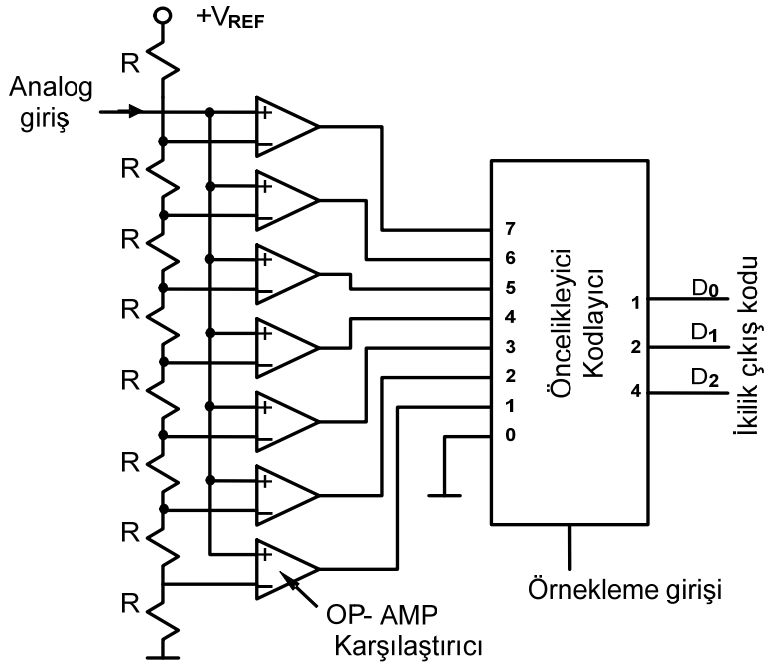
ANALOGDAN-SAYISALA ÇEVİRİCİ (ADC)

Analog-sayısal çevirici (ADC yada A/S), ölçülen yada elde edilen analog büyüklüklerin ikilik kodlar biçiminde sayısal sistemlere aktarılarak işlenmesi ve saklanması gerektiğinde kullanılır. Yaygın olarak kullanılan ADC yöntemleri altı tanedir.

ANINDA ANALOG SAYISAL ÇEVİRİCİ

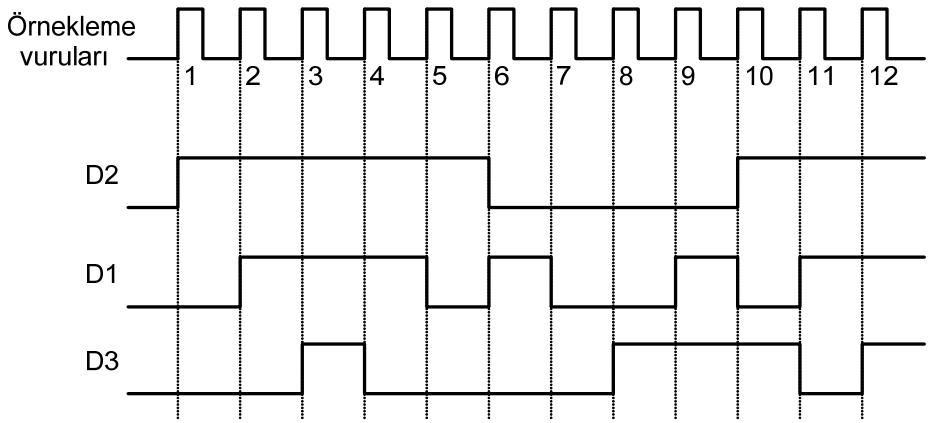
Anında analog sayısal çevirici (Flash (simultaneous) A/D Converter) Bu yöntemde analog giriş işareti, referans gerilimleriyle karşılaştırılır. Girişe ulaşan analog gerilim karşılaştırıcılardan birinin referans gerilimini aştığında, karşılaştırıcı çıkışında bir

YÜKSEK seviye oluşur ve öncelikli kodlayıcı yardımıyla işaretin sayısal kodu üretilir. Öncelikli kodlayıcı girişine birden fazla yüksek seviye gelebilir fakat öncelik en büyüğe verildiği için bu girişin sayısal kodu çıkıştan elde edilir. Şekil-6.13'de görülen 3-bitlik ADC devresinde yedi karşılaştırıcı bulunmaktadır çünkü, 000 durumu için karşılaştırıcı kullanılmamıştır. Benzer biçimde 4-bitlik bir çeviricide de 2^4–1=15 karşılaştırıcı kullanılır.

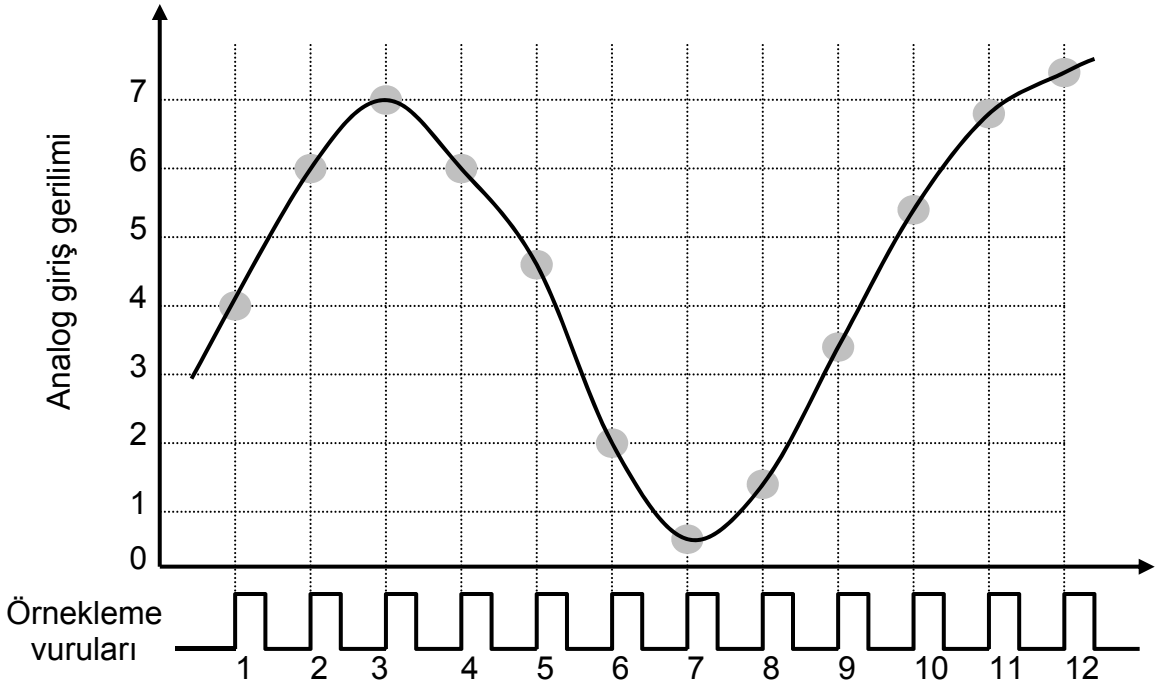


Şekil-6.13 3-bit anında (flash) ADC

Bu tür çeviricinin en önemli üstünlüğü, çevirme hızının çok yüksek olmasıdır. Bununla birlikte, hassas çevirme işlemleri için çok sayıda karşılaştırıcı kullanmak gerekeceği için kullanışlı değildir. Örneğin 8-bitlik bir ADC devresinde anında çevirme yöntemi kullanılacaksa, 2^8–1=255 tane karşılaştırıcı gereklidir ki, bu da devreyi çok masraflı ve karmaşık duruma getirir. ADC girişindeki analog işareti belirten sayısal kodların doğruluğu, örnekleme hızına bağlıdır. Birim zamanda alınan örnek sayısı arttıkça, analog işaretin sayısal gösterimi de giderek gerçeğini en iyi temsil eder duruma gelir.



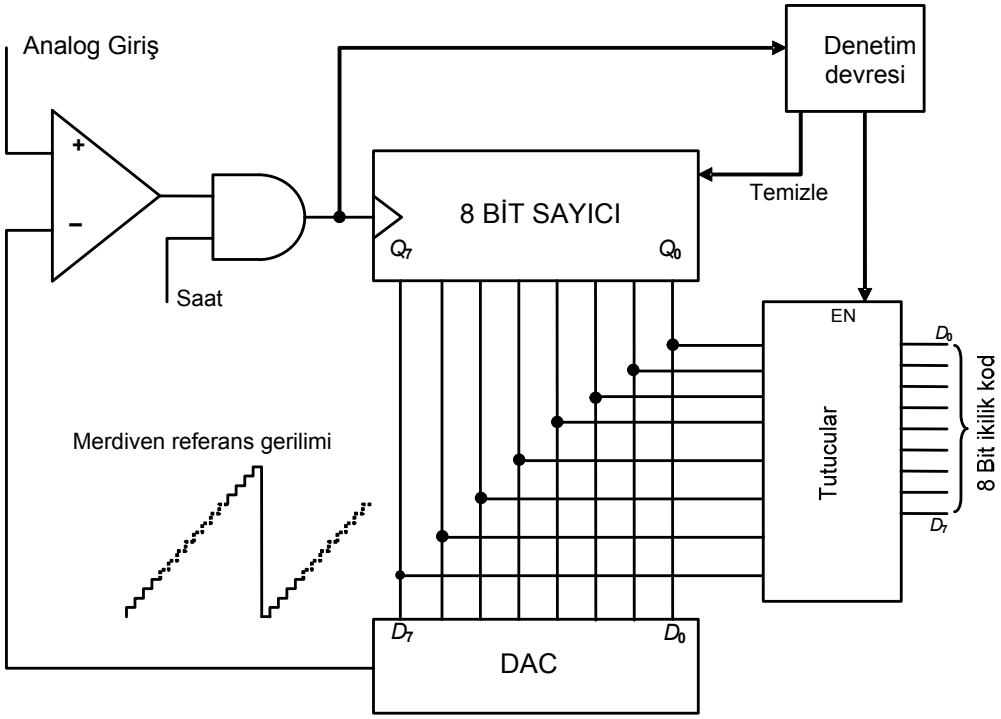
Şekil-6.15 Analog işaretin sayısala çevirmek için örneklenmesi.



Şekil-6.14 Analog işaretin sayısala çevirmek için örneklenmesi.

SAYISAL-YOKUŞ ADC (DİGİTAL-RAMP A/D)

Bu çevirme yöntemine, *sayıcı yöntemi* adı da verilir. Devrede, analog işarete karşılık gelen sayısal kodun üretiminde bir ikilik sayaç ve DAC, birlikte kullanılır. Başlangıçta sayacın ve dolayısıyla DAC ün de sıfır ürettiğini varsayalım. Bu durumda girişe analog bir işaret uygulanırsa, uygulanan gerilim referans gerilimini (DAC çıkışı) aşar aşmaz karşılaştırıcı çıkışı YÜKSEK duruma geçerek sayacı ikilik olarak saydırır. İkilik sayılar ilerledikçe DAC çıkışındaki referans gerilimi, basamak basamak artar. Referans geriliminin analog giriş işaretini geçmesiyle, karşılaştırıcı çıkışında üretilen DÜŞÜK, sayacı durdurur. Sayacın bu andaki içeriği, referans gerilimini analog giriş işaretinden daha büyük yapan en az basamak sayısına eşittir ve doğal olarak analog giriş değerini temsil eder. Denetim devresi bu sayıyı tutuculara yükler ve sayacı sıfırlayarak, girişi bir kez daha örnekleyecek yeni bir sayma sürecini başlatır. Bu yöntem flash yönteminden daha yavaştır çünkü, giriş işaretinin en yüksek olduğu durumda çevirme işlemi yapılmadan önce sayacın sıfırdan başlayarak bütün sayıları sayması gerekir. Bu, 8-Bit kod üreten bir sistemde 256 sayaç durumu demektir. Şekil-6.13 te 4-bitlik bir dönüşüm gösterilmiştir. Çizimden de görüleceği gibi, her örnek için sayaç sıfırdan başlayarak, referans gerilimi analog girişten büyük olana dek saymakta ve çevirme süresi de uygulanan gerilimin değerine göre değişmektedir.

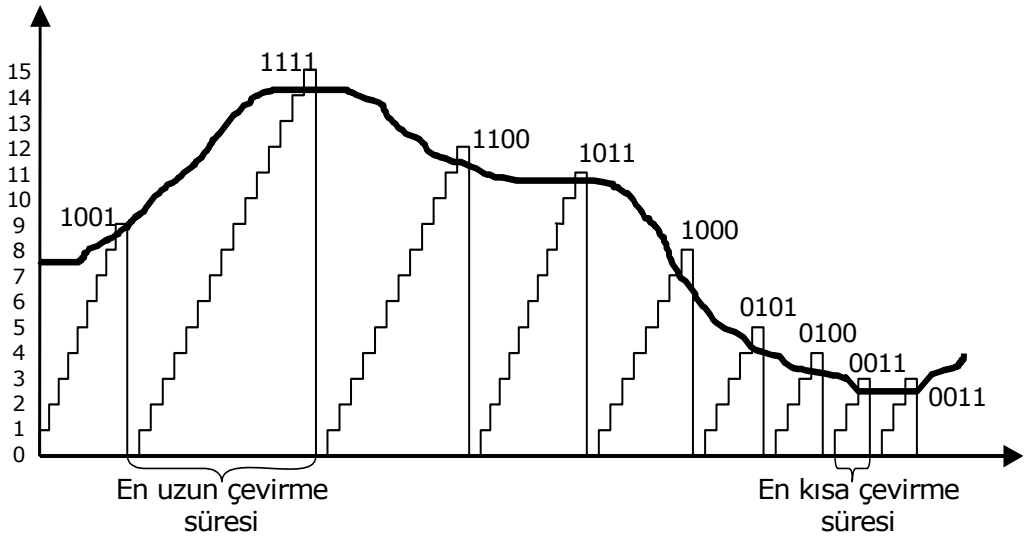


Şekil-6.16 8-bitlik sayısal-yokuş ADC

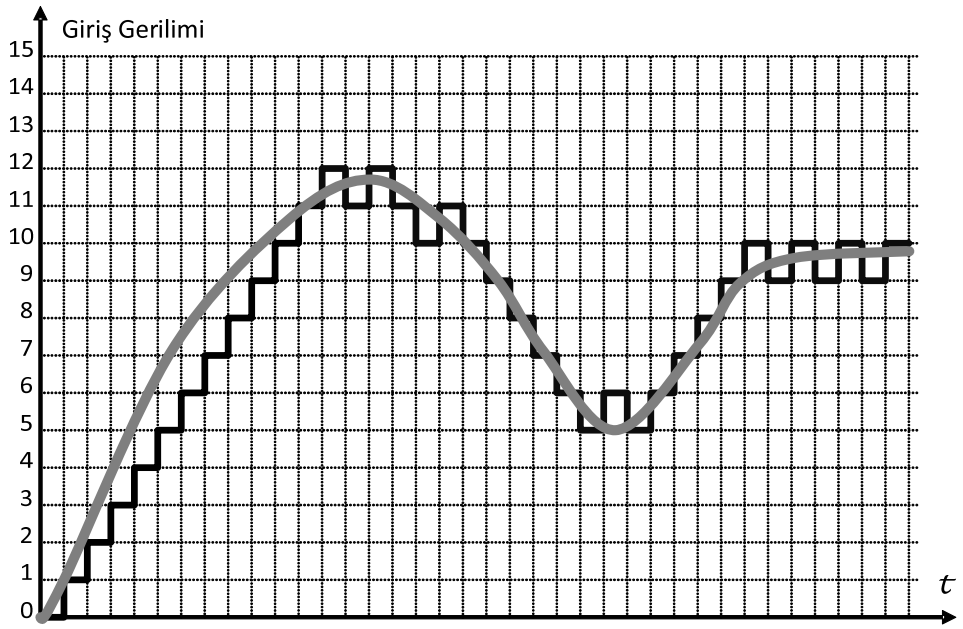
İZLEYİCİ ANALOG-SAYISAL ÇEVİRİCİ

İzleme (tracking) yönteminde de yokuş yöntemine benzer olarak bir ileri-geri sayaç ve bir DAC kullanılmıştır. İzleme yönteminde sayaç, alınan her örnekten sonra sıfırlanmadığı, bunun yerine giriş işaretini izleme eğiliminde olduğu için çevirme süresi yokuş yöntemine göre daha kısadır. Şekil-6.18'de izleyici ADC'nin blok şeması gösterilmiştir.

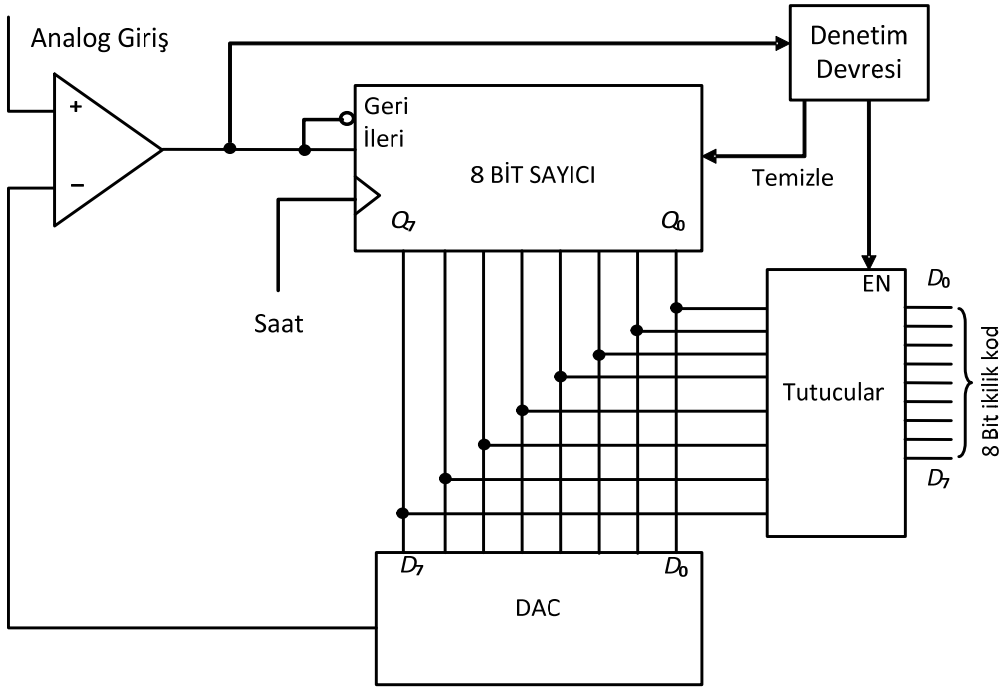
DAC çıkışındaki referans gerilimi analog girişten daha az olduğunda karşılaştırıcı çıkışında YÜKSEK vardır ve sayaç ileri yönde saydırılır. Sayacın ilerlemesi, referans gerilimi analog işarete yetişene dek sürer ve bu anda karşılaştırıcı çıkışı DÜŞÜK olarak sayacı geri saydırmaya başlar. Analog giriş gerilimi azalıyorsa, sayaç ta onun değerini izleyerek geri sayar. Giriş geriliminin değeri artıyorsa sayaç bu kez ileri sayar. Analog giriş değişmiyorsa, sayaç bir ileri bir geri sayarak yine bu değeri izler. İki ikilik değer arasında oluşan bu salınım, yöntemin en belirgin sakıncasıdır. İzleme yöntemiyle çevirme işlemi ile üretilen dalga biçimi, Şekil-6.19'da 4-bitlik bir çevirici için çizilmiştir. Bazı bölgelerde analog işaret ile sayısal işaretin oldukça farklı olduğuna dikkat ediniz.



Şekil-6.17 Yokuş yöntemi kullanılan 4-bit ADC de çevirme sırasında üretilen basamak dalgaları.



Şekil-6.18 İzleyici ADC'de izleme işlemi ile üretilen dalga biçimi.

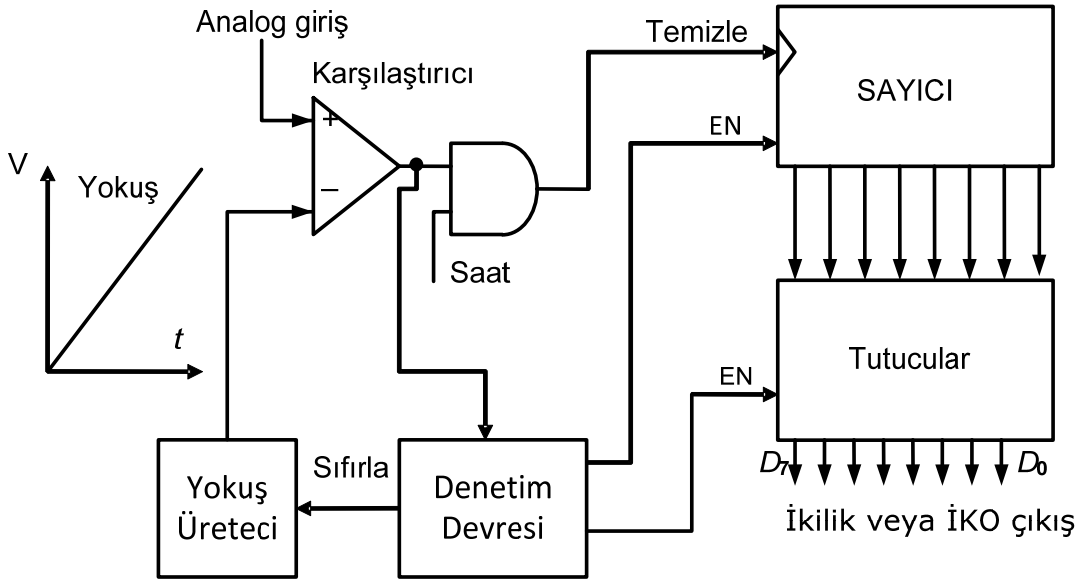


Şekil-6.19 İzleyici ADC

TEK-EĞİMLİ ANALOG-SAYISAL ÇEVİRİCİ

Tek eğimli (single-slope) çevirme devresinde, yokuş ve izleyici yöntemlerinde olduğu gibi DAC kullanılması gerekmez. Bu devre gereksindiği sabit eğimli referans gerilimini, doğrusal bir yokuş üreteci ile sağlar. Yöntemin devresi Şekil-6.20'de verilmiştir. Çevirme döngüsünün başlangıcında, sayaç sıfırlanmış durumda ve yokuş üreteci çıkışı da 0 V değerindedir. Bu noktada analog giriş gerilimi referans geriliminden yüksektir ve karşılaştırıcı çıkışında YÜKSEK seviye vardır. Karşılaştırıcı çıkışındaki YÜKSEK seviye, sayacı saatler ve yokuş üretecini başlatır.

Yokuş, analog girişe eşit olana dek yükselecek ve eşitlik sağlanınca sıfırlanarak bu andaki ikilik yada İKO sayı, denetim devresi tarafından tutuculara yüklenecektir. Yokuş eğiminin 1V/ms ve analog giriş geriliminin de karşılaştırma noktasında 2V olduğunu varsayalım. Karşılaştırma anında yokuş gerilimi de 2V olacak ve üreteç de 2ms'dir çalışıyor olacaktır. Karşılaştırıcı çıkışı 2ms'dir YÜKSEK olduğuna göre, sayaca da 200 saat vurumu (f_{saat}=100kHz varsayılarak) gönderilmiş olacaktır. Tam karşılaştırma noktasında, sayaç çıkışı onluk 200 değerindedir. Uygun bir ölçekleme ve kod çözme ile bu ikilik sayı, 2.00V olarak gösterilebilir. Bazı sayısal voltmetrelerde bu temel yöntem kullanılmaktadır.



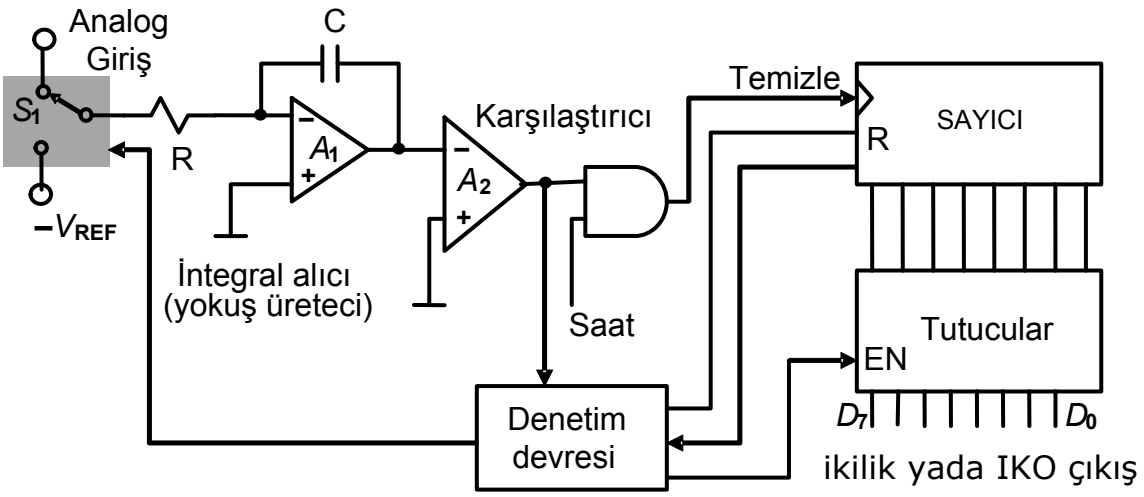
Şekil-6.20 Tek eğimli ADC devresi

ÇİFT EĞİMLİ ANALOG SAYISAL ÇEVİRİCİ

Bu yöntemin çalışma ilkesi, biri değişken biri sabit eğimli olmak üzere iki ayrı yokuş kullanılması dışında bir önceki devre ile benzerdir. Bu yöntem sayısal voltmetrelerde ve diğer ölçme aygıtlarında yaygın olarak kullanılmaktadır.

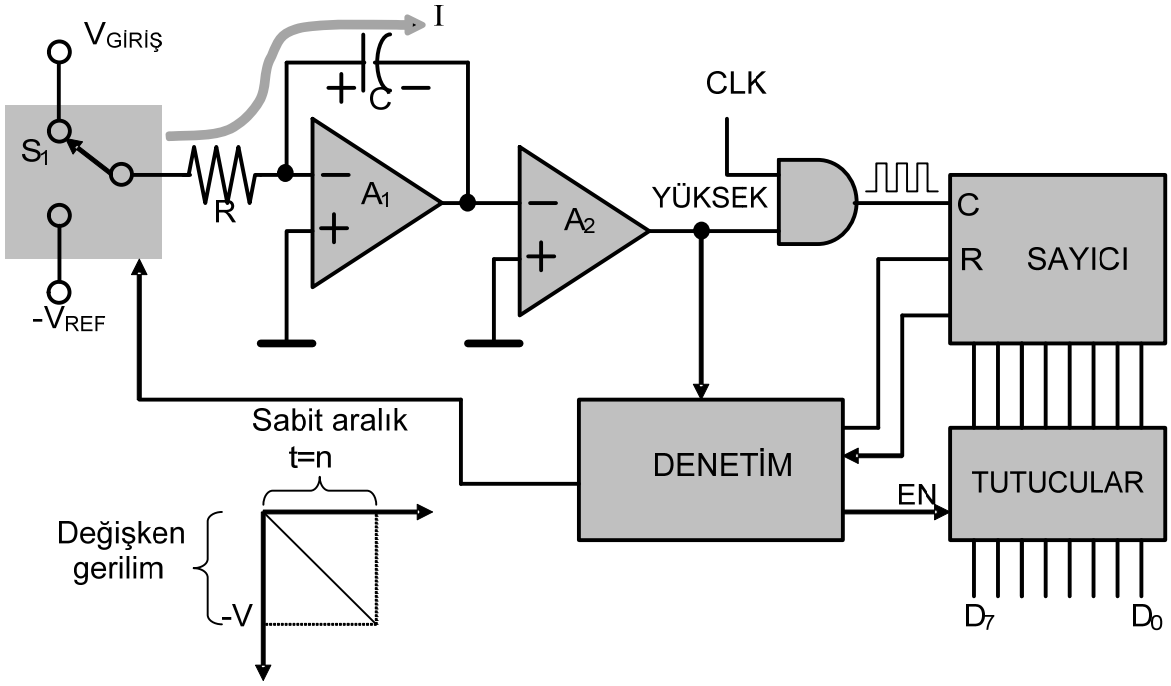
Çift-eğimlilik özelliğini oluşturmak için bir yokuş üreteci-integral alıcı (ramp generator-integrator) kullanılır. Şekil-6.22'de çift-eğimli bir analo-sayısal çevirme işleminin nasıl gerçekleştiği açıklanmıştır. Sayıcı integral alıcı çıkışlarının sıfır olduğu durumda, giriş seçme anahtarı S_1 üzerinden artı değerli bir analog giriş işareti uygulandığını düşünelim.

A_1 OPAMP'ının negatif girişi sanal toprak olduğundan ve V_1 geriliminin bir süre değişmeyeceğini varsayarak *R* direnci ve *C* sığacı üzerinden sabit bir akım geçeceğini söyleyebiliriz. Bu akım sabit olduğundan, *C* sığacı doğrusal olarak dolacak ve sonuçta A_1 in çıkışında eksiye giden doğrusal bir gerilim yokuşu belirecektir (Şekil-6.23) Sayaç belirlenen sayıya ulaştığı zaman sıfırlanacak ve denetim devresi eksi referans gerilimini ($-V_{REF}$) A_1 OPAMP'ının negatif girişine verecektir. Bu noktada sığaç, girişteki analog değer ile orantılı bir gerilime ($-V$) dolmuştur (Şekil-6.24).

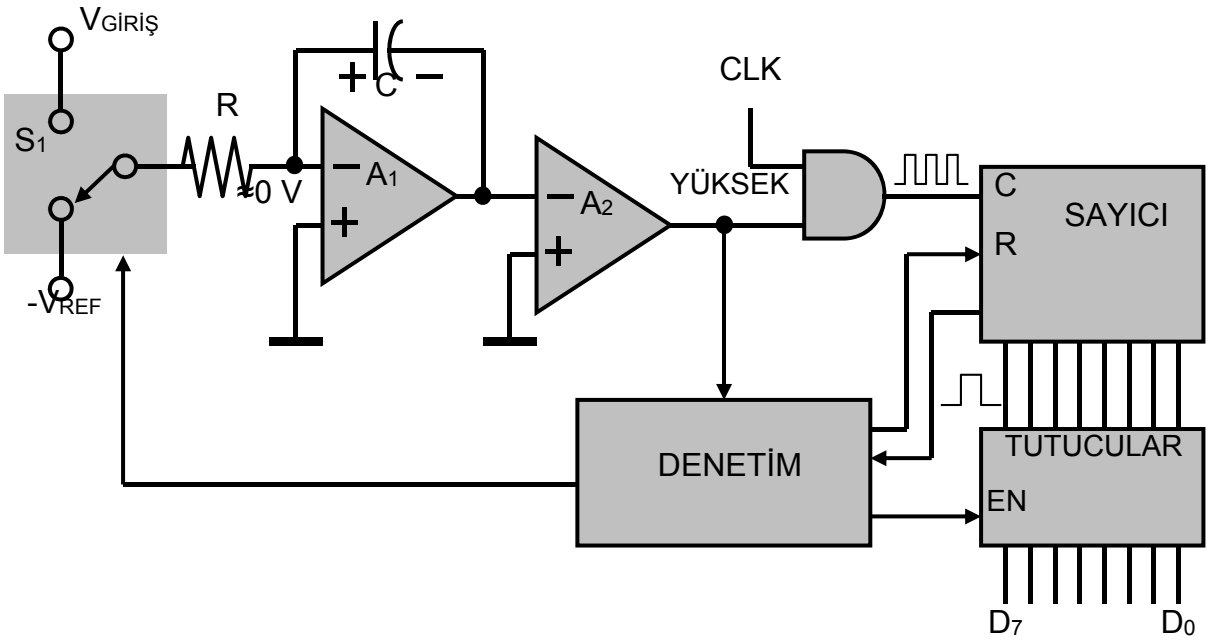


Şekil-6.21 Çift eğimli ADC

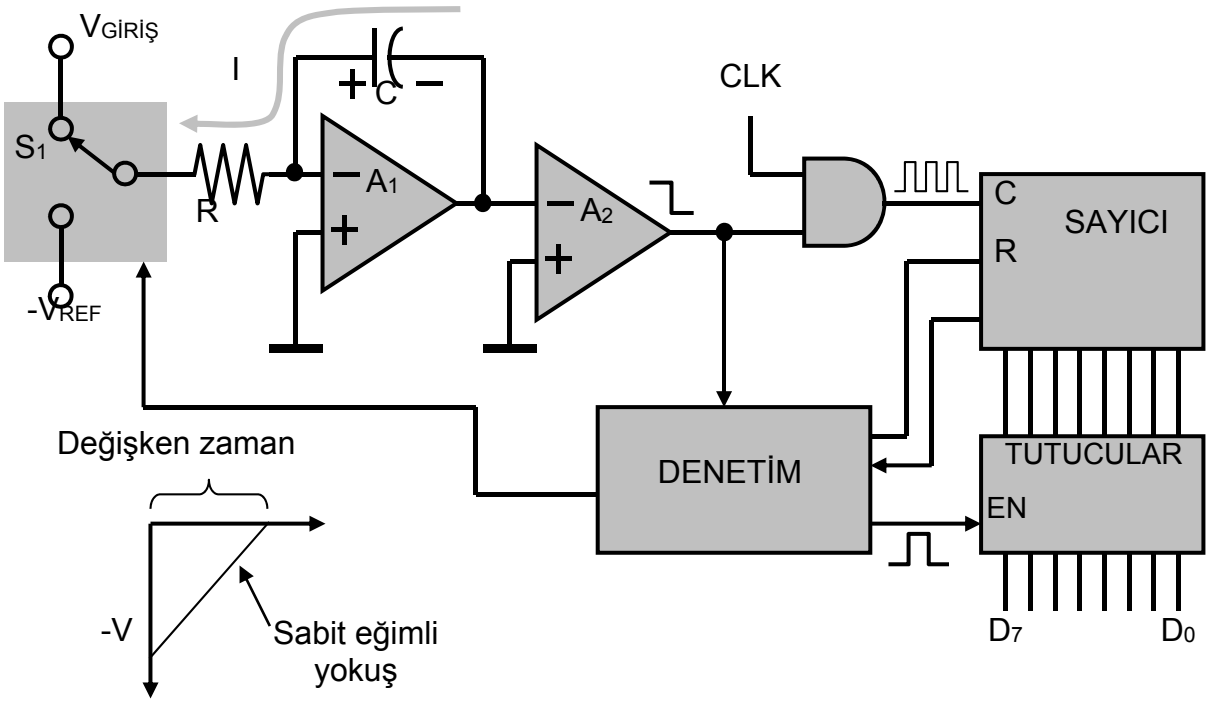
Sığaç bu kez de, $-V_{REF}$ geriliminden kaynaklanan sabit bir akımla doğrusal olarak boşalır (Şekil-6.24). Bu doğrusal boşalma, A_1 in çıkışında $-V$ den başlayıp artıya giden ve eğimi, doldurma geriliminden bağımsız ve sabit olan doğrusal bir gerilim yokuşu oluşturur. Sığaç boşalırken, sayaç ta sıfırdan başlayarak sayar. Boşalma hızı (eğimi) sabit olduğu için, sığacın boşalma süresi, dolmuş olduğu $-V$ gerilim değerine (V_{in} ile orantılı) bağlıdır. İntegral alıcı (A_1) çıkış gerilimi sıfır volta ulaşınca karşılaştırıcı (A_2) çıkışında DÜŞÜK seviye belirir ve sayaç durdurulur. Bu anda sayaçtaki ikilik sayı tutulur ve bir çevirme döngüsü tamamlanmış olur.



Şekil-6.22 Sabit aralıkta negatif yokuş süresince kondansatör dolar ve sayıcı sayar.



Şekil-6.23 Sabit aralıkta negatif yokuşun sonu sayıcı sıfırlanır, S_1 anahtarın konumu değiştirilir.



Şekil-6.24 Sabit aralıkta değişken gerilime bağlı, negatif yokuşu elde edilmesi.

ARDIŞIK YAKLAŞIM ADC

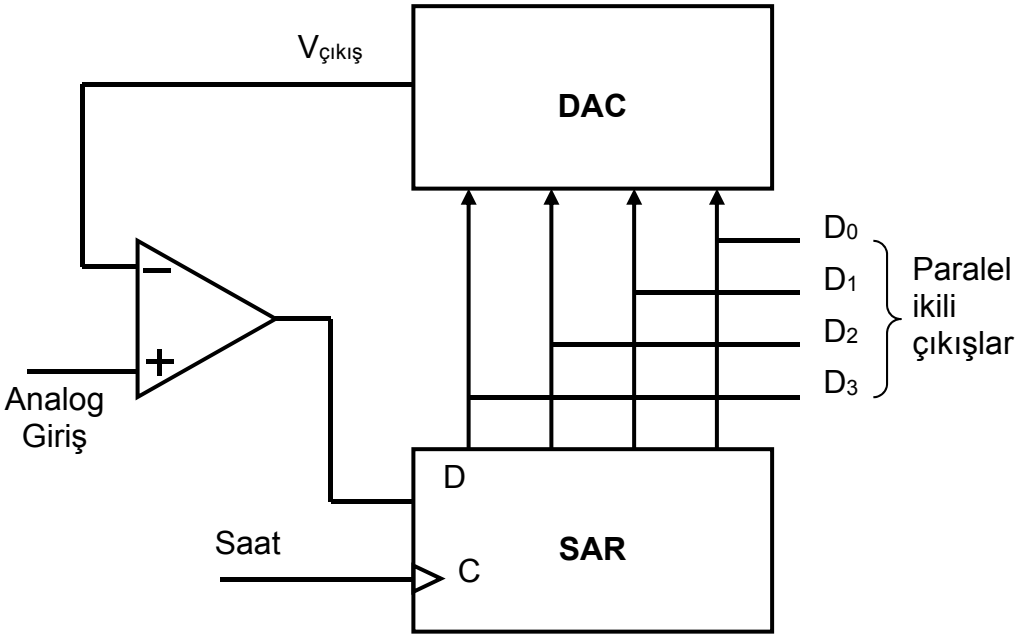
Ardışık-yaklaşım analog-sayısal (Successive-approximation) çeviriciler tümdevre

ADC'lerde en yaygın kullanılan yöntemdir. Bu yöntemin çevirme süresi, flash yöntemi dışındaki tüm diğer yöntemlerden çok daha kısadır. Ayrıca çevirme süresi girişteki analog işaretin değerinden bağımsız ve sabittir.

Şekil-6.27'de 4-bitlik ardışık-yaklaşımlı analog-sayısal çeviricinin devresi verilmiştir. Burada bir DAC, bir karşılaştırıcı ve bir de ardışık-yaklaşım yazacı (successive-approximation register–SAR) kullanılmıştır.

Sistemin çalışmasını 4 bitlik çevirme işlemiyle açıklayacağız. SAR yazacı 4 bitlik yaklaşım sayısının belirlendiği ve kesin sonucun elde edildiği yazaçtır. Bu yazacın kelime uzunluğu sistemin bit sayısını belirler. DAC giriş bitleri, YDB'den (MSB) başlanarak her adımda sadece sırası gelen bit bir yapılır. DAC çıkışından elde edilen analog işaret giriş işareti ile karşılaştırıcı kullanılarak karşılaştırılır. Karşılaştırıcı çıkışından YÜKSEK seviye alınırsa bu bit bir olarak korunur, eğer DÜŞÜK seviye elde edilirse bu bit temizlenir. Tüm bitler yaklaşım işlemine sokulduktan sonra analog giriş işaretinin karşılığı SAR içerisinde elde edilir. DAC çıkışı daha büyükse karşılaştırıcı çıkışı DÜŞÜK seviye, daha küçükse YÜKSEK seviye olur.

4 bit sistemin çalışması Şekil-6.28'de gösterilmiştir. Şekil-6.28 (a)'da analog giriş işaretinin büyüklüğü 5 Volt kabul edilerek en yüksek değerlikli bit "1" yapılmıştır. DAC çıkışından bu durumda 8 V çıkış elde edilir, DAC çıkışı analog girişten daha büyük olduğu için karşılaştırıcı çıkışı DÜŞÜK seviye olur ve 2^3 değerlikli bit temizlenir. Bunun anlamı girişteki gerilimin 8 volttan küçük olduğudur.



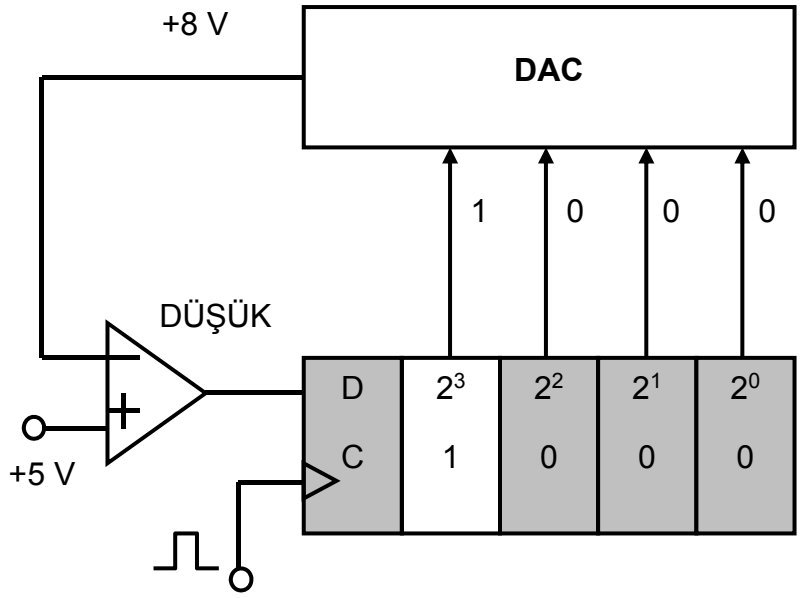
Şekil-6.25 Ardışık-yaklaşım çevirme işlemi.

İkinci adımda 2^2 ağırlıklı bit "1" yapılarak DAC girişine uygulanır, çıkıştan elde edilen gerilim analog giriş işaretinden küçük olduğu için karşılaştırıcı çıkışı YÜKSEK seviye olur ve bu bit kurulu olarak kalır. Bakınız Şekil-6.28 (b). Üçüncü adımda 2^1 ağırlıklı bit kurulur, DAC girişine ikilik 6 sayısı uygulandığı için çıkışından elde edilen 6 Volt giriş işaretinden büyük olduğu için karşılaştırıcı çıkışı DÜŞÜK seviye olur ve bu bit

temizlenir. Bakınız Şekil-6.28 (c). Son olarak da 2^0 ağırlıklı bit kurulur, DAC çıkışından elde edilen 5 volt girişteki analog işaret ile eşit olduğu için karşılaştırıcı çıkışı YÜKSEK seviye olur ve bit kurulu olarak bırakılır. Bakınız Şekil-6.28 (d). Dört adımın sonunda paralel çıkışlardan analog girişin karşılığı olan ikilik sayı elde edilir. Aslında dönüşüm sırasında çıkışa ikilik kodlar Şekil-6.27'de olduğu gibi doğrudan verilmez. Çıkışta diğer tüm devreler ile birlikte çalışabilmesi için üç konumlu tamponlar yer alır. Bu tamponlar her dönüşüm sonunda izinlenir ve ikilik sayısal object dosya sadece çevrim işlemi bittikten sonra çıkışa aktarılır. Blok şemada basit olması açısından gösterilmemiştir. Dönüşüm süresinin sabit olması mikroişlemcilerle birlikte kullanımı kolaylaştırır.

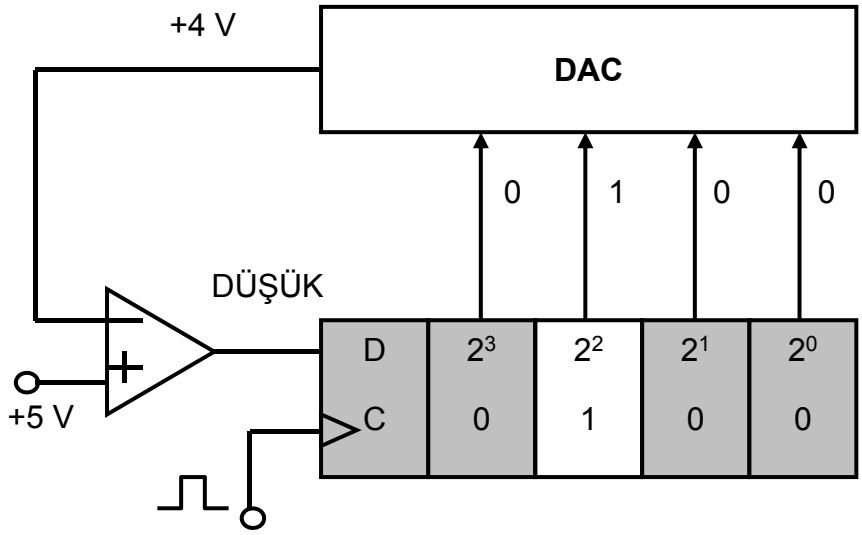
ÖRNEK ADC

Bu kısımda National Semiconductor firması tarafından üretilen ADC0804 analog-sayısal çeviricisi incelenecektir. Tümdevrenin mantık simgesi Şekil-6.29'da gösterilmiştir. Tek bir +5 Volt kaynaktan beslenen bu ADC'de tümdevre içerisinde osilatör devresi yer almaktadır. Çözünürlüğü 8 bittir ve çevrim süresi 100 µs'dir. Aynı zamanda bu ADC'nin çıkışları üç konumlu tamponludur ve mikroişlemci ile birlikte kullanılabilir. Tekdüzeliği de iyidir.

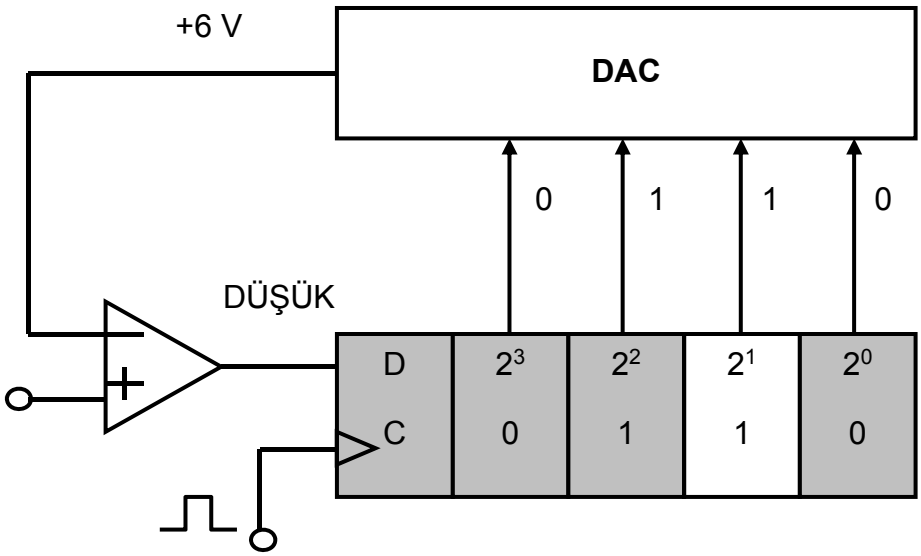


(a)

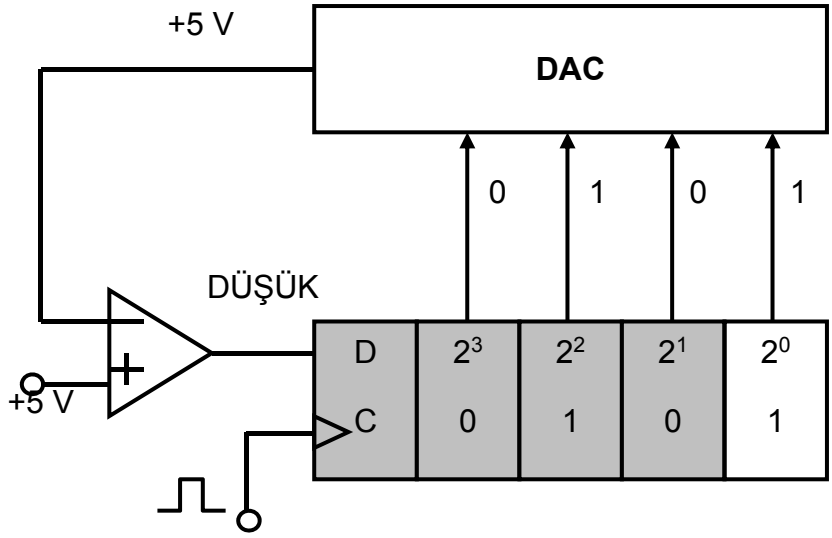
ADC0804'ün çalışması şöyledir; 256 dirençten oluşan bir DAC, bir karşılaştırıcı ve bir 8 bit SAR'dan oluşur. 2^8 değerlikli bitten başlayarak tüm 8 biti kurarak SAR'ın içeriğini belirler. Bu işlem 64 saat saykılı gerektirir. Çevrimin sonunda SAR'ın içeriği çıkış tutucularına verilir. INT/ çıkışını DÜŞÜK seviyeye çekerek işlemin tamamlandığını diğer birimlere bildirir. Her dönüşüm işlemi başında SAR WR/ girişine uygulanan bir düşen kenar uygulanarak temizlenir. Mikroişlemci ile birlikte kullanılmayacaksa INT/ çıkışı WR/ girişine bağlanarak uyarma işlemini kendi kendine yapması sağlanır. Tüm bu işlemlerin olabilmesi için CS/ girişini sürekli DÜŞÜK seviyede olması gerekir. RD/ girişi ise eğer CS/ DÜŞÜK seviyede ise çıkış üç durumlu tamponları yetkilemek için kullanılır.



(b) 2. adım.

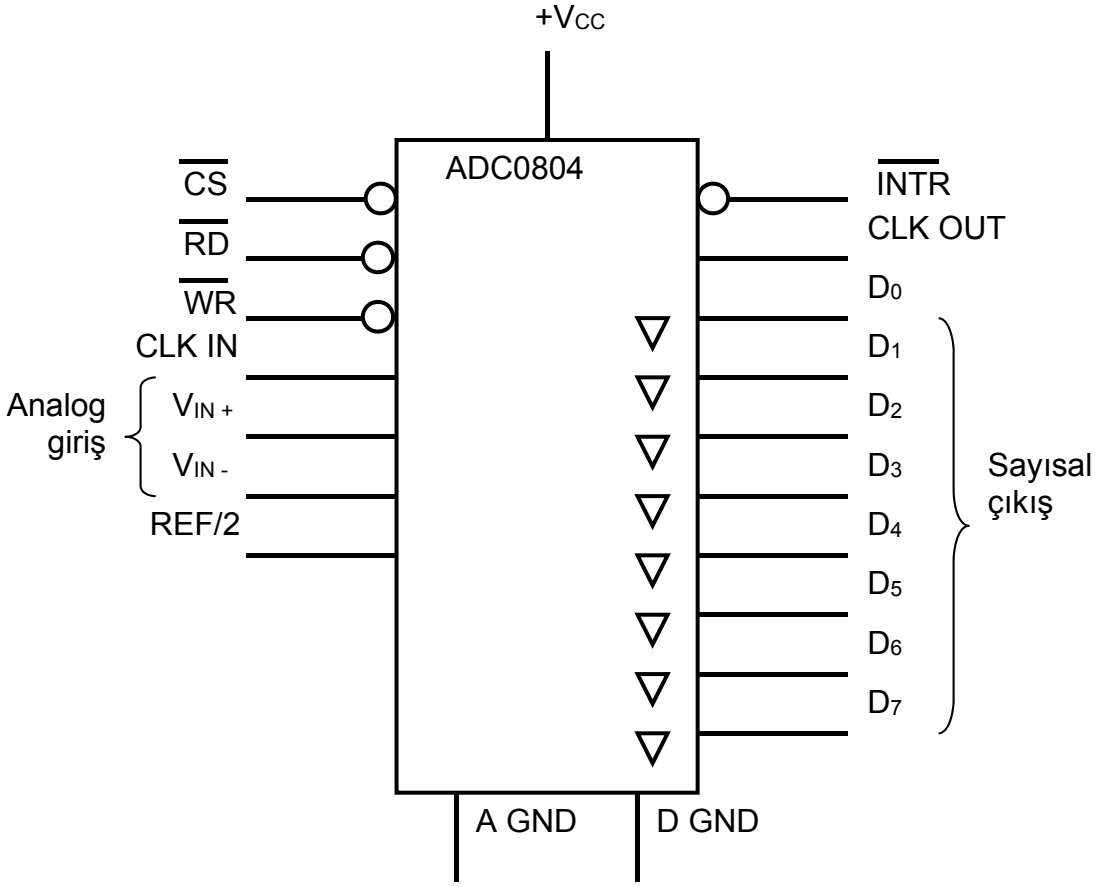


(c) 3. adım.



(d) 4. adım.

Şekil-6.28 Ardışık-yaklaşımın adımları.



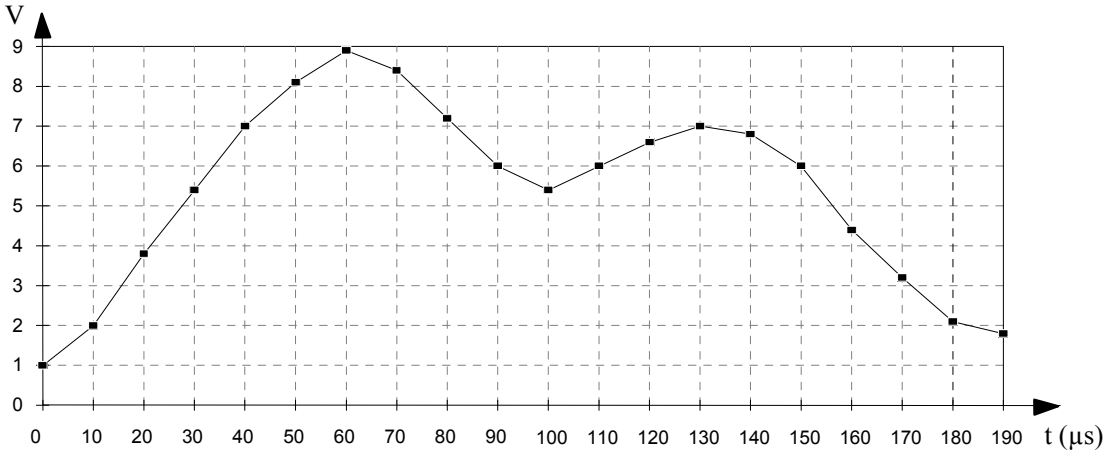
Şekil-6.29 ADC0804 analog-sayısal dönüştürücü.

REF/2 girişine analog girişe bağlanacak maksimum analog değerin yarısı kadar bir gerilim uygulanır. Genellikle ayar için bu girişe uygulanan gerilime ince ayar yapmak için bir ayar trimpotu yerleştirilir. Bu girişe önerilen değer 2,55 Volttur. Böylece girişten bunun iki katı olan 5,10 volttu uyguladığınızda tüm sayısal çıkışların YÜKSEK seviye olur. ADC'nin çözünürlüğünü hesaplamak da kolay olur. Gerekli hesaplamalar için ADC'nin veri yapraklarına bakınız.

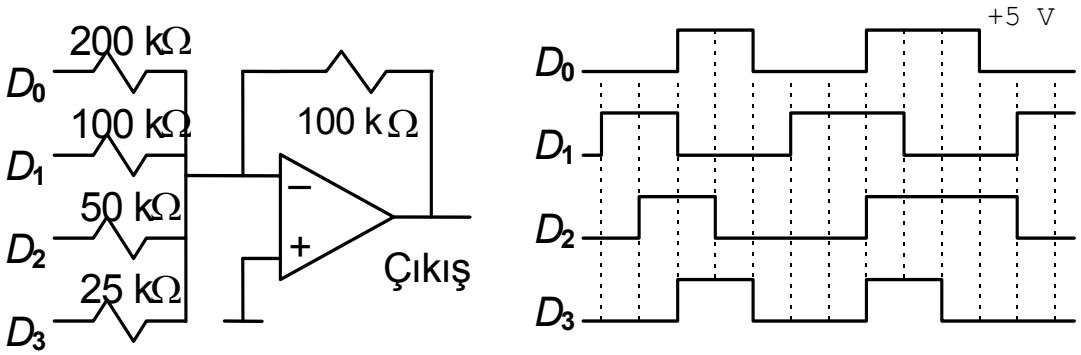
CLK OUT çıkışı ve CLK IN girişleri arasına bir direnç bağlanır, ayrıca CLK IN girişi ile toprak arasına bir kondansatör bağlanarak tümdevre içerisinde yer alan osilatör devresi için gerekli salınım devresi elde edilir. Tetikleme frekansı 500 kHz'e kadar arttırılabilir.

SORULAR

1. Çift eğimli A/D çeviricinin blok şemasını çizerek çalışmasını anlatınız.
2. 4 bitlik bir R/2R merdiven D/A çeviricinin çalışma ilkesini açıklayarak 1001 girdisinin analog değerini devrenin analizini yaparak hesaplayın. (V_{CC} = +5V)
3. Aşağıda verilen analog gerilim, örnekleme hızı 100 kHz olan 3-bitlik bir flaş çevirici ile sayısallaştırıldığında elde edilecek kodları yazın. (V_{REF} = 8V)



4. İkilik ağırlıklı 6-bitlik bir DAC devresinde LSB ye bağlı direncin değeri 10kΩ ise diğer dirençlerin değerleri ne olur?
5. Aşağıdaki çeviricinin dört girişine, sağda görülen +5V ile 0V arasında değişen giriş işaretleri verilmiştir. Çıkış gerilimini ölçekli olarak çizin.



6. 4 bitlik bir R/2R merdiven D/A çeviricinin çalışma ilkesini açıklayarak 1010 girdisinin analog değerini devrenin analizini yaparak hesaplayın. (V_{CC} = +5V)

7. 3, 10 ve 18 bitlik DAC'ların, yüzde olarak ayırmaları ve doğrulukları ne kadardır?

TÜMDEVRE VERİ YAPRAKLARI

GİRİŞ

Bu bölümde derste ve deneyde kullanılan tümdevre veri yapraklarının özeti verilmiştir. Ayrıntılı bilgi

http://ics.nxp.com/products/gates/

http://www.ti.com/lsds/ti/logic/logic.page?DCMP=TIHomeTracking&HQS=Other+OT+home_p_logic

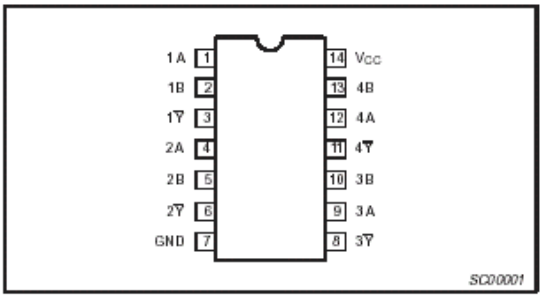
adreslerinden alınabilir.

7400 DÖRTLÜ İKİ GİRİŞLİ VED GEÇİDİ

Quad 2-input NAND gate 74ALS00A

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS00A	4.0ns	1.0mA

PIN CONFIGURATION



ORDERING INFORMATION

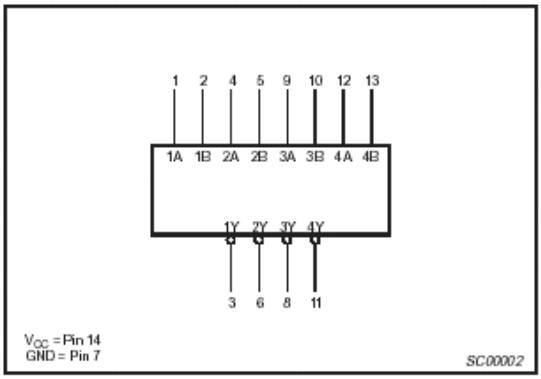
DESCRIPTION	ORDER CODE: COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	DRAWING NUMBER
14-pin plastic DIP	74ALS00AN	SOT27-1
14-pin plastic SO	74ALS00AD	SOT108-1
14-pin plastic SSOP Type II	74ALS00ADB	SOT337-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

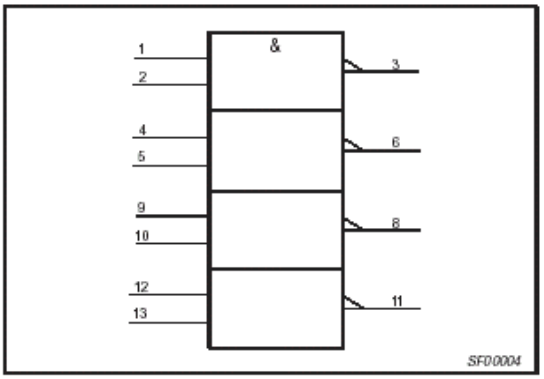
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20µA/0.1mA
nY	Data output	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

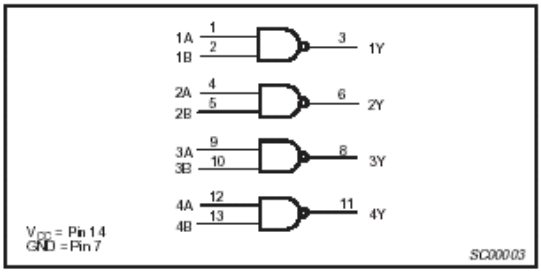
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
H	H	L
L	X	H
X	L	H

H = High voltage level
L = Low voltage level
X = Don't care

4011 DÖRTLÜ İKİ GİRİŞLİ CMOS VED GEÇİDİ

Quadruple 2-input NAND gate

HEF4011B gates

DESCRIPTION

The HEF4011B provides the positive quadruple 2-input NAND function. The outputs are fully buffered for highest noise immunity and pattern insensitivity of output impedance.

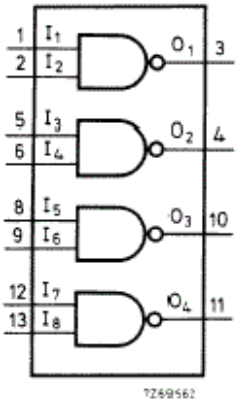


Fig.1 Functional diagram.

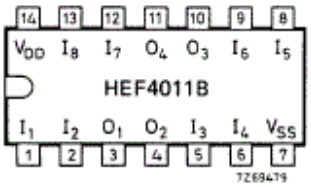


Fig.2 Pinning diagram.

HEF4011BP(N): 14-lead DIL; plastic (SOT27-1)

HEF4011BD(F): 14-lead DIL; ceramic (cerdip) (SOT73)

HEF4011BT(D): 14-lead SO; plastic (SOT108-1)

( ): Package Designator North America

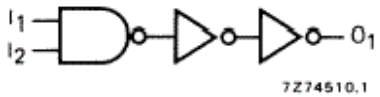


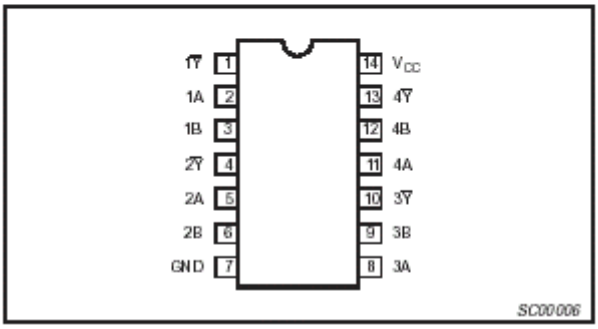
Fig.3 Logic diagram (one gate).

74LS02 DÖRTLÜ İKİ GİRİŞLİ VEYAD GEÇİDİ

Quad 2-input NOR gate 74ALS02

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS02	4.0ns	1.0mA

PIN CONFIGURATION



ORDERING INFORMATION

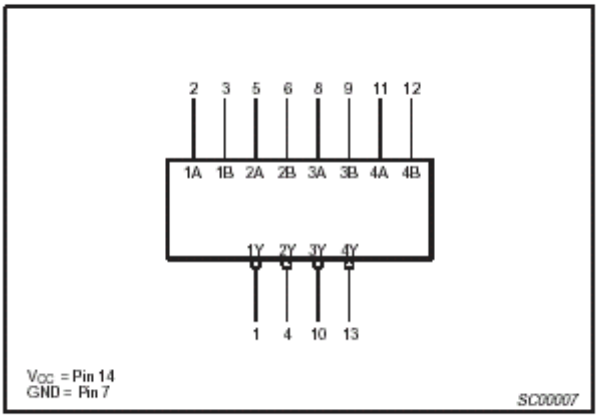
DESCRIPTION	ORDER CODE: COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	DRAWING NUMBER
14-pin plastic DIP	74ALS02N	SOT27-1
14-pin plastic SO	74ALS02D	SOT108-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

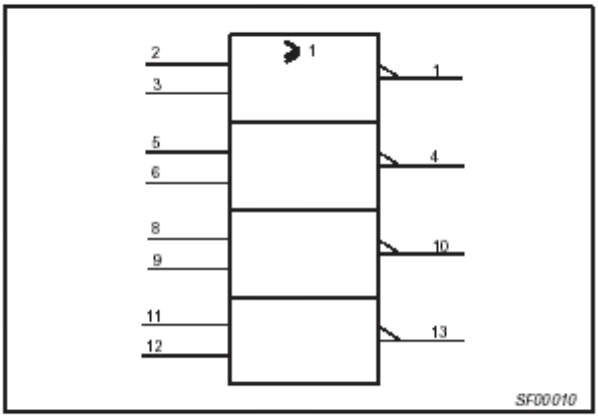
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20µA/0.1mA
n$\overline{Y}$	Data output	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

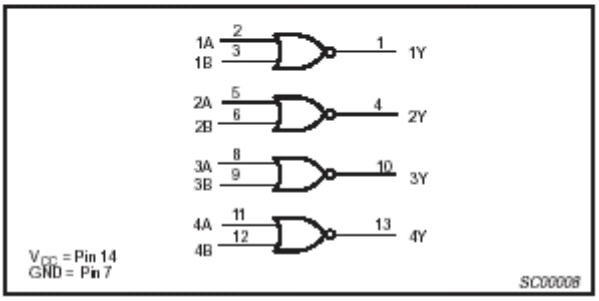
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	n$\overline{Y}$
H	H	L
L	X	H
X	L	H

H = High voltage level
L = Low voltage level
X = Don't care

4001 DÖRTLÜ İKİ GİRİŞLİ CMOS VEYAD GEÇİDİ

Quadruple 2-input NOR gate

HEF4001B gates

DESCRIPTION

The HEF4001B provides the positive quadruple 2-input NOR function. The outputs are fully buffered for highest noise immunity and pattern insensitivity of output impedance.

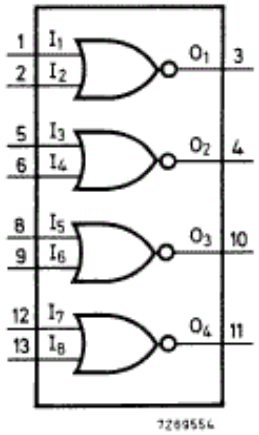


Fig.1 Functional diagram.

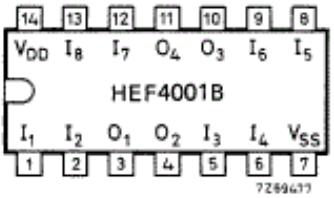


Fig.2 Pinning diagram.

HEF4001BP(N): 14-lead DIL; plastic (SOT27-1)

HEF4001BD(F): 14-lead DIL; ceramic (cerdip) (SOT73)

HEF4001BT(D): 14-lead SO; plastic (SOT108-1)

( ): Package Designator North America

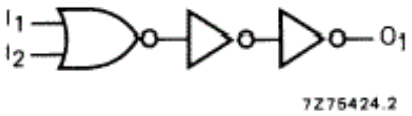


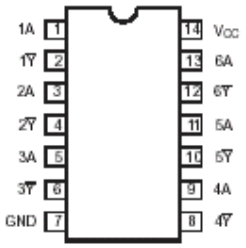
Fig.3 Logic diagram (one gate).

74LS04 ALTILI DEĞİL GEÇİDİ

Hex inverter 74ALS04B

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS04B	3.5ns	2.0mA

PIN CONFIGURATION



ORDERING INFORMATION

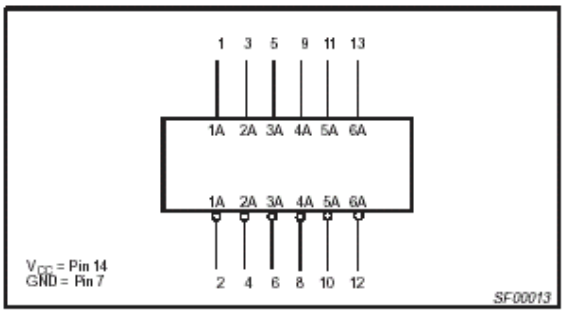
DESCRIPTION	ORDER CODE: COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	DRAWING NUMBER
14-pin plastic DIP	74ALS04BN	SOT27-1
14-pin plastic SO	74ALS04BD	SOT108-1
14-pin plastic SSOP Type II	74ALS04BDB	SOT337-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

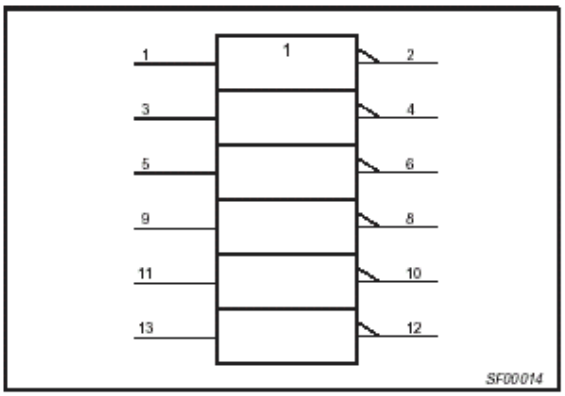
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA	Data input	1.0/1.0	20µA/0.1mA
nY	Data output	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

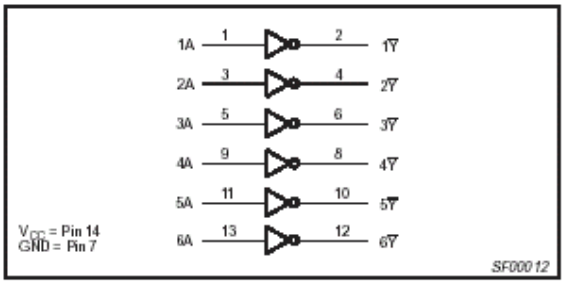
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUT	OUTPUT
nA	nY
L	H
H	L

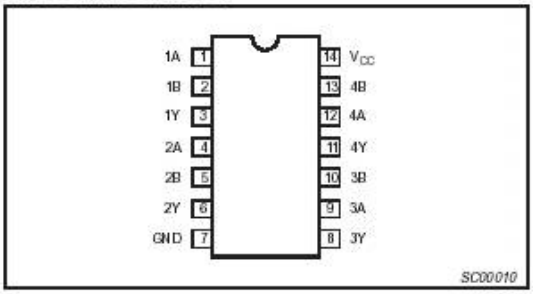
H = High voltage level
L = Low voltage level

74LS08 DÖRTLÜ İKİ GİRİŞLİ VE GEÇİDİ

Quad 2-input AND gate 74ALS08

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS08	5.0ns	1.8mA

PIN CONFIGURATION



ORDERING INFORMATION

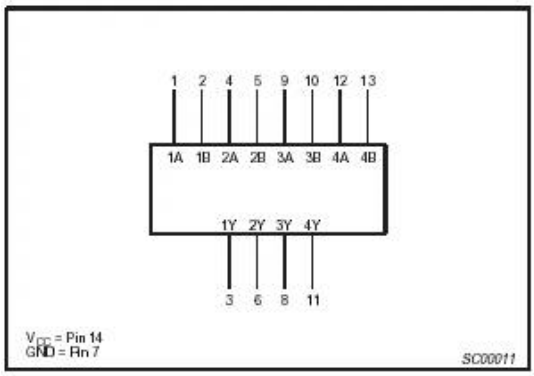
DESCRIPTION	ORDER CODE: COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	DRAWING NUMBER
14-pin plastic DIP	74ALS08N	SOT27-1
14-pin plastic SO	74ALS08D	SOT108-1
14-pin plastic SSOP Type II	74ALS08DB	SOT337-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

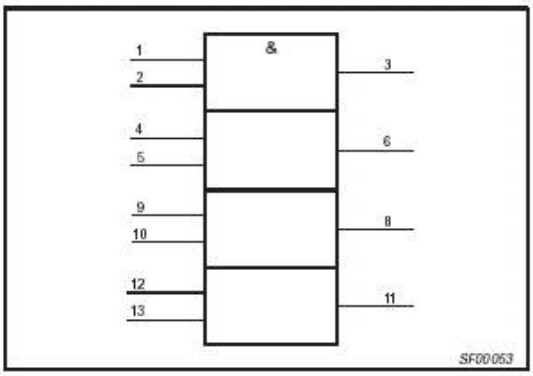
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20µA/0.1mA
nY	Data outputs	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

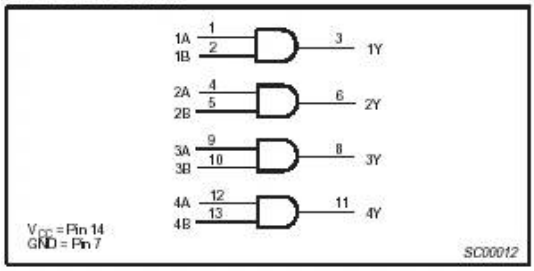
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	$n\overline{Y}$
H	H	L
L	X	H
X	L	H

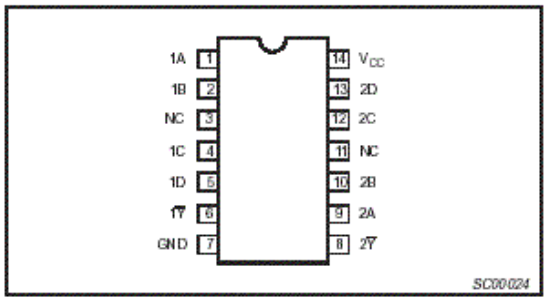
H = High voltage level
L = Low voltage level
X = Don't care

74LS20 İKİLİ DÖRT GİRİŞLİ VED GEÇİDİ

Dual 4-input NAND gate 74ALS20A

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS20A	4.5ns	0.65mA

PIN CONFIGURATION



ORDERING INFORMATION

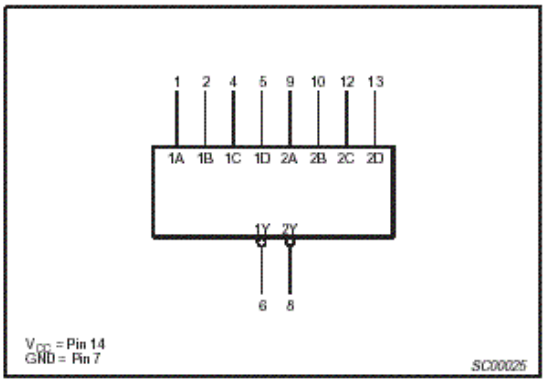
DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	
14-pin plastic DIP	74ALS20AN	SOT27-1
14-pin plastic SO	74ALS20AD	SOT108-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

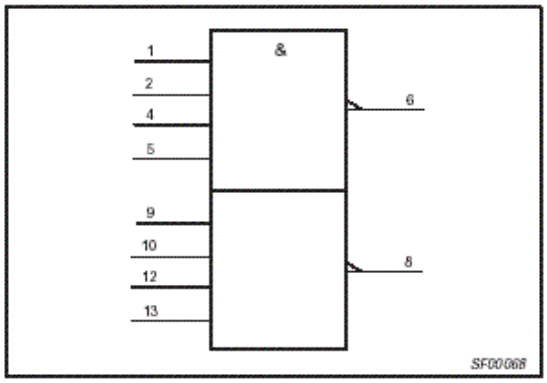
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB, nC, nD	Data inputs	1.0/1.0	20µA/0.1mA
$n\overline{Y}$	Data outputs	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

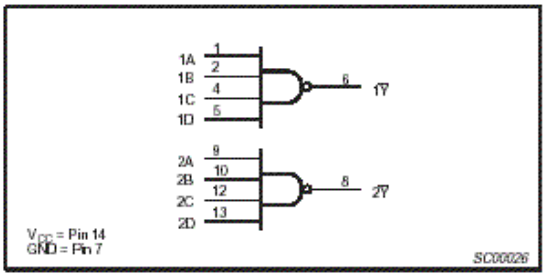
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS				OUTPUT
nA	nB	nC	nD	$n\overline{Y}$
H	H	H	H	L
L	X	X	X	H
X	L	X	X	H
X	X	L	X	H
X	X	X	L	H

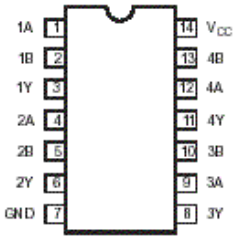
H = High voltage level
L = Low voltage level
X = Don't care

74LS32 DÖRTLÜ İKİ GİRİŞLİ VEYA GEÇİDİ

Quad 2-input OR gate 74ALS32

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS32	5.0ns	2.3mA

PIN CONFIGURATION



ORDERING INFORMATION

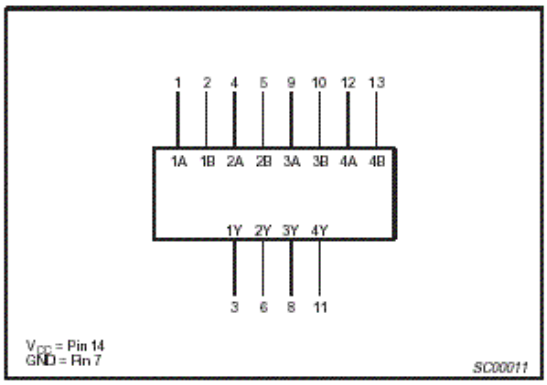
DESCRIPTION	ORDER CODE: COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	DRAWING NUMBER
14-pin plastic DIP	74ALS32N	SOT27-1
14-pin plastic SO	74ALS32D	SOT108-1
14-pin plastic SSOP Type II	74ALS32DB	SOT337-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

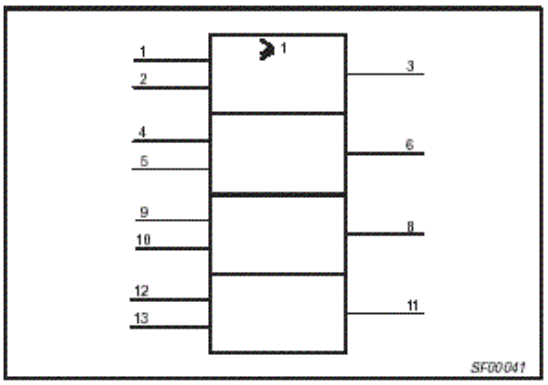
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20µA/0.1mA
nY	Data output	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

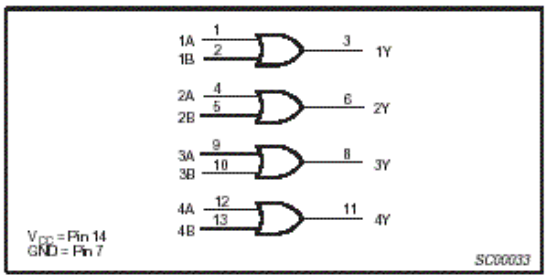
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
H	X	H
X	H	H
L	L	L

H = High voltage level
L = Low voltage level
X = Don't care

74LS86 DÖRTLÜ EXOR GEÇİDİ

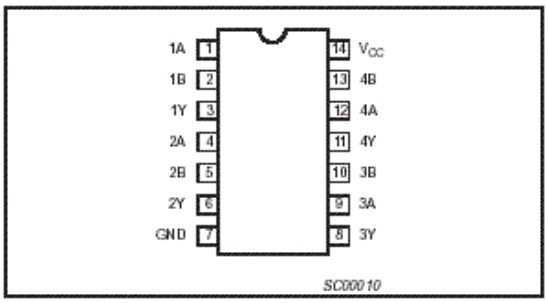
Quad 2-input exclusive-OR gate 74ALS86

DESCRIPTION

The 74ALS86 contain four independent 2-input Exclusive-OR gates. A common application is a true/complement element. If one input is held Low, the signal on the other input will be reproduced in true form at the output. If one input is held High, the signal on the other input will be reproduced inverted at the output.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS86	6.0ns	3.9mA

PIN CONFIGURATION



ORDERING INFORMATION

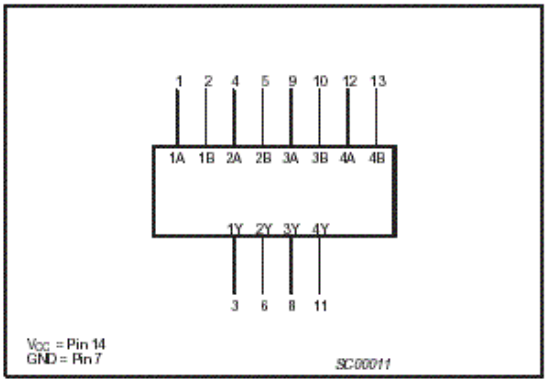
DESCRIPTION	ORDER CODE: COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	DRAWING NUMBER
14-pin plastic DIP	74ALS86N	SOT27-1
14-pin plastic SO	74ALS86D	SOT108-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

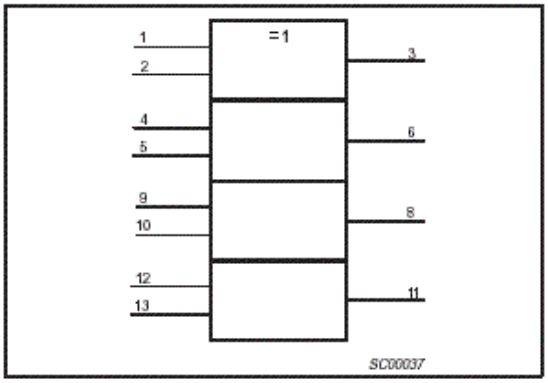
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
nA, nB	Data inputs	1.0/1.0	20µA/0.1mA
nY	Data outputs	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

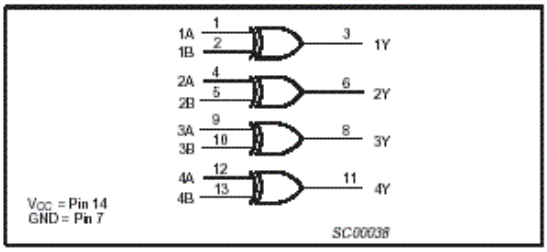
LOGIC SYMBOL



IEC/IEEE SYMBOL



LOGIC DIAGRAM



FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	L
L	H	H
H	L	H
H	H	L

H = High voltage level
L = Low voltage level

74LS283 (74LS83) 4 BİT TAM TOPLAYICI

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
4, 1, 13, 10	Σ_1 to Σ_4	sum outputs
5, 3, 14, 12	A_1 to A_4	A operand inputs
6, 2, 15, 11	B_1 to B_4	B operand inputs
7	C_{IN}	carry input
8	GND	ground (0 V)
9	C_{OUT}	carry output
16	V_{CC}	positive supply voltage

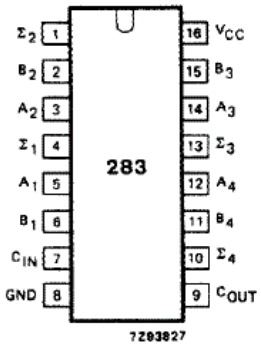


Fig.1 Pin configuration.

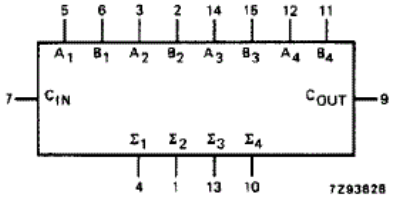


Fig.2 Logic symbol.

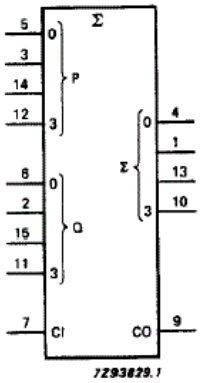


Fig.3 IEC logic symbol.

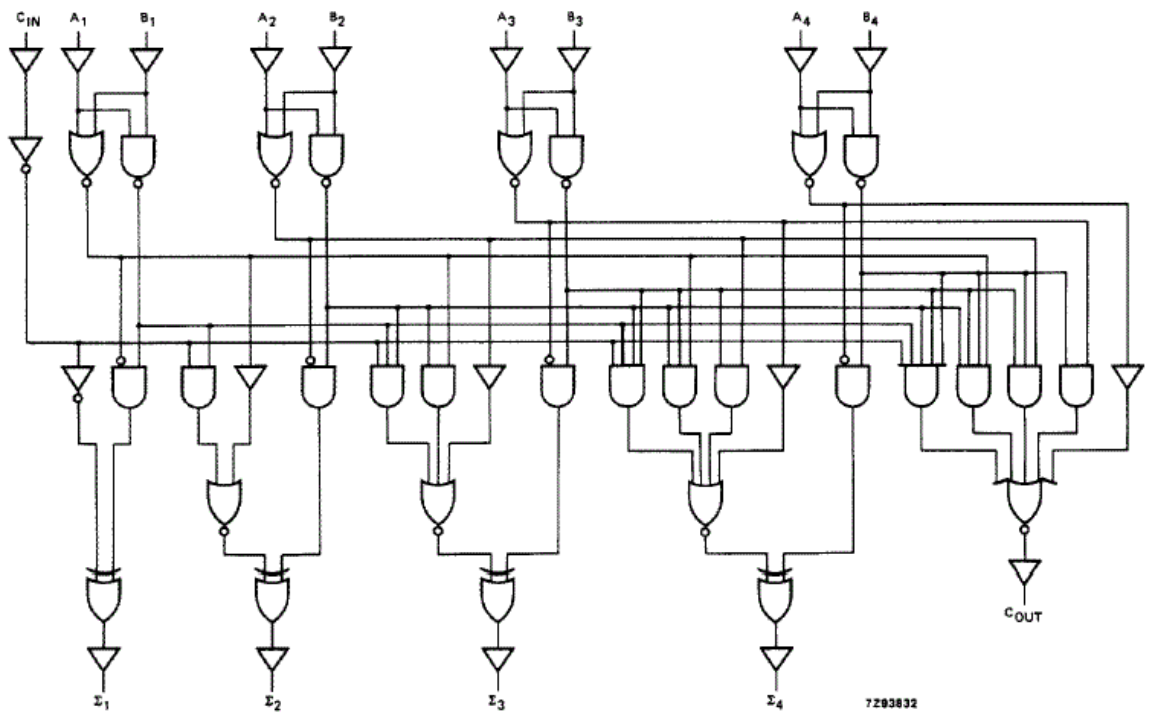


Fig.5 Logic diagram.

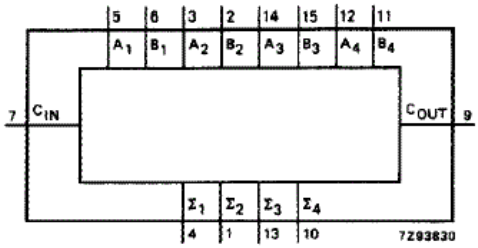


Fig.4 Functional diagram.

FUNCTION TABLE

PINS	C_{IN}	A_1	A_2	A_3	A_4	B_1	B_2	B_3	B_4	Σ_1	Σ_2	Σ_3	Σ_4	C_{OUT}	EXAMPLE(2)
logic levels	L	L	H	L	H	H	L	L	H	H	H	L	L	H	
active HIGH	0	0	1	0	1	1	0	0	1	1	1	0	0	1	(3)
active LOW	1	1	0	1	0	0	1	1	0	0	0	1	1	0	(4)

Note

1. H = HIGH voltage level
   L = LOW voltage level
2. **example**

```
 1001
 1010
-----
10011
```

74HC85 4 BİT BÜYÜKLÜK KARŞILAŞTIRICI

4-bit magnitude comparator 74HC/HCT85

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
2	$I_{A<B}$	A < B expansion input
3	$I_{A=B}$	A = B expansion input
4	$I_{A>B}$	A > B expansion input
5	$Q_{A>B}$	A > B output
6	$Q_{A=B}$	A = B output
7	$Q_{A<B}$	A < B output
8	GND	ground (0 V)
9, 11, 14, 1,	B_0 to B_3	word B inputs
10, 12, 13, 15	A_0 to A_3	word A inputs
16	V_{CC}	positive supply voltage

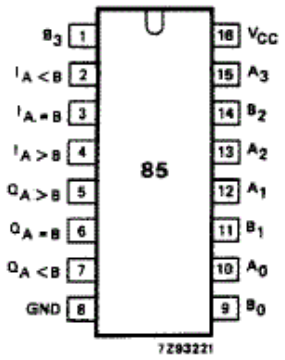


Fig.1 Pin configuration.

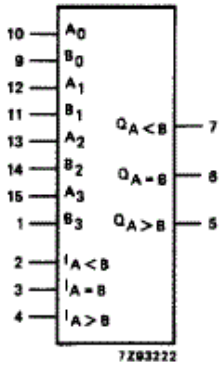


Fig.2 Logic symbol.

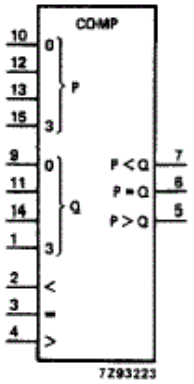


Fig.3 IEC logic symbol.

4-bit magnitude comparator 74HC/HCT85

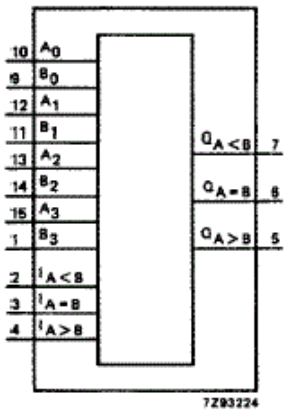


Fig.4 Functional diagram.

APPLICATIONS

- Process controllers
- Servo-motor control

FUNCTION TABLE

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A_3, B_3	A_2, B_2	A_1, B_1	A_0, B_0	$I_{A>B}$	$I_{A<B}$	$I_{A=B}$	$Q_{A>B}$	$Q_{A<B}$	$Q_{A=B}$
$A_3>B_3$	X	X	X	X	X	X	H	L	L
$A_3<B_3$	X	X	X	X	X	X	L	H	L
$A_3=B_3$	$A_2>B_2$	X	X	X	X	X	H	L	L
$A_3=B_3$	$A_2<B_2$	X	X	X	X	X	L	H	L
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	X	X	X	X	H	L	L
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	X	X	X	X	L	H	L
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	X	X	X	H	L	L
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	X	X	X	L	H	L
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	H	L	L	H	L	L
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	L	H	L	L	H	L
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	L	L	H	L	L	H
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	X	X	H	L	L	H
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	H	H	L	L	L	L
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	L	L	L	H	H	L

Notes

1. H = HIGH voltage level
   L = LOW voltage level
   X = don't care

74LS138 3-8 KODÇÖZÜCÜ/VERİ DAĞITICI

1-of-8 decoder/demultiplexer 74ALS138

FEATURES

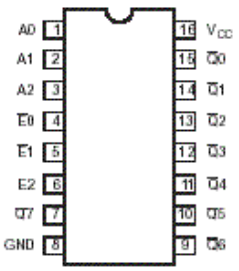
- Demultiplexing capability
- Multiple input enable for easy expansion
- Ideal for memory chip select decoding

DESCRIPTION

The 74ALS138 decoder accepts three binary weighted inputs (A0, A1, A2) and when enabled, provides eight mutually exclusive, active-Low outputs ($\overline{Q0}$ – $\overline{Q7}$). The device features three Enable inputs; two active-Low ($\overline{E0}$, $\overline{E1}$) and one active-High (E2). Every output will be High unless $\overline{E0}$ and $\overline{E1}$ are Low and E2 is High. This multiple enable function allows easy parallel expansion of the device to 1-of-32 (5 lines to 32 lines) decoder with just four 74ALS138s and one inverter. The device can be used as an eight output demultiplexer by using one of the active-Low Enable inputs as the data input and the remaining Enable inputs as strobes. Enable inputs not used must be permanently tied to their appropriate active-High or active-Low state.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS138	12.0ns	4.0mA

PIN CONFIGURATION



ORDERING INFORMATION

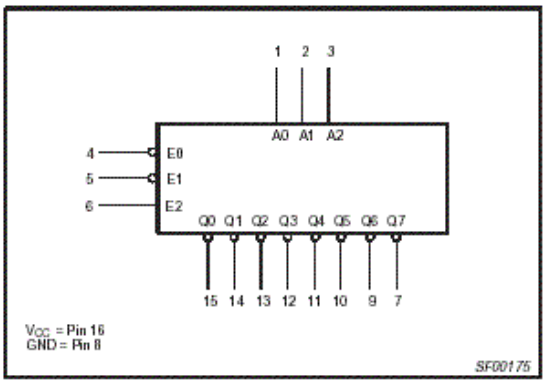
DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	
16-pin plastic DIP	74ALS138N	SOT38-4
16-pin plastic SO	74ALS138D	SOT109-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

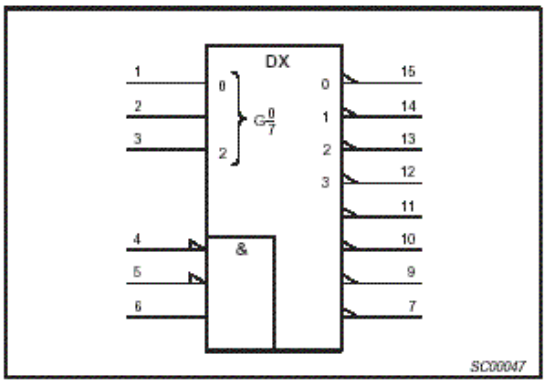
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
A0 – A2	Address inputs	1.0/1.0	20µA/0.1mA
$\overline{E0}$, $\overline{E1}$	Enable inputs (active-Low)	1.0/1.0	20µA/0.1mA
E2	Enable input (active-High)	1.0/1.0	20µA/0.1mA
$\overline{Q0}$ – $\overline{Q7}$	Data outputs (active-Low)	50/33	1.0mA/20mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

LOGIC SYMBOL

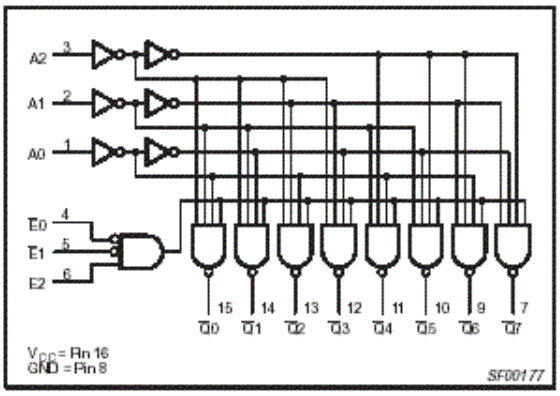


IEC/IEEE SYMBOL



1-of-8 decoder/demultiplexer 74ALS138

LOGIC DIAGRAM



FUNCTION TABLE

INPUTS						OUTPUTS							
$\overline{E0}$	$\overline{E1}$	E2	A0	A1	A2	$\overline{O0}$	$\overline{O1}$	$\overline{O2}$	$\overline{O3}$	$\overline{O4}$	$\overline{O5}$	$\overline{O6}$	$\overline{O7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = High voltage level
L = Low voltage level
X = Don't care

74HC154 4-16 KODÇÖZÜCÜ/VERİ DAĞITICI

4-to-16 line decoder/demultiplexer 74HC/HCT154

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 13, 14, 15, 16, 17	$\overline{Y}_0$ to $\overline{Y}_{15}$	outputs (active LOW)
18, 19	$\overline{E}_0$, $\overline{E}_1$	enable inputs (active LOW)
12	GND	ground (0 V)
23, 22, 21, 20	A_0 to A_3	address inputs
24	V_{CC}	positive supply voltage

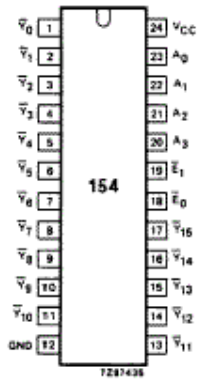


Fig.1 Pin configuration.

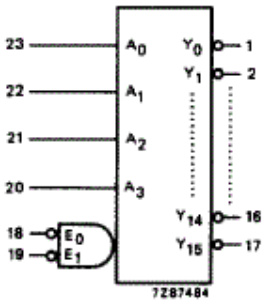


Fig.2 Logic symbol.

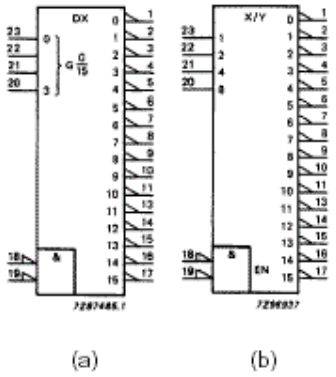


Fig.3 IEC logic symbol.

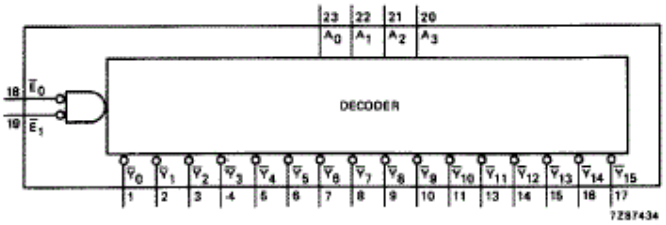


Fig.4 Functional diagram.

4-to-16 line decoder/demultiplexer 74HC/HCT154

FUNCTION TABLE

		INPUTS				OUTPUTS															
$\overline{E}_0$	$\overline{E}_1$	A_0	A_1	A_2	A_3	$\overline{Y}_0$	$\overline{Y}_1$	$\overline{Y}_2$	$\overline{Y}_3$	$\overline{Y}_4$	$\overline{Y}_5$	$\overline{Y}_6$	$\overline{Y}_7$	$\overline{Y}_8$	$\overline{Y}_9$	$\overline{Y}_{10}$	$\overline{Y}_{11}$	$\overline{Y}_{12}$	$\overline{Y}_{13}$	$\overline{Y}_{14}$	$\overline{Y}_{15}$
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	H	H	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L

Note

1. H = HIGH voltage level
   L = LOW voltage level
   X = don't care

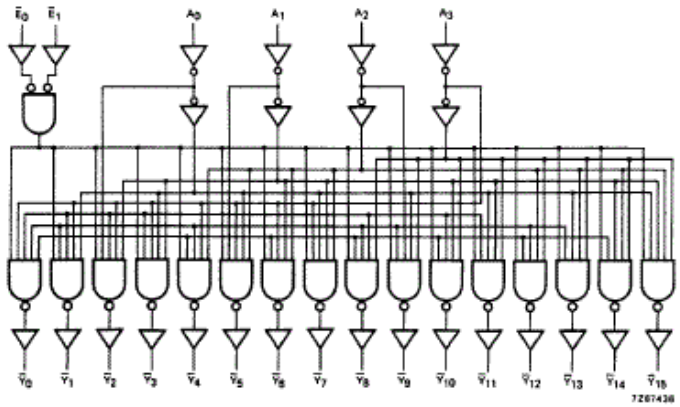


Fig.5 Logic diagram.

74HCT147 10 GİRİŞLİ 4 BİT ÇIKIŞLI YÜKSEK GİRİŞ ÖNCELİKLİ KODLAYICI

10-to-4 line priority encoder 74HC/HCT147

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
8	GND	ground (0 V)
9, 7, 6, 14	$\overline{Y}_0$ to $\overline{Y}_3$	BCD address outputs (active LOW)
11, 12, 13, 1, 2, 3, 4, 5, 10	$\overline{A}_0$ to $\overline{A}_8$	decimal data inputs (active LOW)
15	n.c.	not connected
16	V_{CC}	positive supply voltage

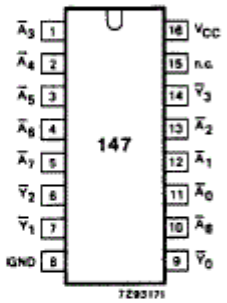


Fig.1 Pin configuration.

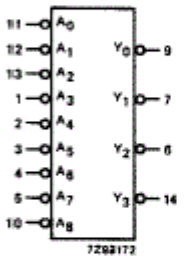


Fig.2 Logic symbol.

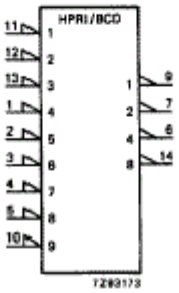


Fig.3 IEC logic symbol.

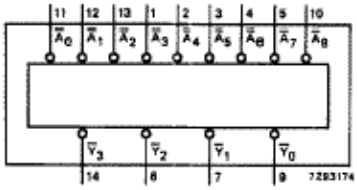


Fig.4 Functional diagram.

FUNCTION TABLE

INPUTS									OUTPUTS			
$\overline{A}_0$	$\overline{A}_1$	$\overline{A}_2$	$\overline{A}_3$	$\overline{A}_4$	$\overline{A}_5$	$\overline{A}_6$	$\overline{A}_7$	$\overline{A}_8$	$\overline{Y}_3$	$\overline{Y}_2$	$\overline{Y}_1$	$\overline{Y}_0$
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Notes

1. H = HIGH voltage level
   L = LOW voltage level
   X = don't care

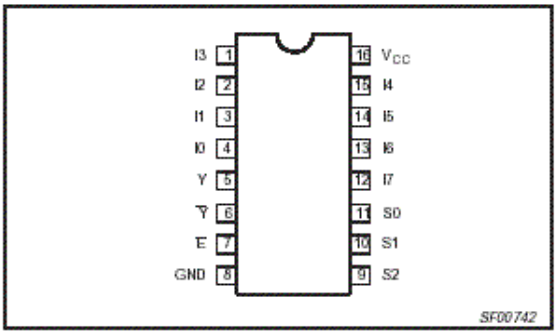
74LS151 8 GİRİŞLİ VERİ SEÇİCİ

8-input multiplexer 74ALS151

FEATURES

- 8-to-1 multiplexing
- On chip decoding
- Multi-function capability
- Complementary outputs
- See 74ALS251 for 3-State version

PIN CONFIGURATION



DESCRIPTION

The 74ALS151 is a logic implementation of a single 8-position switch with the switch position controlled by the state of three select (S0, S1, S2) inputs. True (Y) and complementary ($\overline{Y}$) outputs are both provided.

The enable ($\overline{E}$) is active-Low. When $\overline{E}$ is High, Y output is Low and the $\overline{Y}$ output is High regardless of all other inputs.

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS151	8.0ns	8.0mA

ORDERING INFORMATION

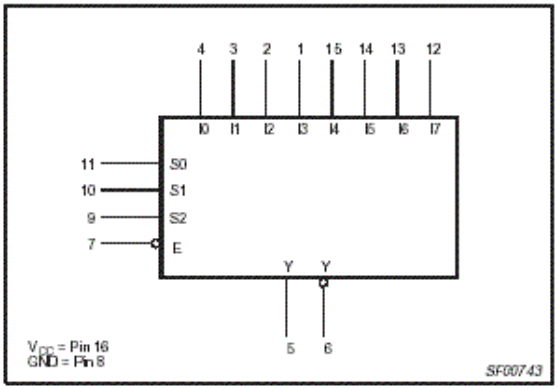
DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	
16-pin plastic DIP	74ALS151N	SOT38-4
16-pin plastic SO	74ALS151D	SOT109-1

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

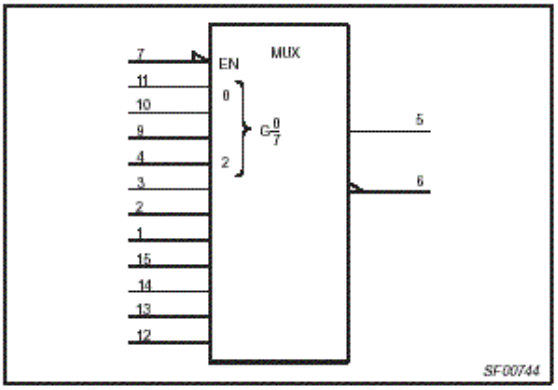
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
I0 – I7	Data inputs	1.0/1.0	20µA/0.1mA
S0 – S2	Select inputs	1.0/1.0	20µA/0.1mA
$\overline{E}$	Enable input (active-Low)	1.0/1.0	20µA/0.1mA
Y, $\overline{Y}$	Data outputs	130/240	2.6mA/24mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

LOGIC SYMBOL

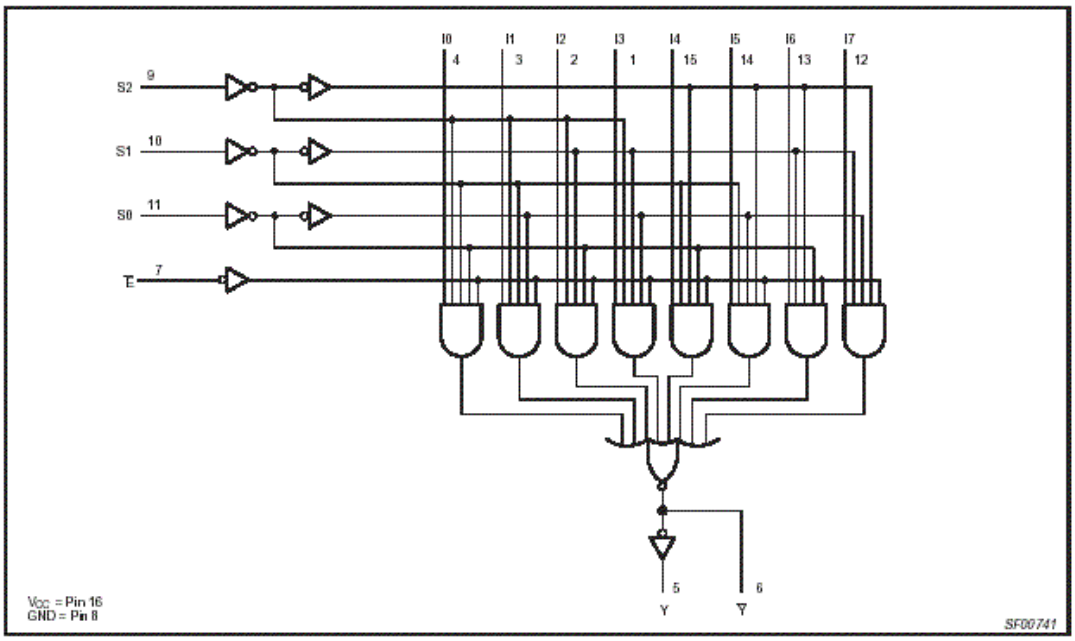


IEC/IEEE SYMBOL



8-input multiplexer 74ALS151

LOGIC DIAGRAM



FUNCTION TABLE

INPUTS				OUTPUTS	
S2	S1	S0	$\overline{E}$	Y	$\overline{Y}$
X	X	X	H	L	H
L	L	L	L	I0	$\overline{I0}$
L	L	H	L	I1	$\overline{I1}$
L	H	L	L	I2	$\overline{I2}$
L	H	H	L	I3	$\overline{I3}$
H	L	L	L	I4	$\overline{I4}$
H	L	H	L	I5	$\overline{I5}$
H	H	L	L	I6	$\overline{I6}$
H	H	H	L	I7	$\overline{I7}$

H = High voltage level
L = Low voltage level
X = Don't care

74LS74A DUAL D TİPİ FLİP-FLOP

Dual D-type flip-flop with set and reset 74ALS74A

DESCRIPTION

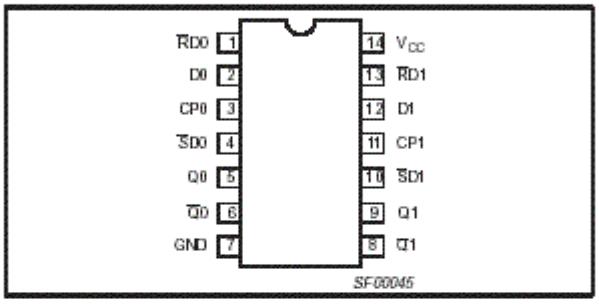
The 74ALS74 is a dual positive edge-triggered D-type flip-flop featuring individual data, clock, set, and reset inputs; also true and complementary outputs. Set ($\overline{SD}$) and reset ($\overline{RD}$) are asynchronous active-Low inputs and operate independently of the clock input. When set and reset are inactive (High), data at the D input is transferred to the Q and $\overline{Q}$ outputs on the Low-to-High transition of the clock. Data must be stable just one setup time prior to the Low-to-High transition of the clock for predictable operation. Clock triggering occurs at a voltage level and is not directly related to the transition time of the positive-going pulse. Following the hold time interval, data at the D input may be changed without affecting the levels of the output.

TYPE	TYPICAL f_{MAX}	TYPICAL SUPPLY CURRENT (TOTAL)
74ALS74A	150MHz	3.0mA

ORDERING INFORMATION

DESCRIPTION	ORDER CODE	DRAWING NUMBER
	COMMERCIAL RANGE V_{CC} = 5V ±10%, T_{amb} = 0°C to +70°C	
14-pin plastic DIP	74ALS74AN	SOT27-1
14-pin plastic SO	74ALS74AD	SOT108-1
14-pin plastic SSOP Type II	74ALS74ADB	SOT337-1

PIN CONFIGURATION

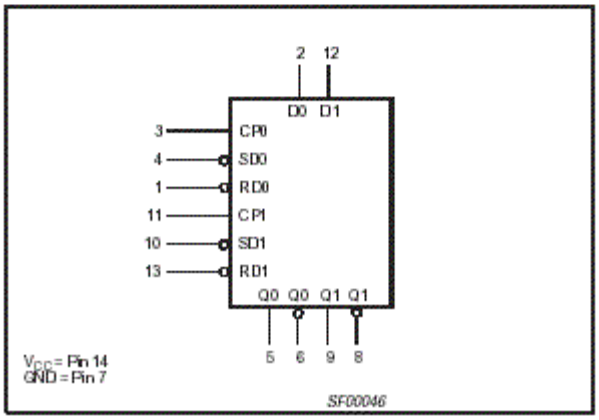


INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

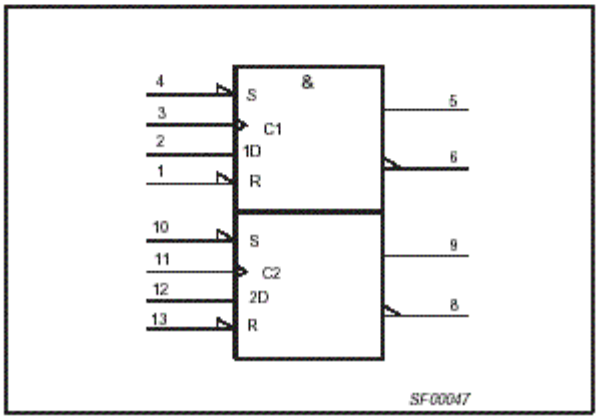
PINS	DESCRIPTION	74ALS (U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
D0, D1	Data inputs	1.0/2.0	20µA/0.2mA
CP0, CP1	Clock inputs (active rising edge)	1.0/2.0	20µA/0.2mA
$\overline{SD}$0, $\overline{SD}$1	Set inputs (active-Low)	2.0/4.0	40µA/0.4mA
$\overline{RD}$0, $\overline{RD}$1	Reset inputs (active-Low)	2.0/4.0	40µA/0.4mA
Q0, Q1, $\overline{Q}$0, $\overline{Q}$1	Data outputs	20/80	0.4mA/8mA

NOTE: One (1.0) ALS unit load is defined as: 20µA in the High state and 0.1mA in the Low state.

LOGIC SYMBOL



IEC/IEEE SYMBOL



74HCT75 DÖRTLÜ TUTUCU

Quad bistable transparent latch 74HC/HCT75

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 14, 11, 8	$1\overline{Q}$ to $4\overline{Q}$	complementary latch outputs
2, 3, 6, 7	1D to 4D	data inputs
4	LE_{3-4}	latch enable input, latches 3 and 4 (active HIGH)
5	V_{CC}	positive supply voltage
12	GND	ground (0 V)
13	LE_{1-2}	latch enable input, latches 1 and 2 (active HIGH)
16, 15, 10, 9	1Q to 4Q	latch outputs

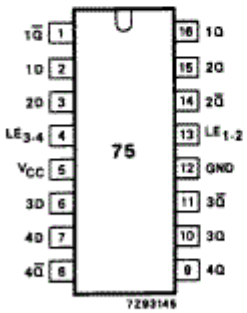


Fig.1 Pin configuration.

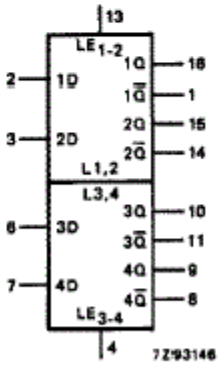


Fig.2 Logic symbol.

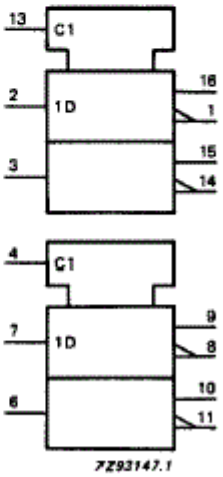


Fig.3 IEC logic symbol.

Octal buffer/line driver; 3-state 74AHC244; 74AHCT244

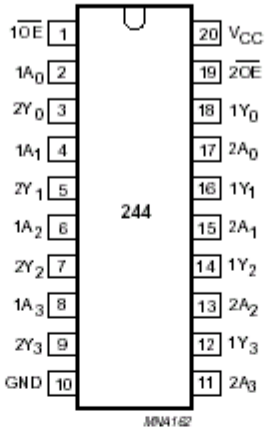


Fig.1 Pin configuration.

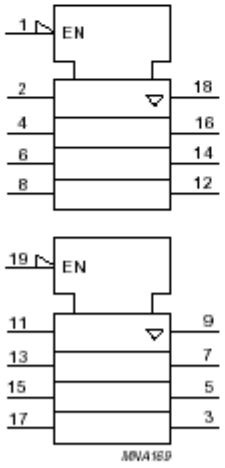


Fig.2 IEEE/IEC logic symbol.

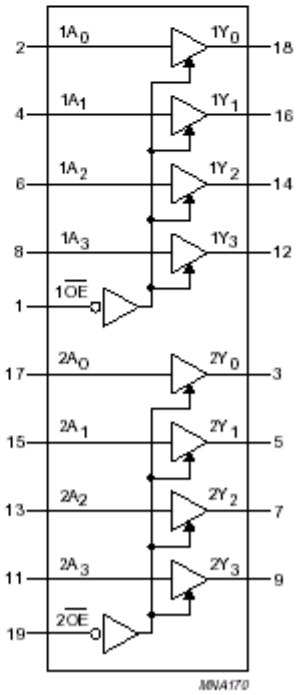
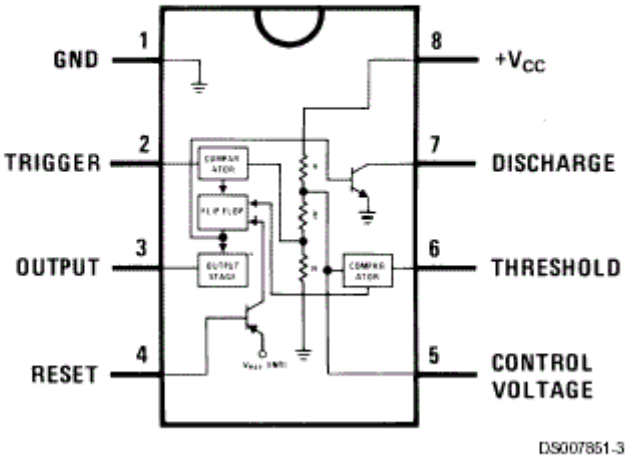


Fig.3 Logic diagram.

LM555 Timer

Connection Diagram

Dual-In-Line, Small Outline
and Molded Mini Small Outline Packages



Top View